

**ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ**  
**ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ**  
**ΥΠΟΛΟΓΙΣΤΩΝ**



**ΠΟΛΥΤΕΧΝΕΙΟ**  
**ΚΡΗΤΗΣ**

**Αντωνακάκης Αντώνιος**

**Αναλυτική Μέθοδος Προσδιορισμού Παραμέτρων**  
**και Εφαρμογή σε Προχωρημένη Τεχνολογία CMOS**

**ΕΤΟΣ 2021**

**Επιτροπή διπλωματικής εργασίας:**

**Αναπληρωτής Καθηγητής Μπούχερ Ματτίας** (Επιβλέπων)

**Καθηγητής Καλαϊτζάκης Κωνσταντίνος**

**Αναπληρωτής Καθηγητής Κανέλλος Φώτιος**

# Περίληψη

---

Στην παρούσα Διπλωματική Εργασία μελετούνται οι αναλυτικές μέθοδοι συμπαγούς μοντελοποίησης τρανζίστορ πυριτίου τύπου MOSFET μονής πύλης, καθώς και αναλυτικές μέθοδοι προσδιορισμού των παραμέτρων των μοντέλων αυτών σε προχωρημένη CMOS τεχνολογία. Η διαδικασία αυτή βασίζεται σε πειραματικές μετρήσεις που έγιναν στο Εργαστήριο Ηλεκτρονικής, σε δείγματα τριών διαφορετικών γενιών τεχνολογίας CMOS 110nm, 250nm και 1μm και συμπεριλαμβάνει τρανζίστορ, τόσο τύπου NMOS, όσο και τύπου PMOS, με ιδιαίτερη έμφαση στην κάλυψη μήκους καναλιού (long, medium, short). Επιπλέον, μελετάται η απόδοση των τεχνολογιών με ενιαίο τρόπο χρησιμοποιώντας τεχνικές κανονικοποίησης των μεγεθών (ρεύμα, αγωγιμότητα), ώστε η επίδραση διαφορετικού μήκους καναλιού, να είναι εύκολα αντιληπτή. Το φαινόμενο του κορεσμού ταχύτητας (velocity saturation) έχει μια ιδιαίτερη σημασία στην παραπάνω επίδραση. Εφαρμόζονται μέθοδοι εξαγωγής παραμέτρων για κάθε τεχνολογία και κάθε μήκος καναλιού, και παρουσιάζονται με την μορφή πινάκων, με στόχο την συμπαγή μοντελοποίηση. Τέλος, υλοποιείται το μοντέλο των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation και παρουσιάζονται τα διαγράμματα του μοντέλου σε αντιπαράθεση με τα δεδομένα μας.

# Abstract

---

In this Thesis we're studying the analytical methods of compact modeling of single-gate silicon MOSFETs, as well as the analytical methods for determining the parameters of these models at advanced CMOS technology. This process is based on experimental measurements made in the Electronics Laboratory on samples of three different generations of CMOS technology 110nm, 250nm and 1um and includes transistors of both NMOS and PMOS type, with particular emphasis on channel length coverage (long, medium, short). We're also studying the performance of technologies in a unified way, while using size normalization techniques (current, conductivity), so that the effect of different channel lengths is easily perceived. The phenomenon of velocity saturation has a special significance in this comparison. Parameter extraction methods are also applied. These methods apply in the same way to each technology and each channel length and are presented in the form of tables, with the aim of compact modeling. Finally, the charge-based model of the MOS transistor with the velocity saturation phenomenon is implemented and the diagrams are presented in contrast to our data.

## Ευχαριστίες

---

Καταρχάς, θα ήθελα να ευχαριστήσω τον αναπληρωτή καθηγητή Ματτίας Μπούχερ, τον επιβλέπων καθηγητή αυτής της διπλωματικής εργασίας για την ουσιαστική και πολύτιμη καθοδήγησή του κατά τη διάρκεια της δικής μου δουλειάς και για την σημαντική βοήθεια που μου παρείχε με τις σπουδαίες γνώσεις που έχει πάνω στην CMOS τεχνολογία. Επιπλέον, είμαι ευγνώμων και στους βοηθούς του εργαστηρίου ηλεκτρονικής οι οποίοι με βοήθησαν σε ότι χρειάστηκα κυρίως ο Νίκος Μακρής με τον οποίο συνεργάστηκα για τις μετρήσεις μου. Θα ήθελα να ευχαριστήσω τα μέλη της οικογένειάς μου για την υποστήριξη και την ώθηση που μου έδωσαν σε όλη μου τη ζωή. Οι τελευταίες μου ευχές αναφέρονται στους φίλους μου για την υπομονή τους και το θάρρος που μου έδωσαν.

## Περιεχόμενα

<b>1 Εισαγωγή</b>	7
1.1 Εισαγωγή Διπλωματικής Εργασίας	7
<b>2 Περιγραφή MOSFET</b>	9
2.1 Δομή και αρχές λειτουργίας MOSFET	9
2.2 Κατώφλι του NMOS τρανζίστορ	11
2.3 Περιοχή της αποκοπής NMOS	14
2.4 Γραμμική περιοχή λειτουργίας του NMOS	14
2.5 Περιοχή κορεσμού του τρανζίστορ NMOS	15
2.6 Περιοχές αντιστροφής καναλιού	18
2.7 Ορισμοί σημαντικών εννοιών και εισαγωγή στο μοντέλο φορτίων των MOS	19
<b>3 Υλοποίηση διαδικασίας εξαγωγής των παραμέτρων</b>	24
3.1 Εκτέλεση της διαδικασίας εξαγωγής παραμέτρων σε moderate inversion ( $I_C=2$ )	24
3.2.1 Εύρεση Αγωγιμότητα $G_m$ , $G_m \cdot U_T/I_D$	24
3.1.2 Διαδικασία εύρεσης του ρεύματος $I_D$	25
3.1.3 Εύρεση τάσης $V_G^*$ , pinch-off voltage $V_p$ και του slope factor $n$	26
3.1.4 Εύρεση pinch-off voltage $V_p$ και του slope factor $n$ μέσω του $\gamma$ και $\phi$ και $V_{TO}$	28
3.2 Συγκρίσεις του slope factor (measured – model) και του $V_p$ (measured – model)	30
3.3 Εύρεση DL από το διάγραμμα $I_D - V_G$	32
<b>4 Παρουσίαση απόδοσης των τεχνολογιών και πίνακες με τα αποτελέσματα από την διαδικασία εξαγωγής παραμέτρων</b>	34
4.1 Παρουσίαση της απόδοσης των τριών τεχνολογιών 1 $\mu$ m, 250nm, 110nm	34
4.1.1 Παρουσίαση της απόδοσης της τεχνολογίας των 1 $\mu$ m	34
4.1.1.1 Παρουσίαση της απόδοσης της τεχνολογίας των 1 $\mu$ m για τα NMOS	34
4.1.1.2 Παρουσίαση της απόδοσης της τεχνολογίας των 1 $\mu$ m για τα PMOS	36
4.1.2 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm	38
4.1.2.1 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm για τα NMOS	38
4.1.2.2 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm για τα PMOS	40
4.1.3 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm	42
4.1.3.1 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm για τα NMOS	42
4.1.3.2 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm για τα PMOS	44
4.2 Πίνακες με αποτελέσματα της διαδικασίας εξαγωγής παραμέτρων	46
<b>5 Περιγραφή και τα αποτελέσματα του μοντέλου φορτίων</b>	49

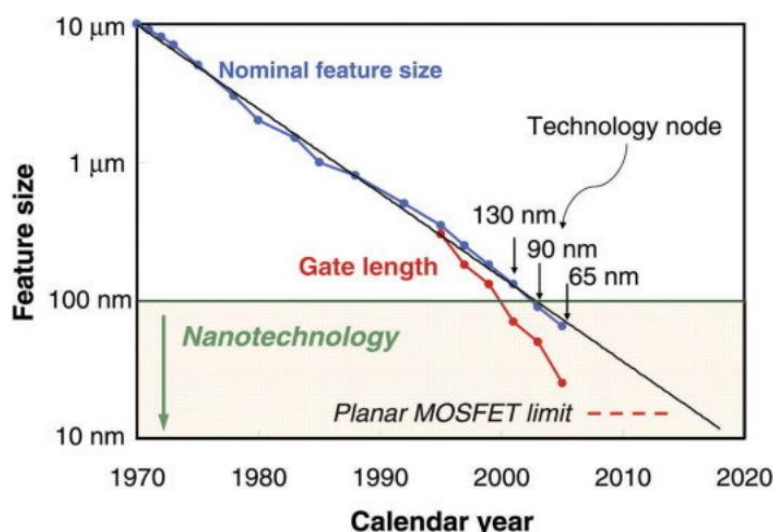
5.1 Περιγραφή του μοντέλου των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation.....	49
5.2 Εξαγωγή $I_c$ (Data) από το fit μοντέλου-δεδομένων .....	50
5.3.1 Διαγράμματα NMOS σε 110nm με Long Channel .....	51
5.3.2 Διαγράμματα NMOS σε 110nm με Medium Channel .....	53
5.3.3 Διαγράμματα NMOS σε 110nm με short Channel .....	55
5.3.4 Διαγράμματα PMOS σε 110nm με Long Channel .....	57
5.3.5 Διαγράμματα PMOS σε 110nm με Medium Channel .....	59
5.3.6 Διαγράμματα PMOS σε 110nm με Short Channel .....	61
5.4 Διαγράμματα μοντέλου $I_c$ - εξαγωγής $I_c$ από δεδομένα των τριών τεχνολογιών. ....	63
5.5 Πίνακες αποτελεσμάτων για το μοντέλο φορτίων.....	65
<b>Συμπέρασμα.....</b>	<b>66</b>
<b>Βιβλιογραφία.....</b>	<b>68</b>

# Κεφάλαιο 1

## 1 Εισαγωγή

### 1.1 Εισαγωγή Διπλωματικής Εργασίας

Η CMOS είναι η πιο δημοφιλής τεχνολογία για την υλοποίηση ψηφιακών αλλά και αναλογικών και RF συστημάτων. Το μικρό τους μέγεθος, η ευκολία κατασκευής τους και η χαμηλή κατανάλωση ισχύος των MOSFET επιτρέπουν εξαιρετικά υψηλά επίπεδα ολοκλήρωσης, τόσο για τα λογικά κυκλώματα όσο και για τα κυκλώματα μνημών. Με την πάροδο των ετών παρατηρούμε μια μεγάλη πτώση στο μήκος του Gate του τρανζίστορ (βλέπε Εικόνα 1.1 1 [15]). Η κλιμάκωση (scaling) της τεχνολογίας CMOS στην διάρκεια πολλών δεκαετιών έχει καταστήσει την εν λόγω τεχνολογία κυρίαρχη για την πραγματοποίηση ολοκληρωμένων συστημάτων. Οι σύγχρονες εφαρμογές των CMOS είναι αμέτρητες, από συστήματα τηλεπικοινωνιών, ηλεκτρονικά τύπου consumer electronics (κινητά τηλέφωνα, tablets), συστήματα Internet of Things (IoT), automotive electronics, μικροεπεξεργαστές, αισθητήρες, μνήμες κοκ. Η κλιμάκωση σε διαστάσεις οδηγεί σε αύξηση ταχύτητας, ενώ συνοδεύεται και από μείωση τάσης τροφοδοσίας, με αποτέλεσμα την μείωση κατανάλωσης ιδιαίτερα στα ψηφιακά συστήματα. Από την άλλη μεριά, τα αναλογικά ηλεκτρονικά, τα οποία πάντα συνοδεύουν τα ψηφιακά, απαιτούν ιδιαίτερη προσοχή. Λόγω της μείωσης των τάσεων τροφοδοσίας, οι μη συμβατικές περιοχές λειτουργίας μέτριας και ασθενούς αναστροφής (moderate και weak inversion) αποκτούν ιδιαίτερη σημασία. Κατά συνέπεια, απαιτούνται και αποτελεσματικά μοντέλα που περιγράφουν τις περιοχές αυτές. Ιδιαίτερη προσοχή πρέπει να δοθεί στις διαγωγιμότητες, οι οποίες είναι πολλές φορές καθοριστικές για την απόδοση αναλογικών κυκλωμάτων.



Εικόνα 1.1 1 Διάγραμμα μήκος Gate ως προς τα χρόνια [15]

Σε αυτή τη διπλωματική εργασία, ξεκινάμε με το κεφάλαιο 2 στο οποίο περιγράφουμε την δομή και την λειτουργία των MOSFET και τις περιοχές λειτουργίας και αντιστροφής. Στο κεφάλαιο 3 περιγράφουμε την διαδικασία εξαγωγής παραμέτρων και πως την εφαρμόσαμε για IC=2. Στο κεφάλαιο 4 θα παραθέσουμε ένα σύνολο γραφικών με την παρουσίαση της απόδοσης των τριών τεχνολογιών 1 $\mu$ m, 250nm, 110nm και θα συγκρίνουμε ξεχωριστά για κάθε τεχνολογία τα τρία μήκη καναλιού μεταξύ τους και θα αναλύσουμε πως συμπεριφέρονται. Ακόμα, θα αποτελέσματα με την μορφή πινάκων της διαδικασίας εξαγωγής παραμέτρων [1] σε τρεις γενιές τεχνολογίας CMOS. Στο κεφάλαιο 5 περιγράφουμε το μοντέλο των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation (μοντέλο του Enz e.a.) [2] και ακόμα την διαδικασία εύρεσης του λc. Ακόμα, θα υλοποιήσουμε το μοντέλου των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation [2] και θα κάνουμε την αντιπαράθεση με τα αποτελέσματα που προκύπτουν από τις μετρήσεις μας. Θα παρουσιάσουμε τα διαγράμματα της παραπάνω αντιπαράθεσης για την τεχνολογία 110nm που παρουσιάζει ιδιαίτερο ενδιαφέρον αφού είναι η πιο πρόσφατη τεχνολογία που είχαμε μετρήσεις.

# Κεφάλαιο 2

---

## 2 Περιγραφή MOSFET

### 2.1 Δομή και αρχές λειτουργίας MOSFET.

Αρχικά θα αναφέρουμε στα βασικά για την δομή του τρανζίστορ MOSFET. Υπάρχουν 2 τύποι τρανζίστορ MOSFET, τα NMOS με n-type ημιαγωγό και τα PMOS με p-type ημιαγωγό. Ο τύπος του τρανζίστορ εξαρτάται από τα υλικά του ημιαγωγού που χρησιμοποιήθηκαν για την υλοποίηση του καναλιού του τρανζίστορ.

Ο ημιαγωγός N παρέχει ηλεκτρόνια ως πλειοψηφικούς φορείς και οπές ως μεταφορείς μειοψηφίας. Αντιστρόφως σε P ημιαγωγό, τα ηλεκτρόνια είναι οι μειοψηφικοί φορείς και οι οπές είναι οι πλειοψηφικοί φορείς.

Τα τρανζίστορ αποτελούνται από τέσσερις ακροδέκτες Gate (G), Source (S), Drain (D), Body ή Bulk (B). Το Body ή Bulk αποτελείται από ένα πυρίτιο τύπου P υπόστρωμα στο οποίο στέκεται ολόκληρη η συσκευή NMOS.

Οι μεταλλικές επαφές Drain (D) και Source (S) συνδέονται με το Body (B) μέσω της διάχυσης βαρέως εμπλουτισμένου υλικού type-n (n+) στα NMOS τρανζίστορ.

Όσο αφορά τους ακροδέκτες Drain και Source, στην περίπτωση που έχουμε NMOS τρανζίστορ, εκείνος ο ακροδέκτης που έχει το πιο χαμηλό δυναμικό δηλαδή από τον οποίο πηγάζουν οι φορείς αγωγιμότητας (τα ηλεκτρόνια) χαρακτηρίζεται ως πηγή (Source), ενώ ο ακροδέκτης που βρίσκεται σε υψηλότερο δυναμικό και είναι εκείνος που εκρέουν οι φορείς αγωγιμότητας χαρακτηρίζεται ως απαγωγός (Drain). Ονομάζουμε Source τον ακροδέκτη με το χαμηλότερο δυναμικό στα NMOS και αυτόν με το υψηλότερο δυναμικό στα PMOS. Οι περιοχές Drain και Source είναι συμμετρικές.

Το Gate αποτελείται από μεταλλικό ηλεκτρόδιο (πολυπυρίτιο) και τοποθετείται πάνω σε δυο περιοχές ισχυρής νόθευσης (n<sup>+</sup>-type) ή αλλιώς το Source και το Drain. Το Gate τοποθετείται εκεί για να αποφύγουμε την ηλεκτρική επαφή μεταξύ του ηλεκτροδίου (Gate) και του υποστρώματος. Ανάμεσα στο Gate και το υπόστρωμα παρεμβάλλεται ένα πολύ λεπτό στρώμα διηλεκτρικού μονωτή που είναι συνήθως διοξειδίου του πυριτίου (οξείδιο- SiO<sub>2</sub>). Το πάχος του διοξειδίου του πυριτίου είναι όσο πιο μικρό ώστε όταν στην πύλη (Gate) εφαρμοστεί ηλεκτρικό δυναμικό, το ηλεκτρικό πεδίο που θα δημιουργηθεί, να μπορεί να επηρεάσει τους ηλεκτρικούς φορείς στο εσωτερικό του ημιαγωγού.

Παρατηρώντας τη διαστρωμάτωση των υλικών από το Gate ως προς το υπόστρωμα, έχουμε: Μέταλλο (το Gate) – οξείδιο (διηλεκτρικό) – ημιαγωγός (υπόστρωμα). Για τον λόγο αυτό υπάρχει η ονομασία MOS (Metal-Oxide-Semiconductor).

Ορίζουμε όλες τις τάσεις χρησιμοποιώντας σαν κόμβο αναφοράς το Source.[4]

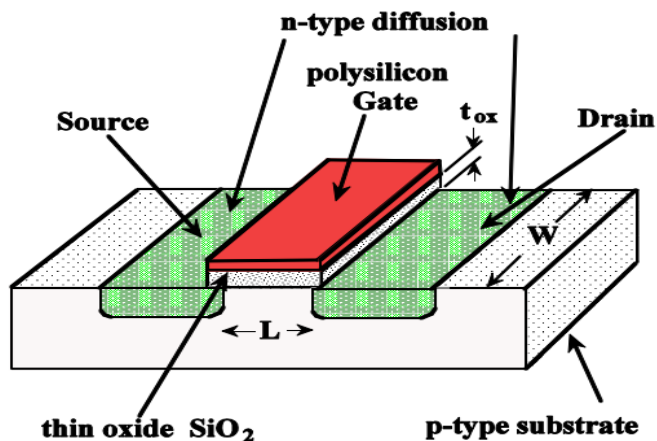
Τάση Gate =  $V_{GS} = V_G - V_S$ , (με  $V_G$  να είναι η τάση στο Gate  $V_{GB}$  και  $V_S$  η τάση στο Source  $V_{SB}$ ).

Τάση Drain  $V_{DS} = V_D - V_S$ , (με  $V_D$  να είναι η τάση στο Drain  $V_{DB}$ ).

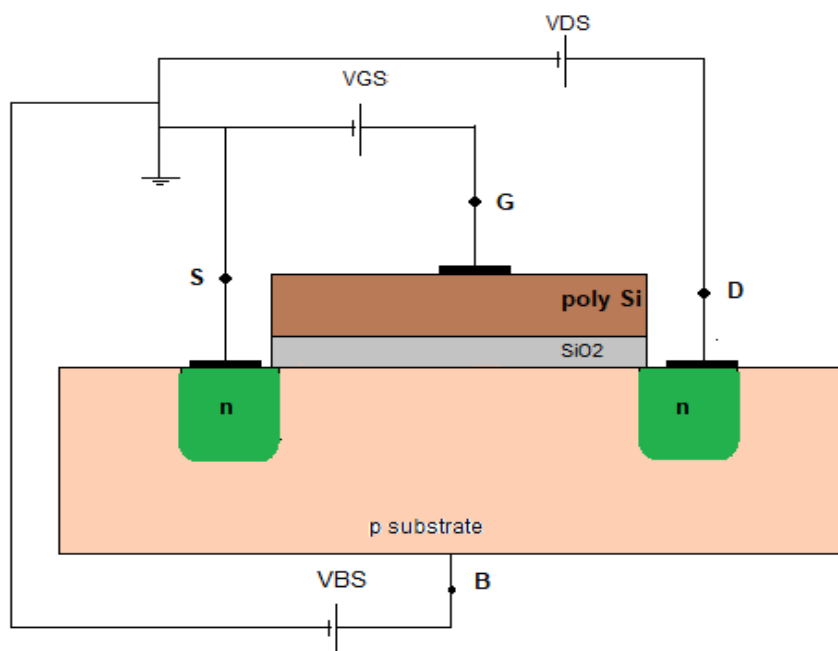
Τάση Body =  $V_{BS} = V_B - V_S$ , (με  $V_B$  να είναι η τάση στο Bulk).

Στην Εικόνα 2.1 2 μπορούμε να δούμε τις τάσεις  $V_{GS}$ ,  $V_{DS}$  και  $V_{BS}$  στα NMOS.

Κύρια στοιχεία της γεωμετρίας του τρανζίστορ που μας απασχολούν είναι το πλάτος του  $W$ , το μήκος του  $L$  και το ύψος του οξειδίου που υπάρχει κάτω από το πολυπυρίτιο του Gate, το  $T_{ox}$ . Στην Εικόνα 2.1 1 [16] μπορούμε να δούμε όλα όσα αναφέραμε για την δομή του NMOS τρανζίστορ.



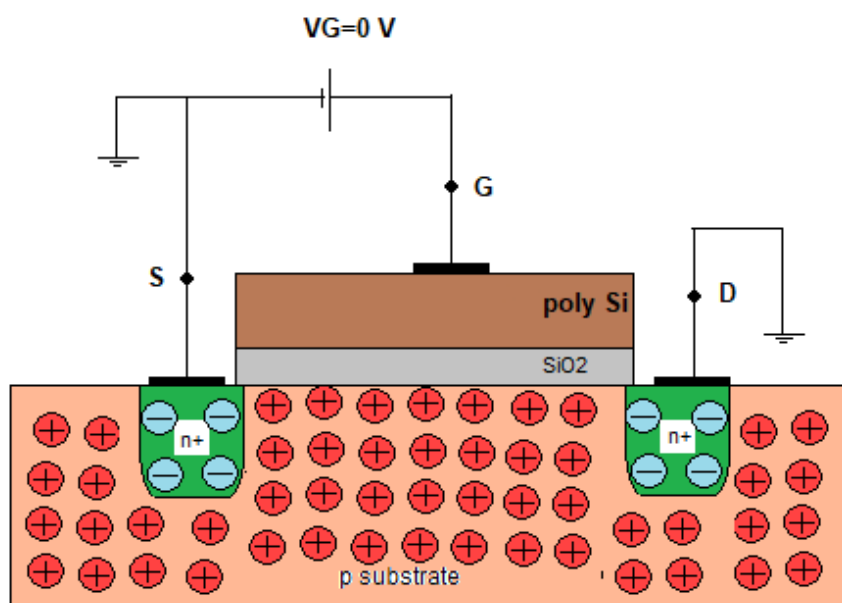
Εικόνα 2.1 1 Αναλυτικά η δομή και τα γεωμετρικά χαρακτηριστικά του NMOS τρανζίστορ [16]



Εικόνα 2.1 2 Οι τάσεις  $V_{GS}$ ,  $V_{DS}$  και  $V_{BS}$  αναλυτικά στο NMOS τρανζίστορ [4]

## 2.2 Κατώφλι του NMOS τρανζίστορ

Έχουμε τρεις ακροδέκτες (D, S, B) οι οποίοι είναι στα 0 V και το κανάλι είναι αποκομμένο δηλαδή δεν υπάρχει αγώγιμη διαδρομή μεταξύ Drain και Source, το οποίο φαίνεται και στην Εικόνα 2.2 1.

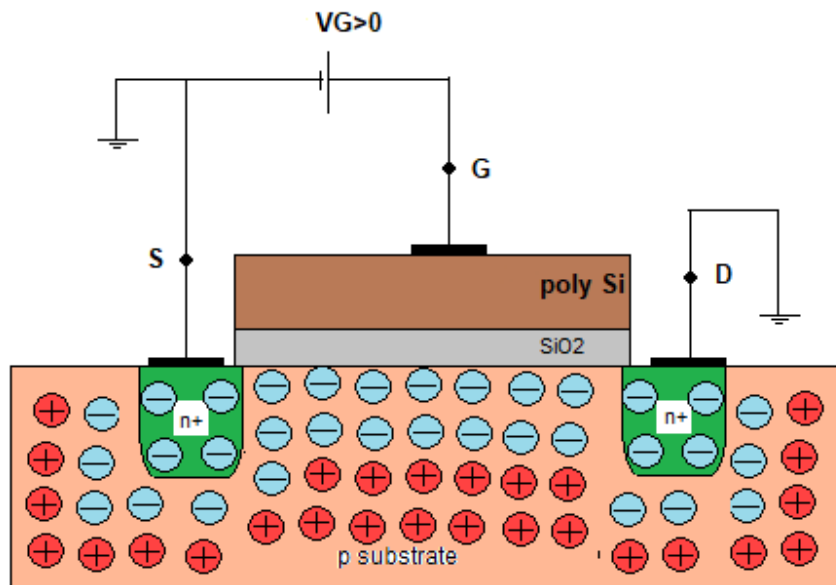


**Εικόνα 2.2 1 NMOS με όλους τους ακροδέκτες να έχουν μηδέν Volt**

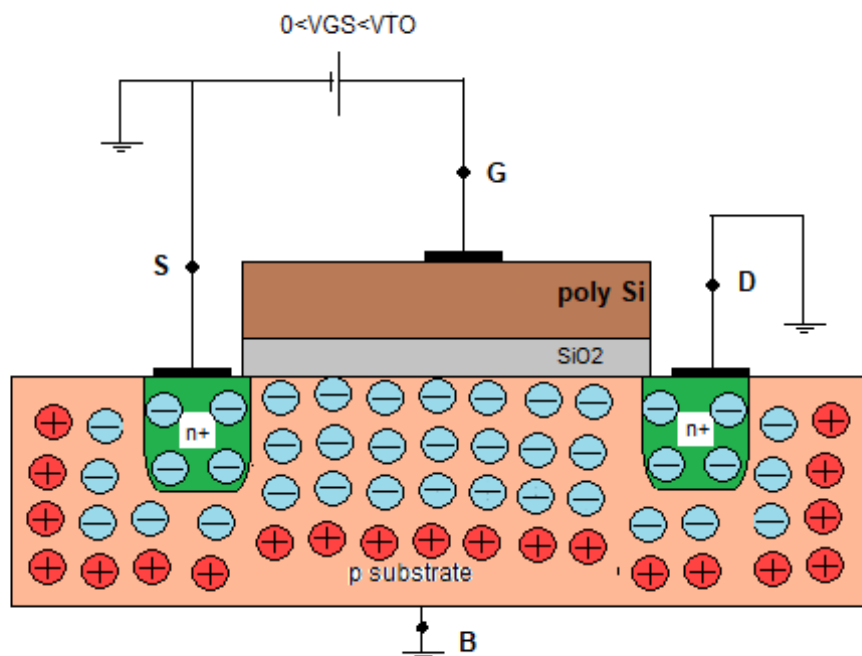
Το πολυπυρίτιο, το οξείδιο και το p-type υπόστρωμα λειτουργούν ως ένας πυκνωτής. Ως εκ τούτου, περιμένουμε ότι υπάρχει θετικό φορτίο στο Gate και θα εμφανίζεται αρνητικό φορτίο μέσα στον ημιαγωγό (υπόστρωμα). Όταν αρχίζουμε να μεγαλώνουμε την τάση στο Gate τότε τα θετικά φορτισμένα σωματίδια που υπάρχουν συσσωρεύονται στον ακροδέκτη του Gate τα οποία απωθούν προς τα κάτω τα θετικά σωματίδια από το p υπόστρωμα.

Με αυτόν τον τρόπο σχηματίζεται μία περιοχή κάτω από τις περιοχές του Source και του Drain και του Gate η οποία έχει εκκενωθεί από τα θετικά φορτία [4] (που τα συμβολίζουμε με το κόκκινο κυκλάκι που περιέχει το +) που υπήρχαν και έχουν απομείνει μόνο τα αρνητικά φορτία (φορτία αραίωσης) που τα συμβολίζουμε με το μπλε κυκλάκι που περιέχει το -, βλέπε την Εικόνα 2.2 2, τα φορτία αραίωσης δεν είναι ευκίνητα (άρα δεν μπορούν να συμβάλλουν σε ρεύμα μεταφοράς του MOSFET). Όσο συνεχίζουμε να αυξάνουμε την τάση στο Gate “βαθαίνει” ακόμα περισσότερο η περιοχή η οποία έχει εκκενωθεί από τα θετικά φορτία, την περιοχή αυτή ονομάζεται Depletion region (περιοχή απογύμνωσης) [4] και μπορούμε να το διακρίνουμε και

στην Εικόνα 2.2 3. Η επίδραση του ηλεκτρικού πεδίου που δημιουργείτε από το Gate στους φορείς μειονότητας του υποστρώματος αντισταθμίζεται από το πεδίο που δημιουργείται από τα φορτία αραίωσης της περιοχής απογύμνωσης, γεγονός που δεν επιτρέπει ακόμα τον σχηματισμό αγωγίμου καναλιού μεταξύ Source και Drain.



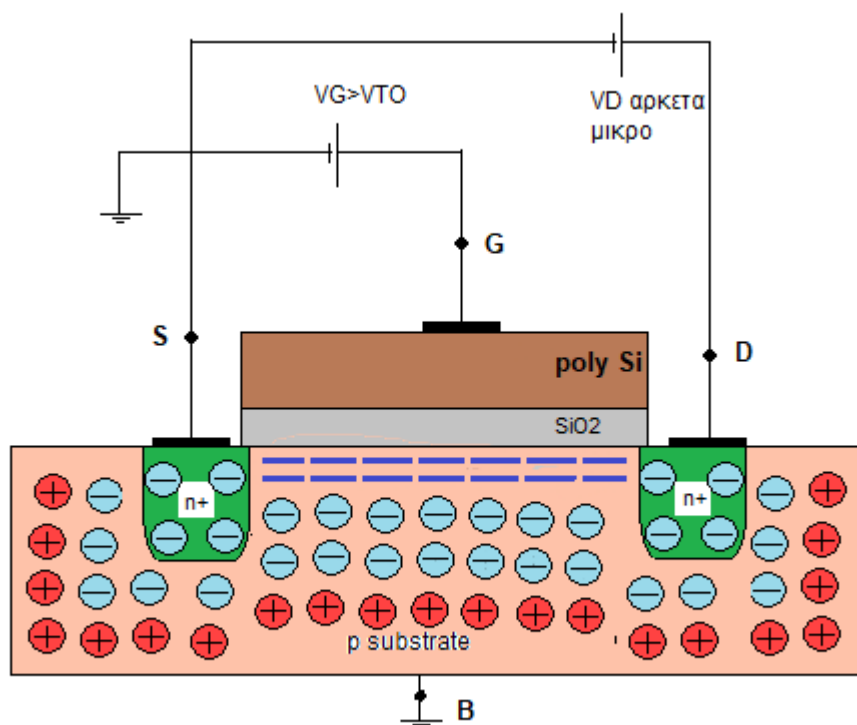
Εικόνα 2.2 2 NMOS με μία μικρή τάση μεγαλύτερη του μηδενός στο Gate



Εικόνα 2.2 3 Depletion region όταν  $V_G > 0$  στα NMOS

Όσο αυξάνουμε την τάση του Gate ως προς Source ( $V_{GS}$ ) τότε αρχίζουν να συσσωρεύονται ηλεκτρόνια (φορείς μειονότητας, πρόκειται για ευκίνητα φορτία που στη συνέχεια μπορεί να συμβάλλουν σε ρεύμα καναλιού του MOSFET) στην επιφάνεια του ημιαγωγού (πολύ κοντά στην διεπαφή με το οξείδιο) και τον σχηματισμό αγώγιμου καναλιού.

Επειδή οι φορείς πλειοψηφίας στο κανάλι είναι τα ηλεκτρόνια, τότε λέμε ότι κανάλι έχει αντιστραφεί (Channel invert) [4] το οποίο φαίνεται στην **Εικόνα 2.2 4**, εξαιτίας της αλλαγής του από p-type σε n-type. Η τιμή της τάσης  $V_{GS}$  στην οποία εμφανίζεται αναστροφή του καναλιού ονομάζεται τάση κατωφλίου (threshold voltage) του τρανζίστορ και την συμβολίζουμε με  $V_{T0}$ . Ακόμα, η τάση κατωφλίου συμπεραίνουμε ότι οριοθετεί την περιοχή αποκοπής και την γραμμική περιοχή ενός MOSFET. Για μηδενική ή πολύ μικρή τάση στο Drain το κανάλι είναι πλήρως σχηματισμένο, όπως μπορούμε να δούμε και στην **Εικόνα 2.2 4**.



**Εικόνα 2.2 4 NMOS έχουμε στρώμα αντιστροφής όταν  $V_G > V_{T0}$**

Το δυναμικό του καναλιού που έχει σχηματιστεί είναι ανάλογο της τάσης που έχουμε βάλει στο Gate και του κατωφλίου του τρανζίστορ. Ακόμα, στο κανάλι έχει σχηματιστεί το δυναμικό αυτό που είναι ίσο με  $V_{GS} - V_{T0}$ . Όταν ισχύει η ανίσωση  $V_{GS} > V_{T0}$  τότε λέμε ότι το τρανζίστορ έχει ενεργοποιηθεί ή αλλιώς έχει ανοίξει.

Το τρανζίστορ έχει τρεις δυνατές περιοχές λειτουργίας της οποίες θα τις αναφέρουμε παρακάτω και στην συνέχεια θα τις αναλύσουμε:

1. Περιοχή της αποκοπής (cutoff)
2. Γραμμική περιοχή (linear)
3. Περιοχή κορεσμού (saturation).

## 2.3 Περιοχή της αποκοπής NMOS

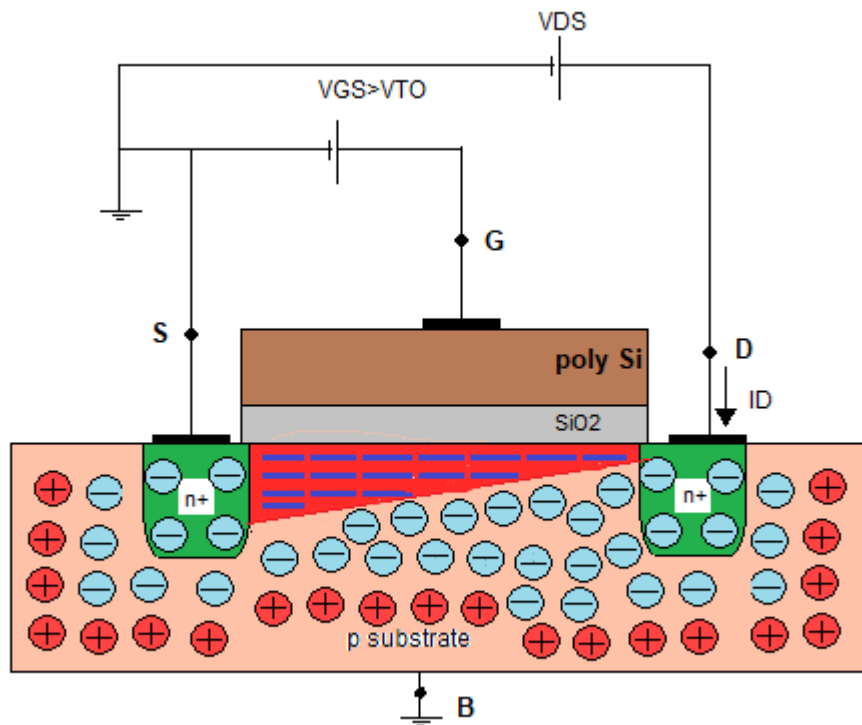
Το υπόστρωμα συνδέεται στην γείωση (0 V). Όταν το Gate βρίσκεται σε χαμηλό δυναμικό (0 V), οι δίοδοι Source-Bulk και Drain-Bulk είναι σε κατάσταση OFF (ανάστροφα πολωμένες). Δεν ρέει ρεύμα μεταξύ Drain και Source ( $I_{DS}=0$ ) τότε λέμε ότι το τρανζίστορ βρίσκεται στην περιοχή αποκοπής (βλέπε **Εικόνα 2.2 1**).

## 2.4 Γραμμική περιοχή λειτουργίας του NMOS

Η ροή του ρεύματος θα ξεκινήσει μόλις γίνει κάποια μεταβολή στο σχήμα του καναλιού. Αυτό το επιτυγχάνουμε “πιέζοντας” προς τα κάτω την επιφάνεια του Drain. Για να γίνει αυτό πρέπει να αυξάνουμε την τάση στον ακροδέκτη Drain κάνοντας την διαφορά δυναμικού μεταξύ Drain και Source θετική ( $V_{DS} = (V_D - V_S) > 0$ ).

Το ρεύμα ρέει μεταξύ Drain και Source και τα ηλεκτρόνια που υπάρχουν κινούνται από το Source στο Drain. Για να αυξήσουμε την ποσότητα του ρεύματος το επιτυγχάνουμε αυξάνοντας την τάση  $V_{DS}$  και την τάση  $V_{GS}$  (τάση στο Gate ως προς το Source) και με αυτόν τον τρόπο έλκονται περισσότερα ηλεκτρόνια μέσα στο κανάλι και προκαλεί μεταβολή στο σχήμα του καναλιού.

Επειδή η πτώση της τάσης αυτής είναι μέγιστη στο Drain και μηδενική στο Source, συμπεραίνουμε ότι το ηλεκτρικό πεδίο είναι υπεύθυνο για τον σχηματισμό καναλιού που είναι πιο ισχυρό προς την μεριά που είναι το Source και πιο ασθενές προς την μεριά του Drain. Στην **Εικόνα 2.4 1** μπορούμε να διακρίνουμε όσα αναφέραμε.



Εικόνα 2.4 1 Η μεταβολή στο σχήμα του καναλιού σε NMOS

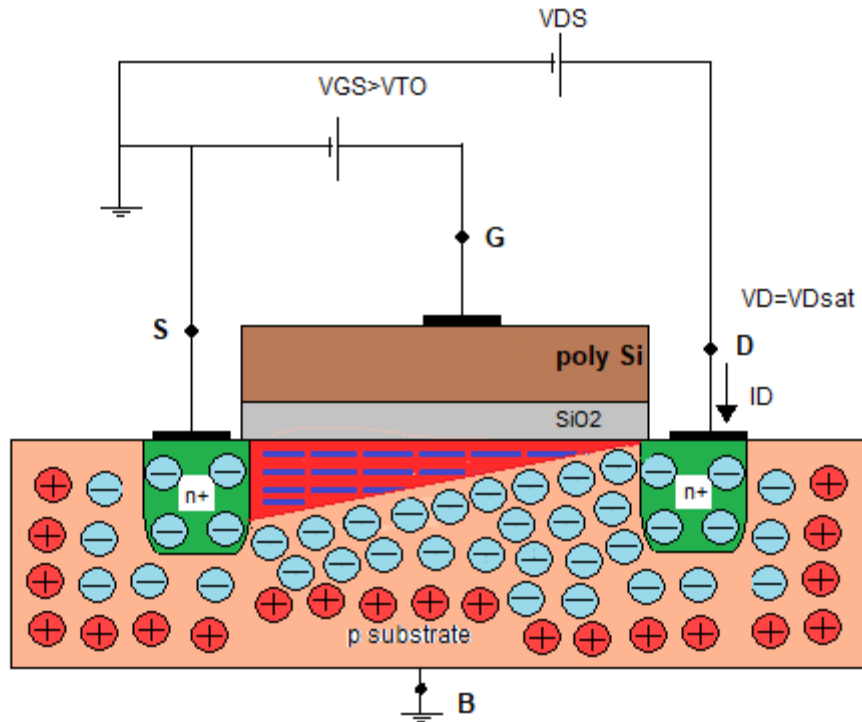
Το γεγονός ότι το κανάλι γίνεται πιο ασθενές στην μεριά του Drain και πιο ισχυρό στην μεριά του Source συνεπάγεται τη μείωση της αγωγιμότητας του καναλιού. Άρα μπορούμε να συμπεράνουμε από αυτό πως όσο αυξάνεται η τάση στο Drain η αντίσταση του καναλιού θα είναι μεγαλύτερη. Η λειτουργία του τρανζίστορ είναι σαν μία γραμμική αντίσταση με τιμή ελεγχόμενη από την τάση  $V_{GS}$ .

## 2.5 Περιοχή κορεσμού του τρανζίστορ NMOS

Όσο συνεχίζουμε να αυξάνουμε την τάση στο Drain ( $V_{DS}$ ), παρατηρούμε να στενεύει όλο και περισσότερο το κανάλι από την πλευρά του Drain μέχρι που να γίνει ο στραγγαλισμός του καναλιού (pinch-off) [4]. Η οριακή τιμή της τάσης στο Drain που έχουμε τον στραγγαλισμό του καναλιού την ονομάζουμε τάση  $V_{Dsat}$  και είναι σταθερή και είναι ίση με  $V_{GS} - V_{TO}$ , στην Εικόνα 2.5 1 μπορούμε να δούμε το κανάλι όταν έχουμε την τάση  $V_{Dsat}$  στο Drain.

Ακόμα, όταν η τάση στο Drain ( $V_{DS}$ ) είναι μεγαλύτερη από  $V_{Dsat}$ , το κανάλι δεν έχει την ηλεκτρική επαφή του με τον Drain και το ρεύμα που διαρρέει τη διάταξη

παραμένει σταθερό και δεν εξαρτάτε από την τάση στον Drain, σύμφωνα και με Εικόνα 2.5 2. Στην περίπτωση αυτή το MOSFET βρίσκεται στην περιοχή κορεσμού και η τάση  $V_{Dsat}$  ονομάζεται τάση κόρου. Στην περιοχή του κορεσμού το τρανζίστορ MOS μπορεί να χρησιμοποιηθεί και για ενίσχυση αφού λειτουργεί ως πηγή ρεύματος.



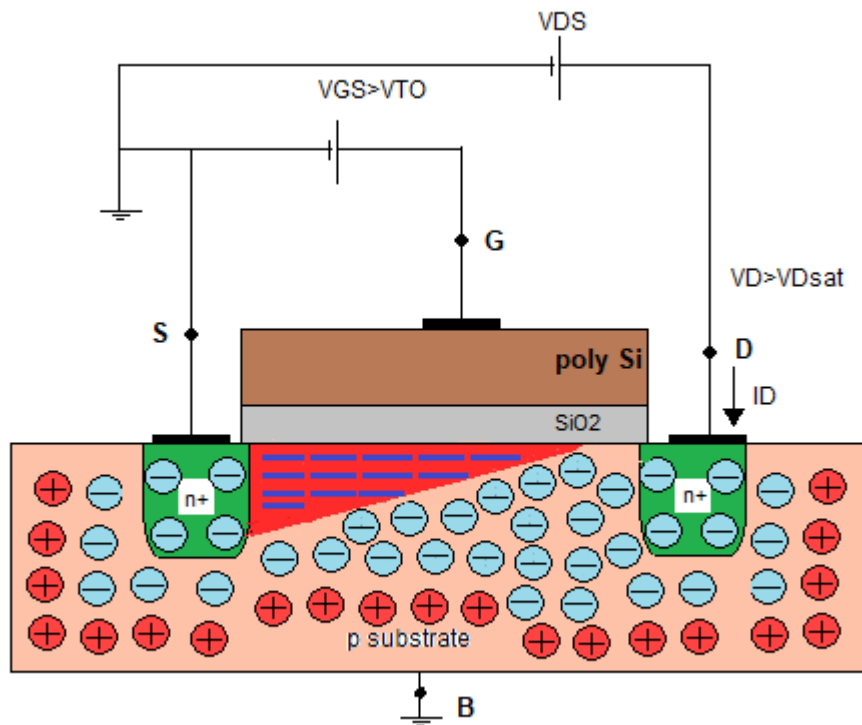
Εικόνα 2.5 1 NMOS το κανάλι του τρανζίστορ όταν το  $V_D = V_{Dsat}$

Τα ηλεκτρόνια κατευθύνονται από το Source λόγω έλξης με μεγάλες ταχύτητες στο Drain ενός NMOS τρανζίστορ, μέσω της περιοχής απογύμνωσης. Το ρεύμα αυτό είναι ανεξάρτητο της τάσης στο Drain.

Η μέγιστη τιμή του ρεύματος είναι:  $I_{sat} = \mu \cdot C'_{ox} \cdot \frac{W}{L} \cdot (V_G - V_{TO} - \frac{V_{Dsat}}{2}) \cdot V_{Dsat}$

Το  $C'_{ox}$  (χωρητικότητα ανά μονάδα επιφάνειας του Gate) εξαρτάται από το πάχος του οξειδίου του τρανζίστορ. Όσο πιο λεπτό το πάχος του οξειδίου, τόσο μεγαλύτερο θα είναι το  $C'_{ox}$  και αναλόγως αυξάνεται και το ρεύμα καναλιού του τρανζίστορ. Αφού το  $V_{DSAT} = V_G - V_{TO}$  τότε το ρεύμα κορεσμού είναι :

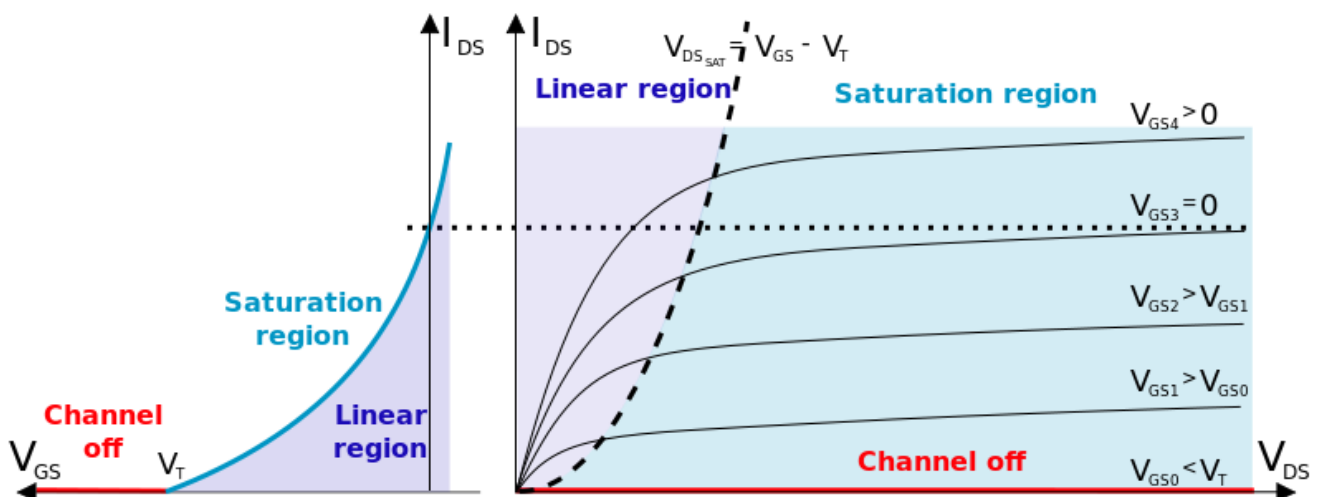
$$I_{sat} = \frac{1}{2} \cdot \mu \cdot C'_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TO})^2$$



Εικόνα 2.5 2 NMOS στραγγαλισμός του καναλιού (pinch-off)

Στην Εικόνα 2.5 3 βλέπουμε τα διαγράμματα  $I_{DS}$  προς  $V_{DS}$  και  $I_{DS}$  προς  $V_{GS}$  και μπορούμε να διακρίνουμε τις περιοχές λειτουργίας των MOS. Στο διάγραμμα  $I_{DS}$  προς  $V_{DS}$  για  $V_{GS} < V_{TO}$  το κανάλι δεν έχει σχηματιστεί και είμαστε στην περιοχή αποκοπής, με την σκούρα μπλε περιοχή βλέπουμε την γραμμική περιοχή (Linear region) και δεξιά της η γαλάζια περιοχή είναι η περιοχή κορεσμού με  $V_{DSsat} = V_{GS} - V_{TO}$ .

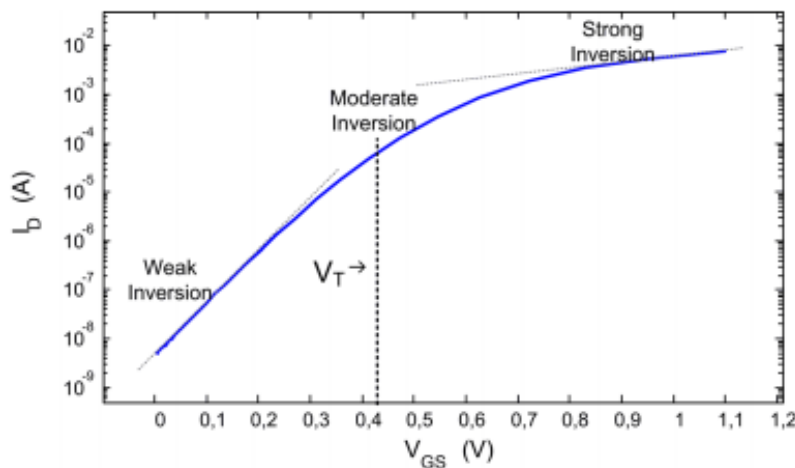
Εικόνα 2.5 3 Διάγραμμα του ρεύματος  $I_{DS}$  ως προς τις τάσεις  $V_{DS}$  και  $V_{GS}$  [18]



## 2.6 Περιοχές αντιστροφής καναλιού

Η τάση Gate προς Source ( $V_{GS}$ ) καθορίζει το επίπεδο αναστροφής στο κανάλι. Ανάλογα με την τάση  $V_{GS}$ , προκύπτουν τρεις περιοχές αναστροφής. Η πρώτη περιοχή ονομάζεται weak inversion (WI). Αυτή η περιοχή εμφανίζεται για  $V_{GS}$  κάτω από το  $V_{TO}$  με τιμή τουλάχιστον 72mV και το κανάλι ανεστραμμένο. Όταν το MOSFET λειτουργεί σε weak inversion το ρεύμα Drain diffusion κυριαρχεί και η εξάρτησή του από το  $V_{GS}$  είναι εκθετική.

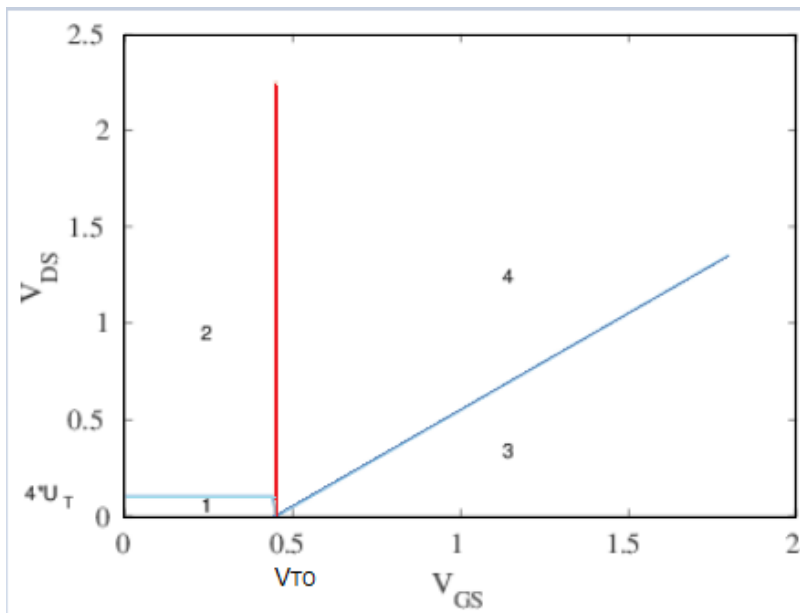
Όταν το κανάλι αντιστρέφεται έντονα η περιοχή αναστροφής την ονομάζεται strong inversion (SI). Αυτό συμβαίνει όταν κυριαρχεί το  $V_{GS} > V_{TO}$  και το ρεύμα drift κυριαρχεί. Σε αυτήν την περιοχή, το ρεύμα είναι ανάλογο με το τετράγωνο του  $V_{GS}$ . Η περιοχή ανάμεσα από WI και SI ονομάζεται moderate inversion (MI). Στην Εικόνα 2.6 1 μπορούμε να διακρίνουμε αναλυτικά τις τρεις περιοχές αναστροφής που αναφέραμε.



Εικόνα 2.6 1 Διάγραμμα  $I_D$  προς την τάση  $V_{GS}$  που μπορούμε να διακρίνουμε τις τρεις περιοχές αναστροφής [20]

Τα τρανζίστορ λειτουργούν σε μία συγκεκριμένη περιοχή αναστροφής (WI, MI, SI) και μία συγκεκριμένη περιοχή λειτουργίας (αποκοπής, γραμμική και κορεσμού).

Στην Εικόνα 2.6 2 είναι το διάγραμμα  $V_{DS}$  ως προς  $V_{GS}$  με  $V_{TO} = 0.5$  V και μπορούμε να διακρίνουμε τέσσερις περιοχές. Στην περιοχή 1 έχουμε Weak Inversion και γραμμική περιοχή, στην περιοχή 2 έχουμε Weak Inversion και περιοχή κορεσμού, στην περιοχή 3 έχουμε Strong Inversion και γραμμική περιοχή κορεσμού, στην περιοχή 4 έχουμε Strong Inversion και περιοχή κορεσμού. Θα αναλύσουμε περαιτέρω στην ενότητα 2.7 τις περιοχές 2 και 4 που έχουμε κορεσμού και ιδιαίτερο ενδιαφέρον.



Εικόνα 2.6 2 Διάγραμμα  $V_{DS}$  ως προς  $V_{GS}$  με τις περιοχές λειτουργίας και αντιστροφής [19]

## 2.7 Ορισμοί σημαντικών εννοιών και εισαγωγή στο μοντέλο φορτίων των MOS

Η διαδικασία που χρησιμοποιούμε για την εξαγωγή των παραμέτρων στα MOSFET εφαρμόζουν τεχνικές που έχουν παρουσιαστεί στο **Generalized Constant Current Method for Determining MOSFET Threshold Voltage** [1], χαρακτηρίζεται για την απλότητα του στην διαδικασία εύρεσης της τάσης κατωφλίου ( $V_{TO}$ ) σε σύγκριση με κλασικές μεθόδους που χρησιμοποιούν συνήθως σε strong inversion. Το τρέχον κριτήριο καθορίζεται έτσι ώστε το τρανζίστορ να λειτουργεί στη μέση της moderate inversion. Το μοντέλο του paper εφαρμόζεται και στις τρεις διαφορετικές τεχνολογίες, από Weak έως Moderate και Strong inversion. Χρησιμοποιώντας αυτό το γενικευμένο κριτήριο, η τάση κατωφλίου ( $V_{TO}$ ) μπορεί να προσδιοριστεί σε οποιοδήποτε επίπεδο ρεύματος. Ως εκ τούτου, η μέθοδος ονομάζεται μέθοδος γενικευμένου σταθερού ρεύματος (GCC). Η διαδικασία βασίζεται στη διαμόρφωση μοντέλου charge-based [11], [12] και επιτρέπει την εξαγωγή τάσης κατωφλίου και άλλων σχετικών παραμέτρων που επιδρούν στο υπόστρωμα. Η μέθοδος (ACC) [7] επιτρέπει τον προσδιορισμό της τάσης κατωφλίου από γραμμικές έως πλήρως κορεσμένες συνθήκες λειτουργίας. Η γραμμική λειτουργία αποφέρει οφέλη στην ελαχιστοποίηση των επιπτώσεων των δευτερογενών επιδράσεων στις εξαγόμενες παραμέτρους, όπως velocity saturation (VS), διαμόρφωση μήκους καναλιού (CLM) και μείωση του φραγμού που προκαλείται από την αποστράγγιση (DIBL). Θα επικεντρωθούμε στην κορεσμένη λειτουργία του τρανζίστορ.

Αρχικά, το συνολικό ρεύμα στο κανάλι είναι ίσο με:

Εξίσωση 1:  $I_D = I_{SPEC} (i_f - i_r) = I_{SPEC} (q_s^2 + q_s - q_d^2 - q_d)$  [7]

Για να υπολογίσουμε τα ρεύματα forward και reverse, χρησιμοποιώντας τους γενικούς τύπους, καταλήγουμε στους ειδικούς, ανάλογα με την περιοχή λειτουργίας του τρανζίστορ και το επίπεδο αναστροφής. Οι γενικοί τύποι για τα δύο ρεύματα είναι οι εξής:  $i_f = q_s^2 + q_s$  και  $i_r = q_d^2 + q_d$ . Το συνολικό κανονικοποιημένο ρεύμα στο

κανάλι είναι :  $i_d = i_f - i_r$ . Το ρεύμα καναλιού εξαρτάται μόνο από τα φορτία αναστροφής στο source  $q_s$  και στο drain  $q_d$

Ο συντελεστής κανονικοποίησης του ρεύματος  $I_{spec}$  ορίζεται:

**Εξίσωση 2:**  $I_{SPEC} = I_0 \cdot \frac{W}{L} = 2 \cdot n \cdot U_T^2 \cdot \mu \cdot C'_{ox} \cdot \frac{W}{L}$  [1]

Στην παραπάνω σχέση, το  $n$  είναι ο παράγοντας κλίσης (slope factor) και έχει τιμές περίπου  $1.1 < n < 1.6$  [13], το  $\mu$  κινητικότητα των μεταφορέων.

Το  $C'_{ox} = \epsilon_{ox} / T_{ox}$  η χωρητικότητα του οξειδίου πύλης ανά μονάδα εμβαδού του οξειδίου,  $T_{ox}$  είναι το πάχος του οξειδίου και εξαρτάται από τη διαδικασία κατασκευής και  $\epsilon_{ox}$  είναι η διαπερατότητα οξειδίου και είναι ίσο με:  $\epsilon_{ox} = 3.45 \cdot 10^{-11} F / m$ . Το  $U_T$  είναι η θερμική τάση και έχει τιμή ίση με  $U_T \approx 25.8 mV$  σε θερμοκρασία δωματίου και είναι ίση με  $U_T = \frac{k \cdot T}{q}$ , με  $q = 1.602 \cdot 10^{-19} C$  είναι το ηλεκτρικό φορτίο που μεταφέρεται από ένα ηλεκτρόνιο και  $k = 1.38 \cdot 10^{-23} J/K$  είναι η σταθερά του Boltzmann.

Η σχέση τάσης-φορτίου εκφράζεται ως:

**Εξίσωση 3:**  $\frac{V_P - V_S}{U_T} = v_p - v_s = 2 \cdot q_s + \ln q_s$  [1]

όπου οι τάσεις  $v_p = V_P / U_T$  και  $v_s = V_S / U_T$  είναι κανονικοποιημένες

Η τάση pinch-off (στραγγαλισμού)  $V_P$  είναι συνάρτηση της τάσης Gate ( $V_G$ ).

**Εξίσωση 4:**  $V_P = V_G - V_{FB} - \phi - \gamma \cdot \left[ \sqrt{V_G - V_{FB} + \left[ \frac{\gamma}{2} \right]^2} - \frac{\gamma}{2} \right]$  αναλυτικός τύπος [4]

$V_P = \frac{V_G - V_{TO}}{n}$  προσεγγιστικός τύπος [7]

Τάση threshold  $V_{TO}$  ισούται με: **Εξίσωση 4.2**  $V_{TO} = V_{FB} + \phi + \gamma \cdot \sqrt{\phi}$  [1]

όπου το  $V_{FB}$  Δυναμικό επαφής (flat-band voltage),  $\gamma$  ο δείκτης σώματος,  $\phi$  το δυναμικό quasi-Fermi. Το  $\gamma$  και το  $\phi$  θα τα αναλύσουμε και θα τα υπολογίσουμε στο επόμενο κεφάλαιο.

Η αντίστροφη συνάρτηση της (Εξίσωση 4)  $V_G - V_P$  είναι εξίσου χρήσιμη και ισούται :

Εξίσωση 5: 
$$V_G = V_{TO} + V_P + \gamma \cdot [\sqrt{\varphi + V_P} - \sqrt{\varphi}] \quad [4]$$

Ο slope factor  $n$  ορίζεται ως εξής:

Εξίσωση 6: 
$$n = \left[ \frac{\partial V_P}{\partial V_G} \right]^{-1} = 1 + \frac{\gamma}{2 \cdot \sqrt{V_P + \varphi}} \quad [5]$$

Με τον συνδυασμό των Εξίσωση 1, Εξίσωση 4 και Εξίσωση 6 μπορούμε να περιγράψουμε την πλήρη έκφραση του ρεύματος Drain σε όλες τις δυνατές περιοχές λειτουργίας του MOSFET. Στον κορεσμό, όταν  $I_r \ll I_f$ , η Εξίσωση 1 γίνεται  $I_D \approx I_{spec}$  ή το οποίο μπορεί να εκφραστεί ως:

Εξίσωση 7: 
$$IC = \frac{I_{Dsat}}{I_{SPEC}} = \frac{I_{Dsat}}{I_0 \cdot \frac{W}{L}} \quad [1]$$

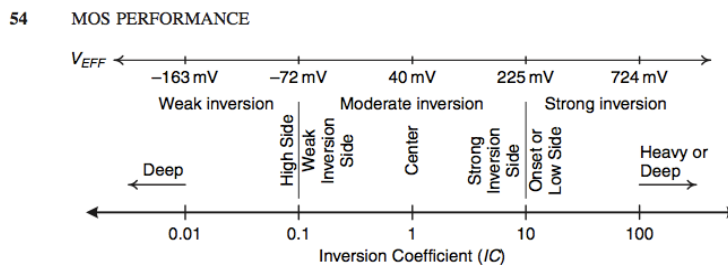
Όπου το IC είναι ο συντελεστής αντιστροφής (inversion coefficient), το IC μας παρέχει μια καλή εικόνα για τις αντισταθμίσεις του σχεδιασμού και μας δίνει την δυνατότητα να σχεδιάσουμε σε όλες τις περιοχές λειτουργίας. Επίσης, οι προσομοιώσεις δοκιμής-σφάλματος μειώνονται επειδή επιτυγχάνεται ένας καλός αρχικός σχεδιασμός με αυτήν τη μέθοδο. Περιοχές αντιστροφής σχετίζονται με το IC με τις παρακάτω ανίσωσης:

IC < 0.1              weak inversion

0.1 < IC < 10      moderate inversion

IC > 10              strong inversion

Τις τρεις περιοχές αντιστροφής μπορούμε να τις παρατηρήσουμε στην Εικόνα 2.7 3 [17].



**Figure 3.3** The inversion coefficient presented as a number line showing the regions and subregions of MOS inversion with corresponding effective gate-source voltage,  $V_{EFF} = V_{GS} - V_T$ . The effective gate-source voltage is for room temperature ( $T = 300\text{ K}$ ) and an average substrate factor of  $n = 1.4$ . It is higher than values shown for short-channel devices operating in strong inversion due to velocity saturation. Moderate inversion is increasingly important in modern, low-voltage processes because of lower allowable effective gate-source and drain-source saturation voltages

**Εικόνα 2.7 3 Περιοχές αντιστροφής καναλιού [17]**

Στον Πίνακα 2.7 1 παρουσιάζουμε τις τιμές του  $V_{DS}$  και  $I_D$  στον κορεσμό για weak και strong inversion [6] και την σχέση μεταξύ τάσης κορεσμού του Drain-Source και του συντελεστή αναστροφής. Η περιοχή και το επίπεδο αναστροφής στο κανάλι ενός MOSFET μπορούν να περιγραφούν από τον συντελεστή αντιστροφής ( $IC$ ). Χρησιμοποιώντας τις εξισώσεις μοντέλου **EKV MOS [14]**.

Saturation ( $V_{GS} > 0$ και $V_{DS} = V_{Dsat}$ )		
$V_{Dsat}$	Σχέση μεταξύ τάσης κορεσμού του Drain-Source με το $IC$	
	$2 \cdot U_T \cdot \sqrt{IC + 1/4} + 3 \cdot U_T$	
	Weak Inversion ( $IC < 0.1$ )	Strong Inversion ( $IC > 10$ )
	$4 \cdot U_T$	$V_P - V_S$
$I_{Dsat}$	Weak Inversion ( $IC < 0.1$ )	Strong Inversion ( $IC > 10$ )
	$2 \cdot \mu \cdot n \cdot C'_{ox} \cdot \frac{W}{L} \cdot e^{\frac{V_G - n \cdot V_S - V_{To}}{n \cdot U_T}}$ (όταν: $V_S > V_P$ , $V_D > V_P$ , $I_F \gg I_R$ )	$\frac{\mu \cdot C'_{ox} \cdot \frac{W}{L}}{2 \cdot n} [V_G - n \cdot V_S - V_{To}]^2$ (όταν: $V_S < V_P$ , $V_D > V_P$ , $I_F \gg I_R$ )

**Πίνακας 2.7 1 τάση και ρεύμα στο Drain στον κορεσμό για WI και SI**

Το μοντέλο που αναλύουμε μπορεί να μας εξάγει την τάση threshold σε κάθε επίπεδο αναστροφής.

Εμείς σε αυτήν την διπλωματική εργασία θα μελετήσουμε την περίπτωση που το drift ( $i_{drift} = q_s^2$ ) κομμάτι και το diffusion ( $i_{diff} = q_s$ ) της Εξίσωσης 1 είναι ίσα (δηλαδή  $q_s^2 = q_s = 1$ ).

Από  $I_D = I_{SPEC} \cdot i_f$  και  $i_f = q_s^2 + q_s = 1 + 1 = 2$ , άρα έχουμε  $I_D = I_{SPEC} \cdot 2$  ή αλλιώς  $\frac{I_D}{I_{SPEC}} = 2$  όπου από την Εξίσωση 7 προκύπτει  **$IC = 2$** . Αφού  $q_s = 1$  η Εξίσωση 3 γίνεται  $\frac{V_P - V_S}{U_T} = 2$ . Από την τελευταία εξίσωση συμπεραίνουμε ότι μπορούμε να βρούμε το  $V_P$  ξέροντας απλά το  $V_S$  για  $IC = 2$ . Άρα έχουμε :

**Εξίσωση 8:**  $V_P = V_S + 2 \cdot U_T$

### °Αγωγιμότητα:

$$G_m = \frac{I_D}{n \cdot U_T} G(IC) \quad [13]$$

Όπου το G(IC) στον κορεσμό είναι η αγωγιμότητα και αντιπροσωπεύει το ποσοστό της μέγιστης αγωγιμότητας που το τρανζίστορ εκμεταλλεύεται για ένα δεδομένο IC.

$$G(IC) = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}} \quad [6]$$

Αποδοτικότητα της αγωγιμότητας  $\frac{g_m}{i_d}$  που είναι σημαντική σε αναλογική σχεδίαση χαμηλής ισχύος περιγράφεται από τον τύπο που συνδέει την κανονικοποιημένη αγωγιμότητα στο Source:

$$\frac{g_{ms}}{i_d} = \frac{n \cdot g_m}{i_d} \Big|_{\text{sat}} = \frac{1}{1 + q_s} = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}} \quad [1]$$

Όπου  $g_m$  είναι η κανονικοποιημένη αγωγιμότητα στο Gate. Η απόδοση της αγωγιμότητας είναι μέγιστη σε WI. Από το WI στο MI μειώνεται και στο SI ελαχιστοποιείται.

Για την μη κανονικοποιημένη απόδοση της αγωγιμότητας γνωρίζουμε:

$$\frac{G_m}{I_D} = \frac{1}{n \cdot U_T} \cdot \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}} \quad \text{ή} \quad \text{Εξίσωση 9:} \quad \frac{n \cdot G_m \cdot U_T}{I_D} = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}}$$

### °Unity gain transit frequency in Saturation: [6]

$$f_T = \frac{\mu \cdot U_T}{2 \cdot \pi \cdot L_{eff}^2} (\sqrt{1 + 4 \cdot IC} - 1) \quad [6]$$

# Κεφάλαιο 3

---

## 3 Υλοποίηση διαδικασίας εξαγωγής των παραμέτρων

### 3.1 Εκτέλεση της διαδικασίας εξαγωγής παραμέτρων σε moderate inversion (IC=2)

Αφού έχουμε διαβάσει και κατανοήσει το paper εξαγωγής παραμέτρων [1] και την διαδικασία που περιγράφει σε επόμενο επίπεδο έπρεπε να το υλοποιήσουμε με πραγματικά δεδομένα.

Τα δεδομένα μας τα μετρήσαμε μόνη μας στο εργαστήριο ηλεκτρονικής. Μετρήσαμε τρεις διαφορετικές τεχνολογίες (110nm, 250nm, 1um) και για PMOS και για NMOS τρανζίστορ.

Για κάθε τεχνολογία και για κάθε τύπου τρανζίστορ (NMOS, PMOS) μετρήσαμε για τρία διαφορετικά μήκη καναλιών Long channel, Medium channel και Short channel.

Τα δεδομένα που πήραμε από τις μετρήσεις ήταν τα εξής :

- το ρεύμα  $I_D$  (drain-source,  $I_{DS}$ )
- η τάση  $V_G$  (gate-source,  $V_{GS}$ )
- η τάση  $V_B$  (body-source,  $V_{BS}$ )

και  $U_T = 25.8 \text{ mV}$

#### 3.2.1 Εύρεση Αγωγιμότητα $G_m$ , $G_m \cdot U_T / I_D$

Αρχικά θα περιγράψουμε την αγωγιμότητα και την απόδοση της αγωγιμότητας.

Η μη κανονικοποιημένη αγωγιμότητα μπορεί να εκφραστεί από τα δεδομένα μας με την παρακάτω εξίσωση:

Εξίσωση 10:  $G_m = \frac{\partial I_D}{\partial V_G}$  [4]

Ο λόγος  $\frac{G_m \cdot U_T}{I_D}$  μπορεί να εκφραστεί από τα δεδομένα μας με την παρακάτω εξίσωση:

Εξίσωση 11:  $\frac{G_m U_T}{I_D} = \left[ \frac{\partial \log I_D}{\partial V_G} \right] \cdot U_T$  [4]

Ξέροντας τα δεδομένα ( $I_D$ ,  $V_B$ ,  $V_G$ ) μπορούμε να αρχίσουμε να υλοποιούμε το μοντέλο μας βήμα προς βήμα. Αρχικά πρέπει να υπολογίσουμε την αγωγιμότητα ( $G_m$ ) από την Εξίσωση 10 αφού ξέρουμε το  $I_D$  και  $V_G$ .

Έπειτα βρίσκουμε τον λόγο  $\frac{G_m \cdot U_T}{I_D}$  από την Εξίσωση 11 αφού είναι γνωστά το  $I_D$ ,  $V_G$  και  $U_T$ .

Για **IC=2** η Εξίσωση 9 είναι ίση με  $\frac{n \cdot G_m \cdot U_T}{I_D} = \frac{1}{2}$  ή

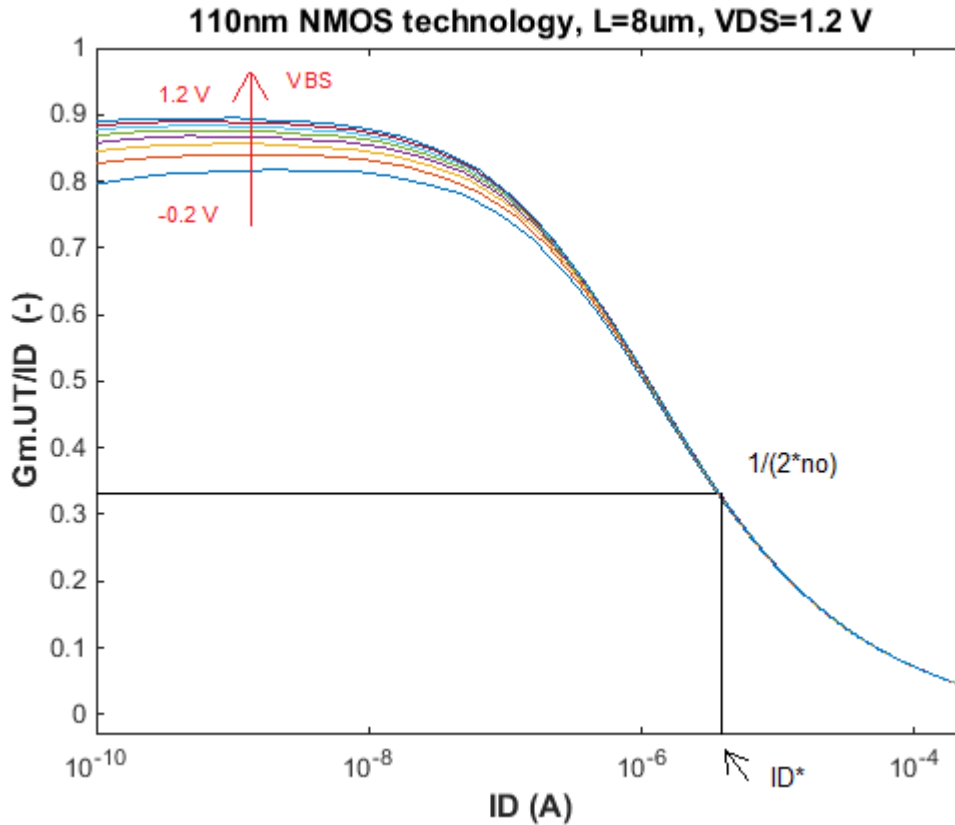
Εξίσωση 12:  $\left\{ \frac{G_m \cdot U_T}{I_D} \right\}^* = \frac{1}{2 \cdot n_0}$  ή Εξίσωση 13:  $n_0 = \frac{1}{\left\{ \frac{G_m \cdot U_T}{I_D} \right\}_{max}}$

Η Εξίσωση 11 θα μας βοηθήσει στο επόμενο βήμα μας στην υλοποίηση του μοντέλου μας να βρούμε το ρεύμα  $I_0$ .

Για το βρούμε την τιμή του  $n_0$  έπρεπε να βρούμε την μέγιστη τιμή του λόγου  $\frac{G_m \cdot U_T}{I_D}$  και να τον αντικαταστήσουμε στην Εξίσωση 13.

### 3.1.2 Διαδικασία εύρεσης του ρεύματος $I_0$

Ξέροντας το  $n_0$  μπορούμε να βρούμε μέσω της Εξίσωσης 12 την τιμή του λόγου  $\left\{ \frac{G_m \cdot U_T}{I_D} \right\}^*$  για IC=2, ώστε με αυτήν την τιμή πηγαίνοντας στο διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το ρεύμα  $I_D$  και ξέροντας μία τιμή για το  $\frac{G_m \cdot U_T}{I_D}$  βρίσκουμε την αντίστοιχη τιμή του ρεύματος σε εκείνο το σημείο, το οποίο θα ονομάσουμε  $I_D^*$ . Στην Εικόνα **3.1.2 1** βλέπουμε την παραπάνω διαδικασία αναλυτικά.



Εικόνα 3.1.2 1 Εύρεση  $I_0$  από διάγραμμα  $G_m \cdot U_T / I_D$  ως προς το ρεύμα  $I_D$

Από την Εξίσωση 7 και για  $IC=2$  έχουμε:  $2 = \frac{I_D}{I_0 \cdot \frac{W}{L}}$  που αν λύσουμε ως προς  $I_0$  έχουμε

$$I_0 = \frac{I_D}{2 \cdot \left(\frac{W}{L}\right)} \quad \text{αφού το } W \text{ και το } L \text{ είναι γνωστά για κάθε τεχνολογία και ξέρουμε και το}$$

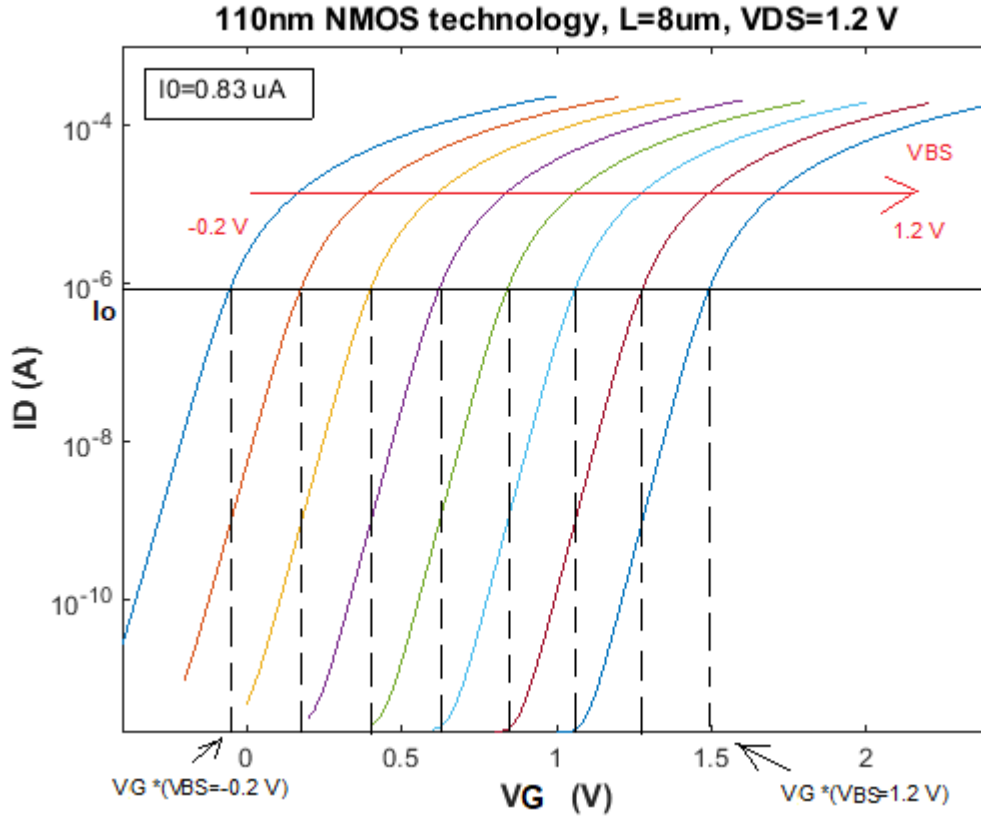
$I_D$  μπορούμε να βρούμε την τάση  $I_0$ .

### 3.1.3 Εύρεση τάσης $V_G^*$ , pinch-off voltage $V_P$ και του slope factor $n$

Αφού γνωρίζουμε το  $I_0$  τώρα από το διάγραμμα  $I_D - V_G$  βρίσκουμε σε ποιες δύο τιμές ρεύματος  $I_D$  ( $I_{D1}$ ,  $I_{D2}$ ) είναι ανάμεσα το  $I_0$  και τα  $V_G$  ( $V_{G1}$ ,  $V_{G2}$ ) που τους αντιστοιχούν, αυτήν την διαδικασία μπορούμε να την δούμε και στην Εικόνα 3.1.3 1

Ο τύπος για το  $V_G^*$  είναι ο εξής:

$$\bullet V_G^* = V_{G1} + \frac{\log(I_0) - \log(I_{D1})}{\log(I_{D2}) - \log(I_{D1})} (V_{G2} - V_{G1})$$



**Εικόνα 3.1.3 1** Βρίσκουμε τα  $V_G^*$  για όλα τα  $V_{BS}$  από το διάγραμμα  $I_D$  ως προς το  $V_G$

Για να βρούμε την τάση pinch-off  $V_p$  (measured) θα χρησιμοποιήσουμε τον τύπο από την Εξίσωση 8:  $V_P = V_S + 2 \cdot U_T$ , ο οποίος ισχύει για  $IC=2$  που μελετάμε εμείς.

Για να βρούμε το slope factor ( $n$ ) χρησιμοποιήσαμε την Εξίσωση 6 η οποία μας δίνει την δυνατότητα να βρούμε το slope factor χωρίς να ξέρουμε το  $\phi$ ,  $\gamma$  και  $V_{T0}$  από τις μετρήσεις μας:

$$n = \left[ \frac{\partial V_P}{\partial V_{G^*}} \right]^{-1} = \frac{\partial V_{G^*}}{\partial V_P} \quad (n \text{ measured})$$

Ακόμα ένας λόγος που μελετήσαμε είναι η απόδοση της αγωγιμότητας σε συνδυασμό με το slope factor που περιγράφεται με τον παρακάτω τύπο.

$$\frac{n \cdot G_m \cdot U_T}{I_D} = \left[ \frac{G_m \cdot U_T}{I_D} \right] * n$$

Ο παραπάνω λόγος έχει μέγιστη τιμή κοντά στην μονάδα.

### 3.1.4 Εύρεση pinch-off voltage $V_p$ και του slope factor $n$ μέσω του $\gamma$ και $\phi$ και $V_{TO}$

Παραπάνω βρήκαμε το pinch-off voltage  $V_p$  και τον slope factor  $n$  χωρίς να χρησιμοποιήσουμε τις μεταβλητές  $\gamma$  και το  $\phi$ . Σε αυτό το βήμα θα βρούμε πάλι το  $V_p$  και το slope factor  $n$  και θα τα συγκρίνουμε με τα παραπάνω με σκοπό να είναι ίσα.

Για να γίνουν ίσα τα δύο  $V_p$  (measured και model) και τα δύο slope factor  $n$  (measured και model) μεταξύ τους πρέπει να βρούμε τα κατάλληλα  $\gamma$  και  $\phi$  με την προσεγγιστική μέθοδο και δοκιμάζοντας διάφορες τιμές τους μέχρι να βρούμε τις κατάλληλες.

Αφού βρούμε το κατάλληλο  $\gamma$  μέσω του  $N_{sub}$  θα βρούμε με καλύτερη ακρίβεια  $\phi$ .

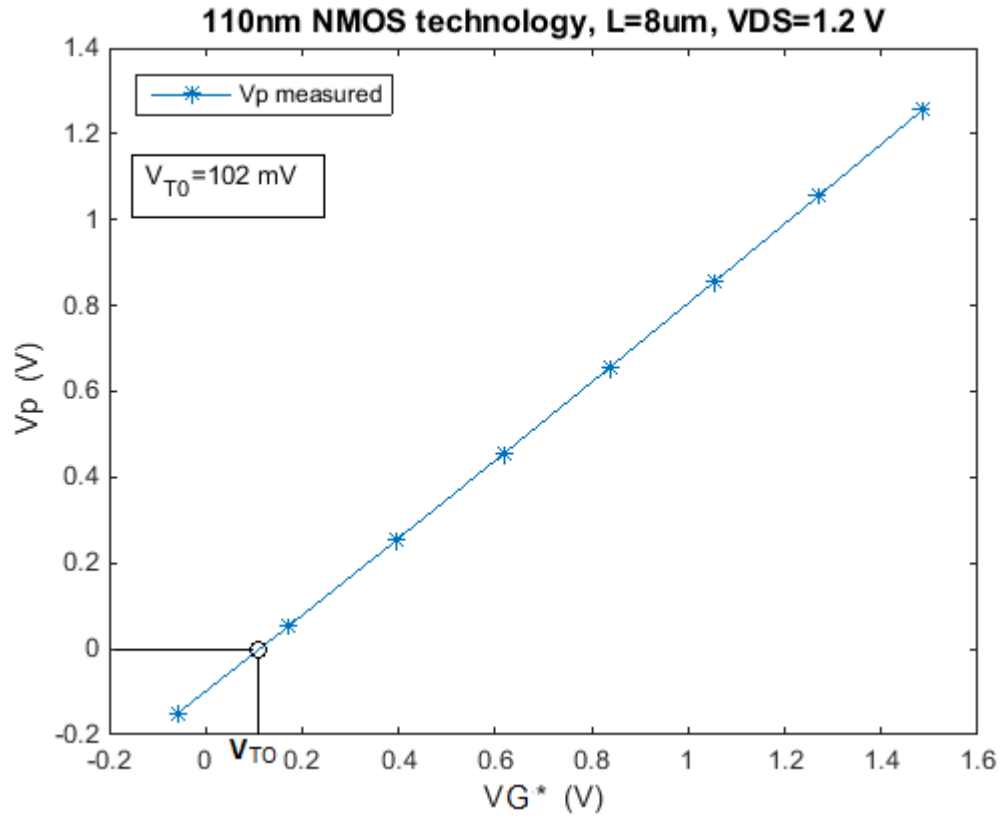
Παίρνουμε τον τύπο  $\gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_{si} \cdot N_{sub}}}{C'_{ox}}$  [5] λύνουμε ως προς  $N_{sub}$  και έχουμε:

$$N_{sub} = \frac{C'_{ox} \cdot \gamma}{\sqrt{2 \cdot q \cdot \epsilon_{si}}} \quad [6], \quad \text{με} \quad \sqrt{2 \cdot q \cdot \epsilon_{si}} = 5.8 \cdot 10^{-15} \text{ C}/\sqrt{\text{Vm}}$$

Άρα η τελική τιμή του  $\phi$  θα είναι:  $\phi \approx 2 \cdot U_T \cdot \ln \left[ \frac{N_{sub}}{ni(T)} \right]$  [6],

$$\text{με} \quad ni(300K) \approx 1.19 \cdot 10^{10} \text{ cm}^3$$

Για IC=2 όπως έχουμε ξαναδεί έχουμε  $q_s=1$ , άρα αν θέσουμε  $V_p=0$  στην εξίσωση τάσης φορτίου **Εξίσωση 3** παρατηρούμε ότι  $V_G=V_{TO}$ , άρα μπορούμε υπολογίσουμε την τάση κατωφλίου  $V_{TO}$  με πολύ απλό τρόπο από το διαγράμματος  $V_p-V_G^*$  (βλέπε Εικόνα 3.1.4 1). Το μόνο που έμενε να κάνουμε είναι να δούμε για  $V_p=0$  ποια είναι η τιμή του  $V_G$  που ισούται με το  $V_{TO}$  για IC=2.



**Εικόνα 3.1.4 1** Εύρεση  $V_{T0}$  από το διάγραμμα  $V_p$  ως προς την τάση  $V_G^*$

Για τον υπολογισμό του  $V_{P'}$  ( $V_p$  model) χρησιμοποιήσαμε τον αναλυτικό τύπο της **Εξίσωση 4** της τάση pinch-off και την Εξίσωση 4.2 για να βρούμε το  $V_{FB}$ :

$$V_{FB} = V_{T0} - \phi - \gamma \sqrt{\phi} \quad \text{Εξίσωση 4.2}$$

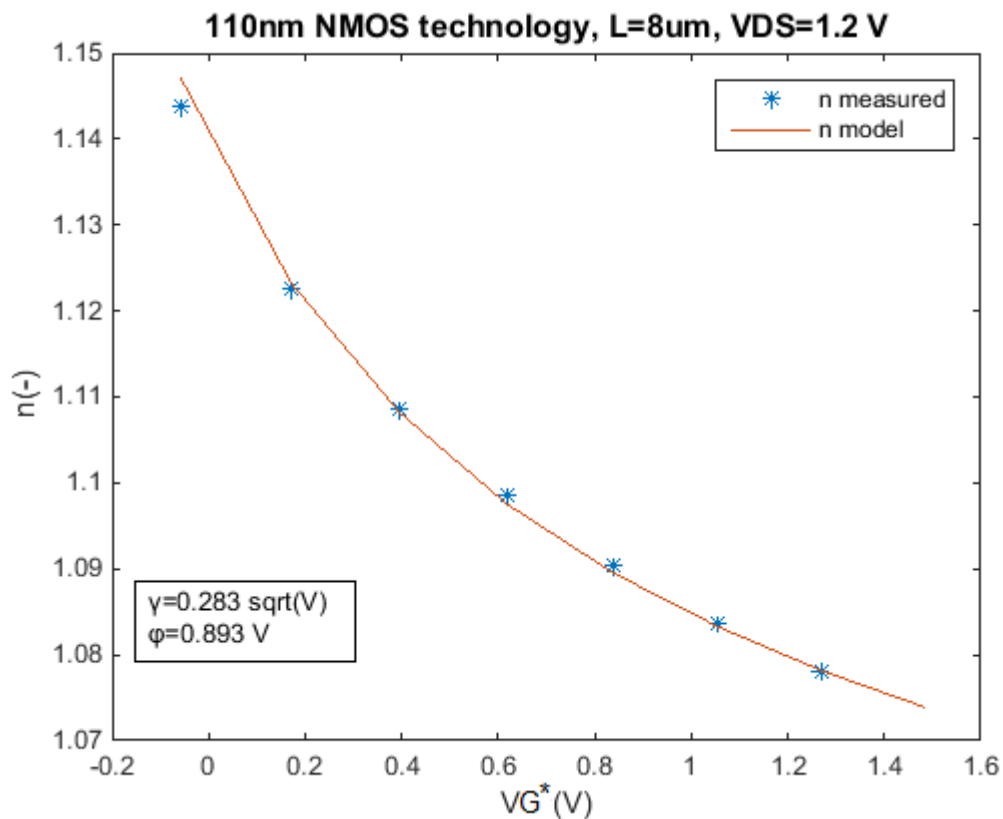
$$V_{P'} = V_G^* - V_{FB} - \phi - \gamma \left[ \sqrt{V_G - V_{FB} + \left[\frac{\gamma}{2}\right]^2} - \frac{\gamma}{2} \right] \quad \text{[1] } (V_p \text{ model})$$

Το slope factor  $n'$  δηλαδή το μοντέλο n το οποίο το υπολογίσαμε από την Εξίσωση 6

$$n' = 1 + \frac{\gamma}{2 \sqrt{V_{P'} - \phi}} \quad (n \text{ model})$$

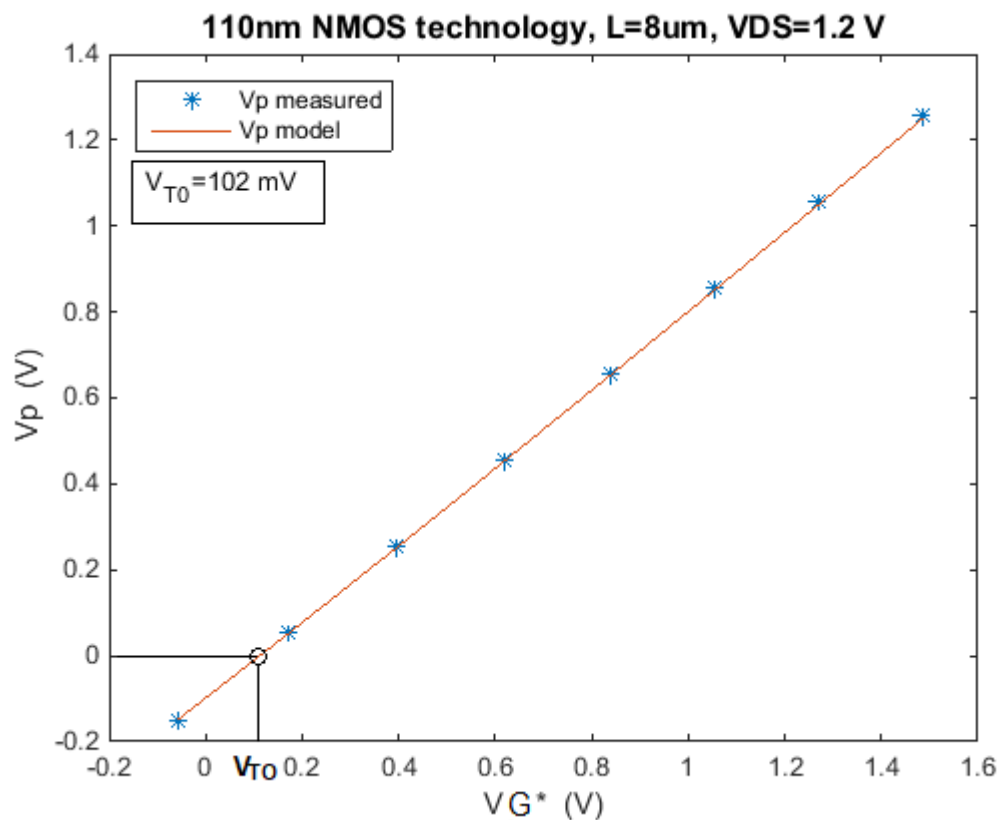
### 3.2 Συγκρίσεις του slope factor (measured – model) και του $V_P$ (measured – model)

Στην **Εικόνα 3.2 1** βλέπουμε την σύγκριση του **slope factor measured** με το **slope factor model** και το γεγονός ότι με τα κατάλληλα  $\gamma$  και  $\phi$  που βρήκαμε από μοντέλο εξαγωγής παραμέτρων υπάρχει μια πολύ καλή ταύτιση μεταξύ δεδομένων (slope factor measured) και μοντέλου ( slope factor model) . Τα δεδομένα είναι από 110nm NMOS με long channel και στα υπόλοιπα εργαστήκαμε με όμοιο τρόπο.



**Εικόνα 3.2 1** Αντιπαράθεση του slope factor measured με τον slope factor model ως προς την τάση  $V_G^*$

Στην **Εικόνα 3.2 2** βλέπουμε την σύγκριση του pinch-off voltage measured ( $V_p$  measured ) με το pinch-off voltage model ( $V_p$  model). Παρατηρούμε ότι με τα  $\gamma$  και  $\phi$  που βρήκαμε και το κατάλληλο  $V_{T0}$  υπάρχει μια πολύ καλή τούτιση μεταξύ  $V_p$  model και  $V_p$  measured. Τα δεδομένα είναι από 110nm NMOS με long channel και στα υπόλοιπα εργαστήκαμε με όμοιο τρόπο.

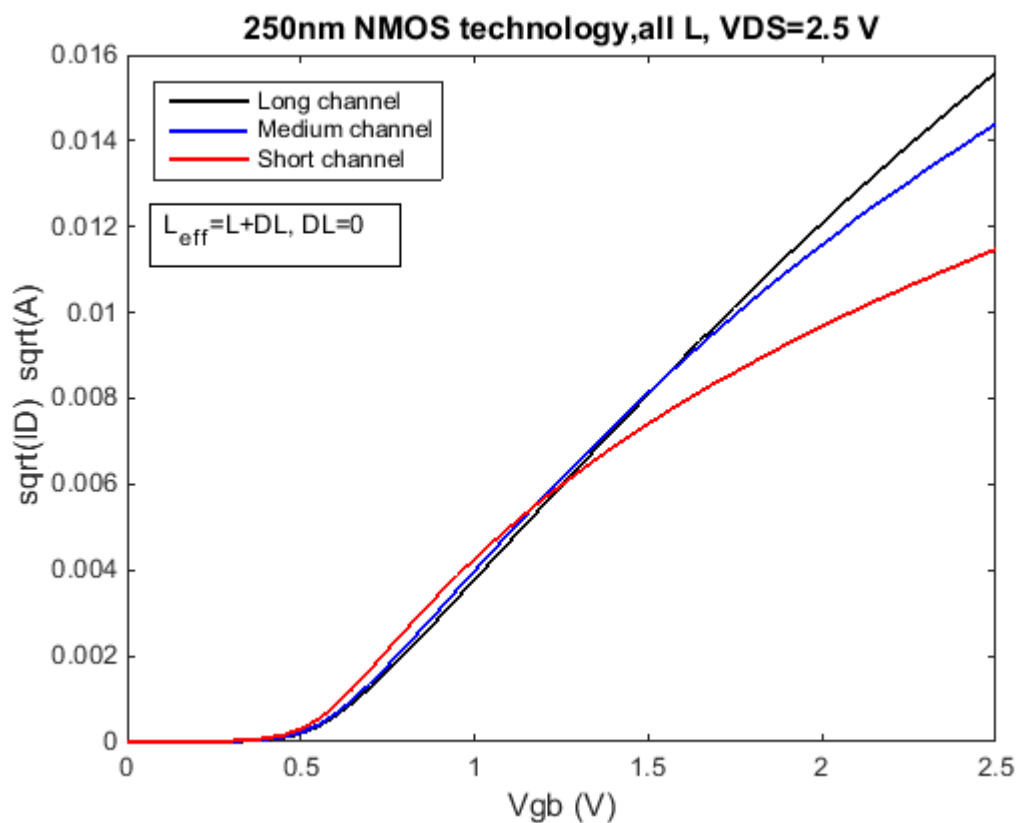


**Εικόνα 3.2 2** Αντιπαράθεση της τάσης pinch-off  $V_p$  (measured – model) ως προς την τάση  $V_G^*$

### 3.3 Εύρεση DL από το διάγραμμα $\sqrt{I_D} - V_G$

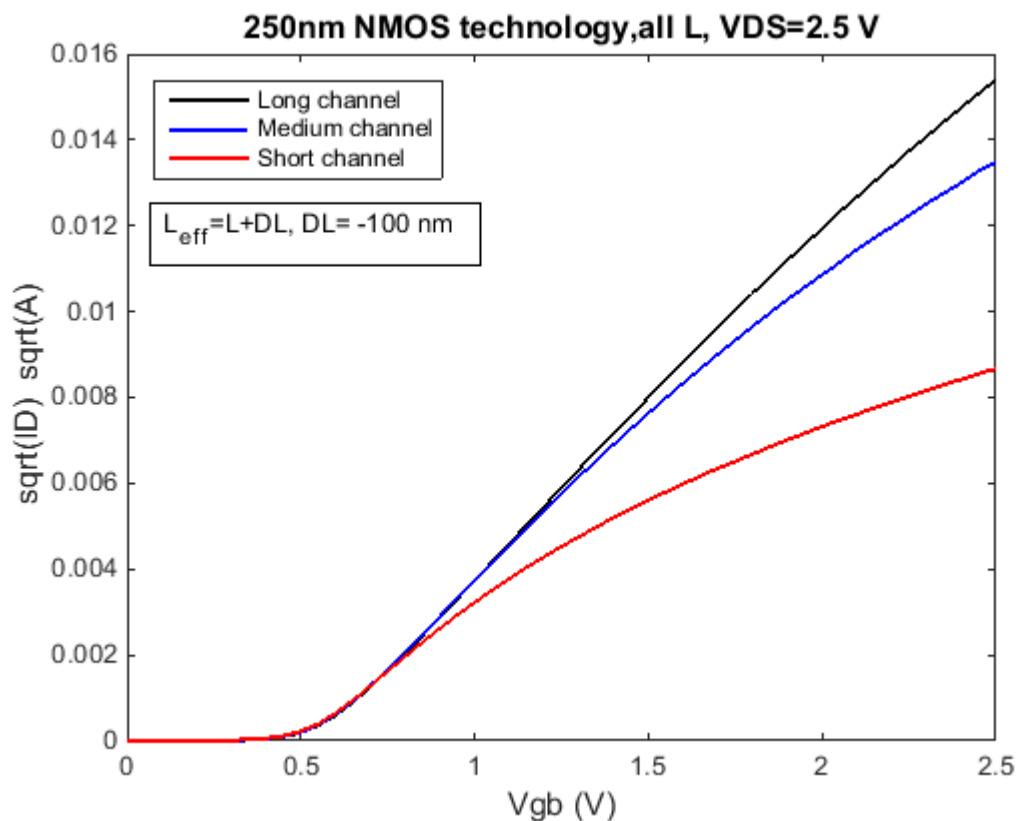
Μια σημαντική παράμετρος του μοντέλου που πρέπει να υπολογίσουμε σε αυτό το σημείο είναι το DL. Το DL έχει αρνητική τιμή και το προσθέτουμε στο πλάτος καναλιού L για διορθώσουμε την τιμή του μήκους του καναλιού που μας έχει δώσει ο κατασκευαστής ώστε να βρούμε το πραγματικό μήκος του. Στην Εικόνα **3.3 1** βλέπουμε το κανονικοποιημένο  $\sqrt{I_D}$  ως προς την τάση  $V_G$  και παρατηρούμε στο medium channel και κυρίως στο short channel ότι χρειάζεται διόρθωση το μήκος του καναλιού L που μας έχει δώσει ο κατασκευαστής. Το νέο μήκος καναλιού θα το ονομάσουμε  $L_{EFF}$  και θα ισούται με :

$$L_{eff} = L_{κατασκευαστή} + DL.$$



Εικόνα 3.3 1 Το κανονικοποιημένο ρεύμα  $I_D$  ως προς την τάση  $V_G(V_{gb})$  χωρίς επίδραση DL

Έπειτα από διάφορες τιμές που δοκιμάσαμε στο DL καταλήξαμε στο κατάλληλο, ώστε οι τρεις γραφικές των διαφορετικών μηκών καναλιού ώστε να ταυτίζονται μέχρι περίπου την τάση  $V_{to}$  της τεχνολογίας. Στην Εικόνα 3.3 2 βλέπουμε ξανά την γραφική του κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$  αλλά με διορθωμένο μήκος L.



**Εικόνα 3.3 2 Το κανονικοποιημένο ρεύμα  $I_D$  ως προς την τάση  $V_G$  ( $V_{gb}$ ) με επίδραση DL**

Για κάθε τεχνολογία (110 nm, 250 nm, 1μm) βρήκαμε ένα DL για τα NMOS και ένα DL για τα PMOS τρανζίστορ. Άρα για κάθε τεχνολογία βρήκαμε δύο DL με τον παραπάνω τρόπο που αναφέραμε τα οποία θα τα παρουσιάσουμε σε επόμενο κεφάλαιο σε πίνακες με όλους τις παραμέτρους κάθε τεχνολογίας.

# Κεφάλαιο 4

## 4 Παρουσίαση απόδοσης των τεχνολογιών και πίνακες με τα αποτελέσματα από την διαδικασία εξαγωγής παραμέτρων

### 4.1 Παρουσίαση της απόδοσης των τριών τεχνολογιών 1 $\mu$ m, 250nm, 110nm

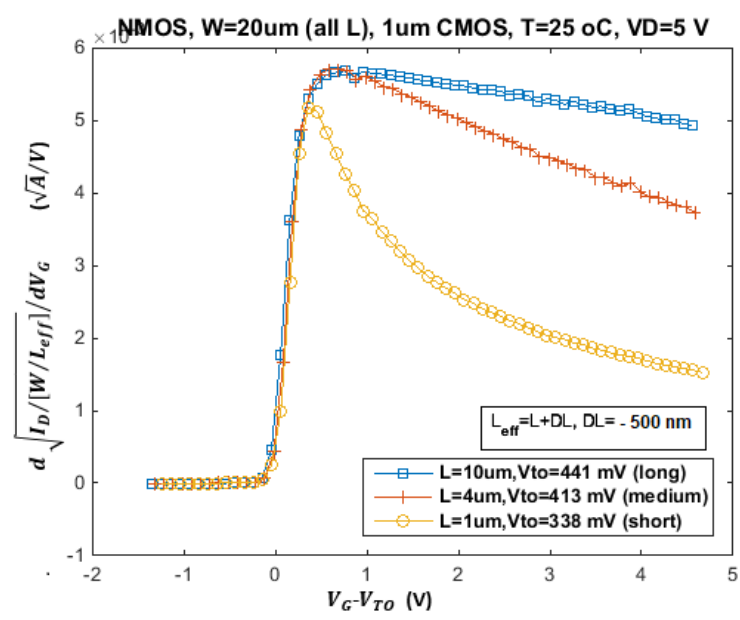
Σε αυτό το σημείο της διπλωματικής, για τις τρεις τεχνολογίες που πήραμε μετρήσεις θα παρουσιάσουμε για πρώτη φορά διαγράμματα απόδοσης με τα οποία μπορούμε να συγκρίνουμε μεταξύ τους τα τρία μήκη καναλιού (Short Channel, Medium Channel, Long Channel) για κάθε τεχνολογία (1 $\mu$ m, 250nm, 110nm) ξεχωριστά για κάθε τύπο τρανζίστορ (NMOS, PMOS) αφού πρώτα έχουμε εφαρμόσει τεχνικές κανονικοποίησης των μεγεθών (στο ρεύμα) έτσι ώστε η επίδραση διαφορετικού μήκους καναλιού να είναι εύκολα αντιληπτή.

#### 4.1.1 Παρουσίαση της απόδοσης της τεχνολογίας των 1 $\mu$ m

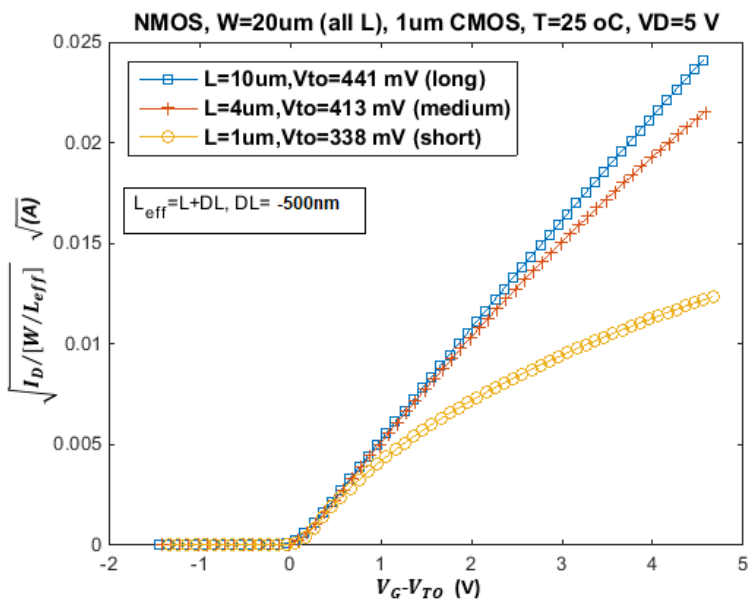
Αρχικά, θα παρουσιάσουμε διάφορα διαγράμματα απόδοσης τα οποία θα μας βοηθήσουν να πάρουμε πληροφορίες και να συγκρίνουμε τα τρία μήκη καναλιού για την τεχνολογία 1 $\mu$ m (για NMOS και PMOS) η οποία είναι η πιο παλιά χρονικά τεχνολογία από αυτές που πήραμε μετρήσεις.

##### 4.1.1.1 Παρουσίαση της απόδοσης της τεχνολογίας των 1 $\mu$ m για τα NMOS

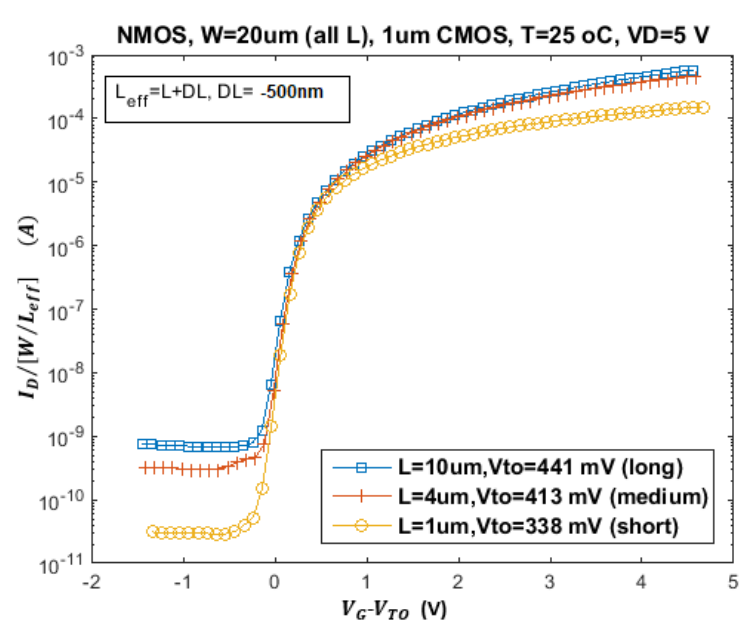
Στην **Εικόνα 4.1.1.1 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  με κανονικοποιημένου  $I_D$ , δηλαδή το ρεύμα είναι διαιρεμένο με  $\frac{W}{L_{eff}}$  για να μπορούμε να συγκρίνουμε τα τρία μήκη καναλιού αφού έχουν διαφορετικά  $W$ ,  $L_{eff}$  ως προς το  $V_G - V_{TO}$ . Στον άξονα 'x' αφαιρούμε από το  $V_G$  το  $V_{TO}$  του κάθε τρανζίστορ για να μπορούμε να συγκρίνουμε τα τρία μήκη καναλιού. Στην **Εικόνα 4.1.1.1 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $I_D$  σε λογαριθμικό άξονα ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.1.1 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $I_D$  ( $\sqrt{I_D}$ ) ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.1.1 4** βλέπουμε το διάγραμμα της απόδοσης της αγωγιμότητας  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα. Στην **Εικόνα 4.1.1.1 5** βλέπουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 1 $\mu$ m NMOS τρανζίστορ ότι για χαμηλές τιμές κανονικοποιημένου ρεύματος  $I_D$  και για χαμηλή τάση  $V_G - V_{TO}$  στον "x" άξονα τα τρία μήκη καναλιού συμπεριφέρονται περίπου με τον ίδιο τρόπο, όσο ανεβάζουμε την τάση  $V_G - V_{TO}$  και το κανονικοποιημένο ρεύμα  $I_D$  στον "x" άξονα παρατηρούμε την απόδοση κυρίως στα Short Channel να είναι μικρότερη από τα Medium και τα Long Channel και αντίστοιχα τα medium μικρότερη από τα long.



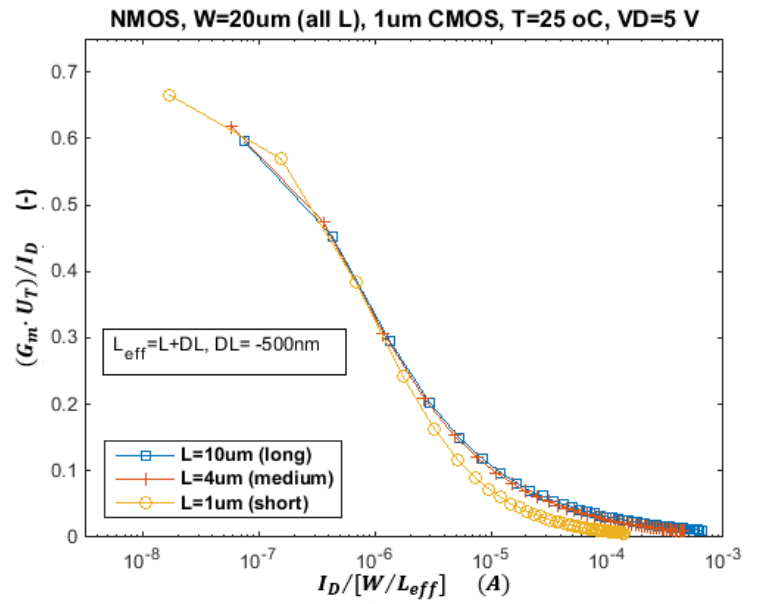
Εικόνα 4.1.1.1 1 Διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  (με κανονικοποιημένο  $I_D$ ) ως προς το  $V_G - V_{T0}$



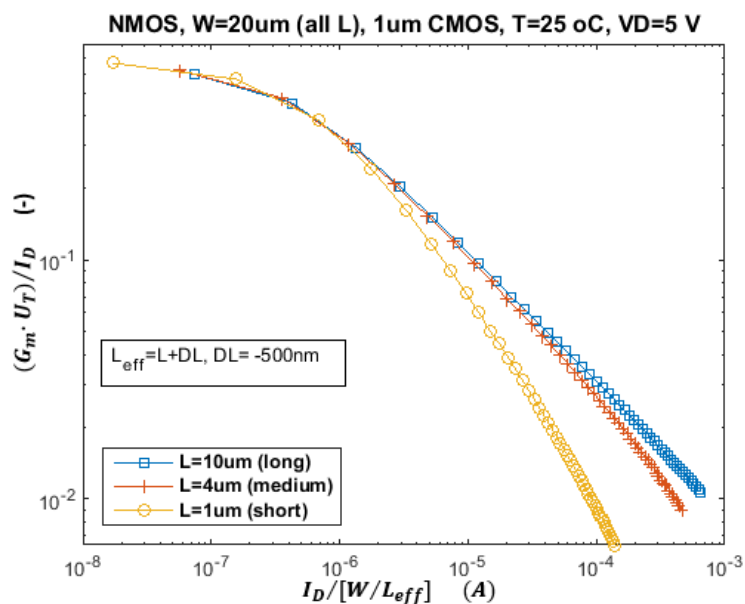
Εικόνα 4.1.1.1 3 Διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $I_D$  ( $\sqrt{I_D}$ ) ως προς το  $V_G - V_{T0}$



Εικόνα 4.1.1.1 2 Διάγραμμα κανονικοποιημένου ρεύματος  $I_D$  ως προς το  $V_G - V_{T0}$



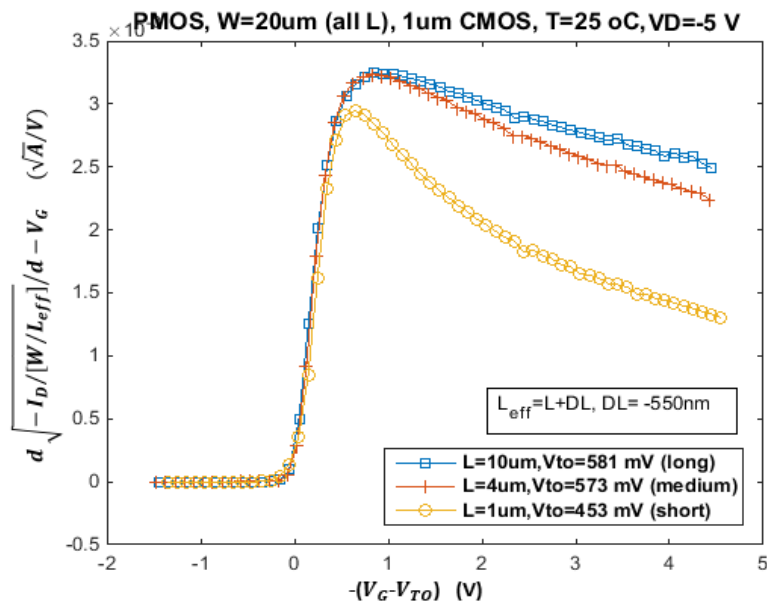
Εικόνα 4.1.1.1 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα



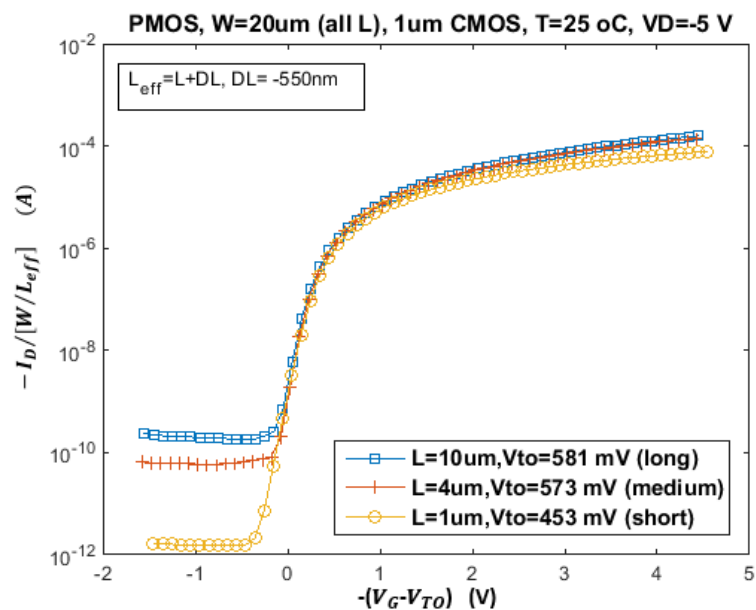
Εικόνα 4.1.1.1 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα

#### 4.1.1.2 Παρουσίαση της απόδοσης της τεχνολογίας των 1μm για τα PMOS

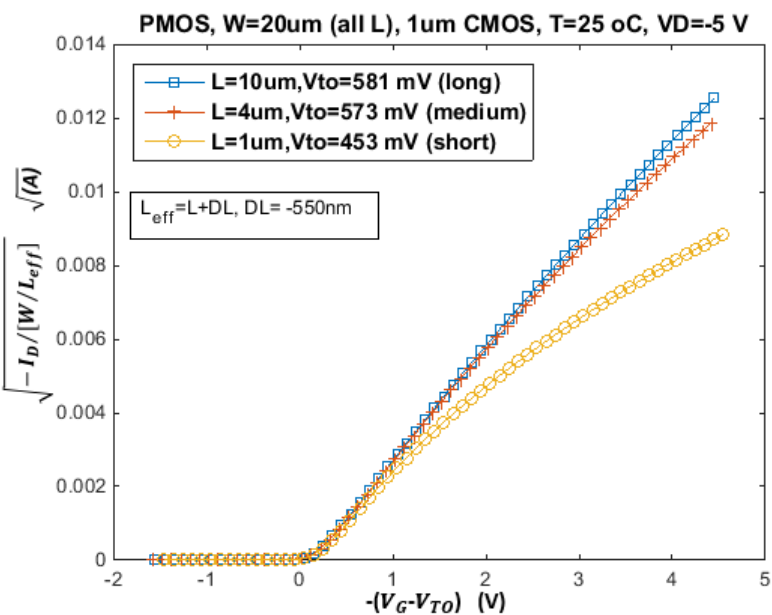
Στην **Εικόνα 4.1.1.2 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  με κανονικοποιημένου  $-I_D$ , δηλαδή το ρεύμα είναι διαιρεμένο με  $\frac{W}{L_{eff}}$  για να μπορούμε να συγκρίνουμε τα τρία μήκη καναλιού αφού έχουν διαφορετικά  $W, L_{eff}$  ως προς το  $-(V_G-V_{TO})$ . Στον άξονα 'x' έχουμε το μείον του αποτελέσματος της αφαίρεσης του  $-(V_G-V_{TO})$  του κάθε τρανζίστορ για να μπορούμε να συγκρίνουμε τα τρία μήκη καναλιού. Στην **Εικόνα 4.1.1.2 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.1.2 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-I_D$  ( $\sqrt{-I_D}$ ) ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.1.2 4** βλέπουμε το διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Στην **Εικόνα 4.1.1.2 5** μπορούμε να διακρίνουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 1μm τεχνολογία και PMOS τρανζίστορ ότι συμπεριφέρεται τα τρία μήκη καναλιού μεταξύ τους με παρόμοιο τρόπο όπως τα αντίστοιχα διαγράμματα στα NMOS, την διαφορά ότι στον "y" άξονα στα PMOS παρατηρούμε ότι έχουν λίγο χαμηλότερες τιμές.



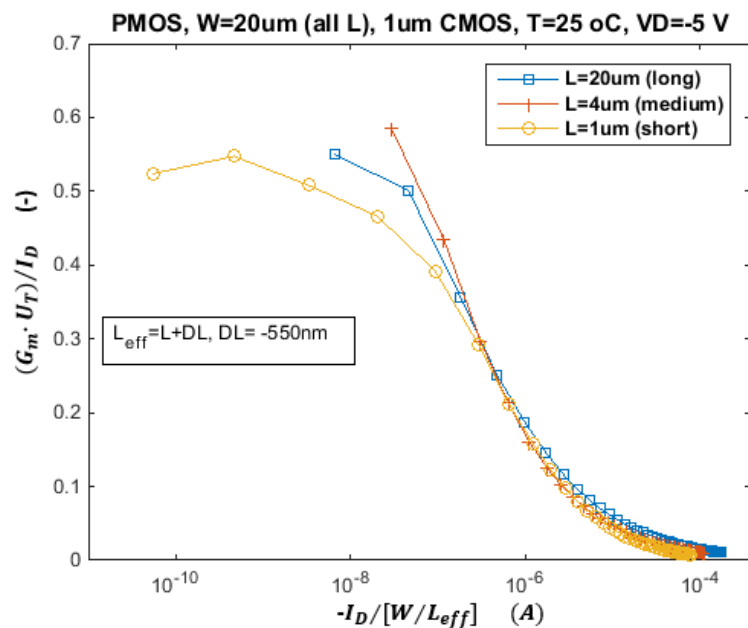
**Εικόνα 4.1.1.2 1** Διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  (κανονικοποιημένο  $-I_D$ ) ως προς το  $-(V_G-V_{TO})$



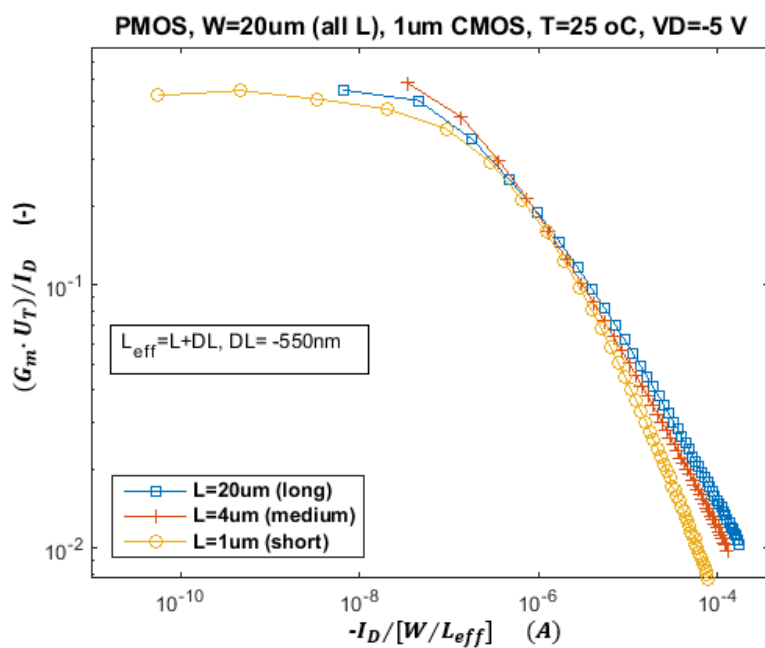
**Εικόνα 4.1.1.2 2** Διάγραμμα κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$



Εικόνα 4.1.1.2 3 Διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-I_D$  ( $\sqrt{-I_D}$ ) ως προς το  $-(V_G - V_{TO})$



Εικόνα 4.1.1.2 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα



Εικόνα 4.1.1.2 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα

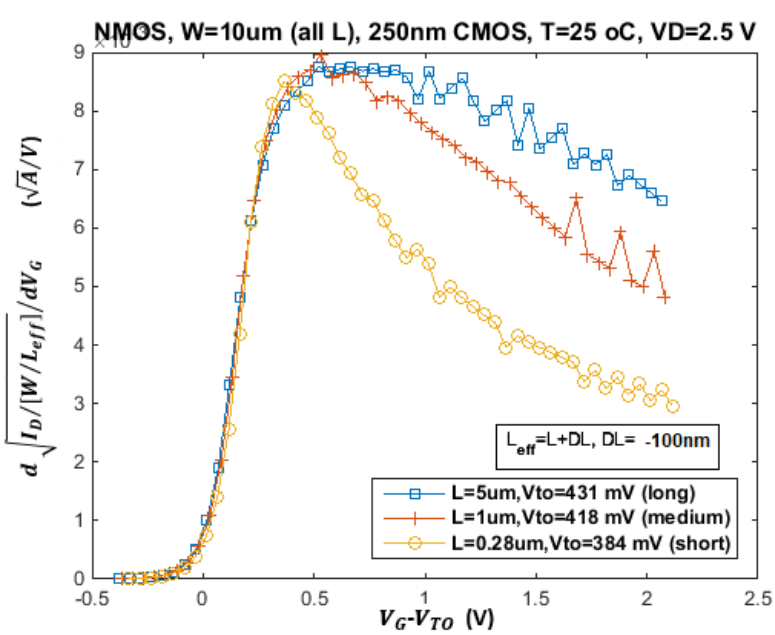
#### 4.1.2 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm

Στην ενότητα **5.4.2** θα παρουσιάσουμε διάφορα διαγράμματα απόδοσης τα οποία θα μας βοηθήσουν να πάρουμε πληροφορίες και να συγκρίνουμε τα τρία μήκη καναλιού για την τεχνολογία 250nm (για NMOS και PMOS τρανζίστορ).

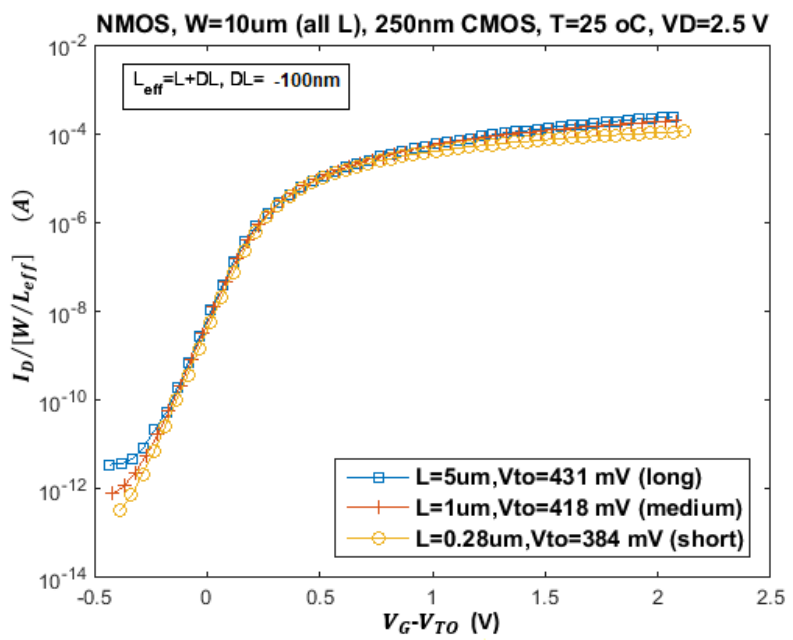
##### 4.1.2.1 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm για τα NMOS

Στην **Εικόνα 4.1.2.1 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  με κανονικοποιημένου  $I_D$ , παρατηρούμε ότι υπάρχει θόρυβος στο συγκεκριμένο διάγραμμα. Στην **Εικόνα 4.1.2.1 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $I_D$  σε λογαριθμικό άξονα ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.2.1 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $I_D$  ( $\sqrt{I_D}$ ) ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.2.1 4** βλέπουμε το διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα.

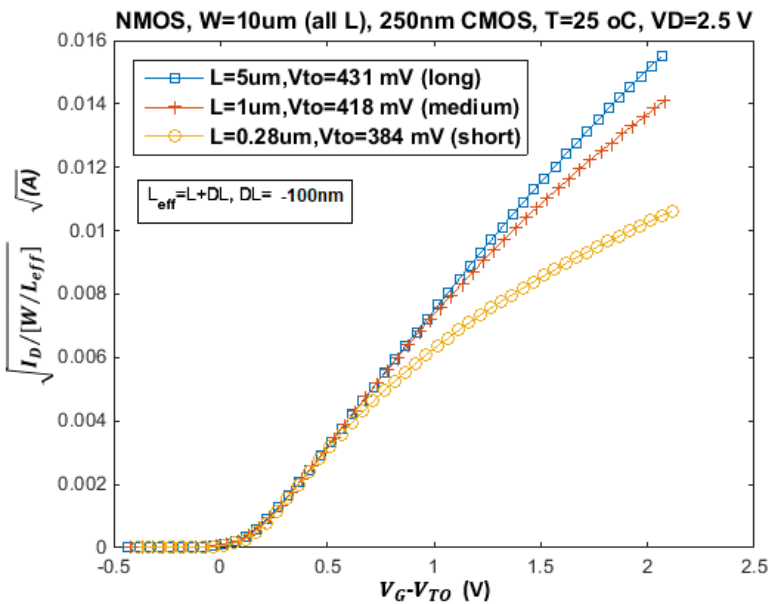
Στην **Εικόνα 4.1.2.1 5** μπορούμε να διακρίνουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 250nm τεχνολογία και NMOS τρανζίστορ είναι ότι παρατηρούμε παρόμοιες συσχετίσεις μεταξύ των τριών μηκών καναλιού με την τεχνολογία του 1μm και ότι συμπεριφέρονται με παρόμοιο τρόπο.



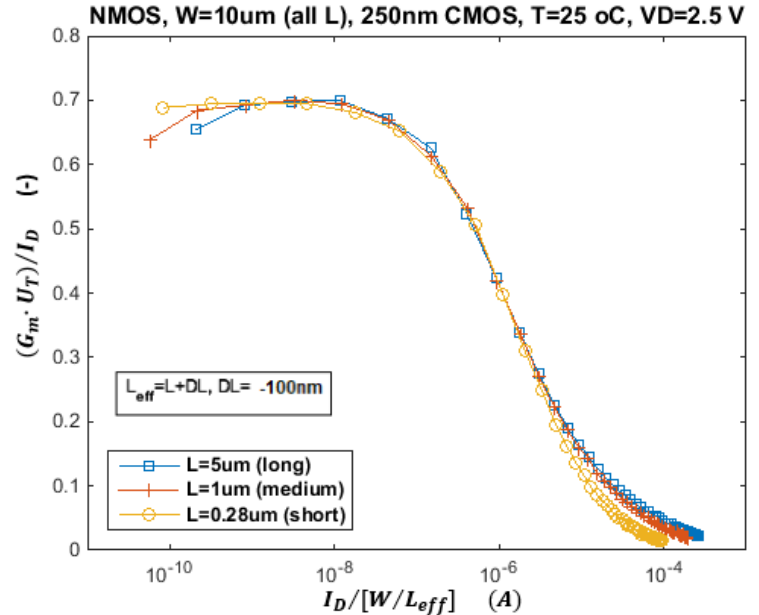
Εικόνα 4.1.2.1 1 Διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  (κανονικοποιημένο  $I_D$ ) ως προς το  $V_G-V_{T0}$



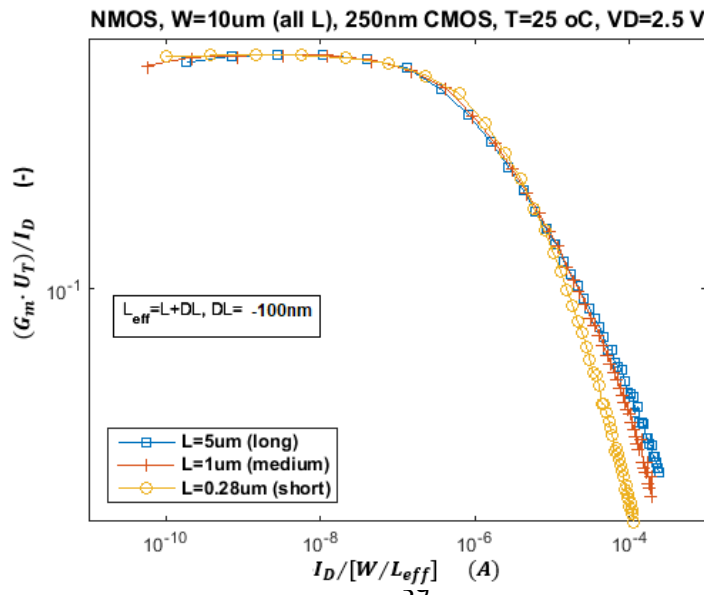
Εικόνα 4.1.2.1 2 Διάγραμμα κανονικοποιημένου ρεύματος  $I_D$  σε λογαριθμικό άξονα ως προς το  $V_G-V_{T0}$



Εικόνα 4.1.2.1 3 Διάγραμμα της κανονικοποιημένης ρίζας του ρεύματος ( $\sqrt{I_D}$ ) ως προς το  $V_G-V_{T0}$



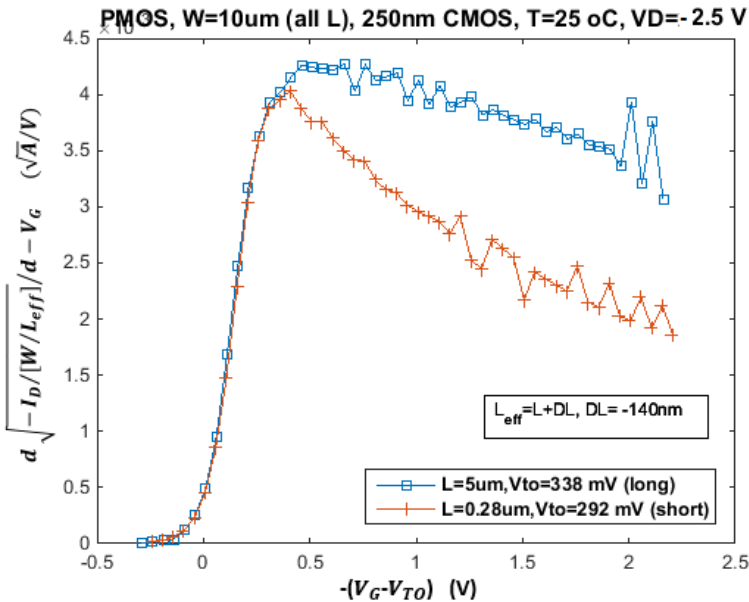
Εικόνα 4.1.2.1 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα



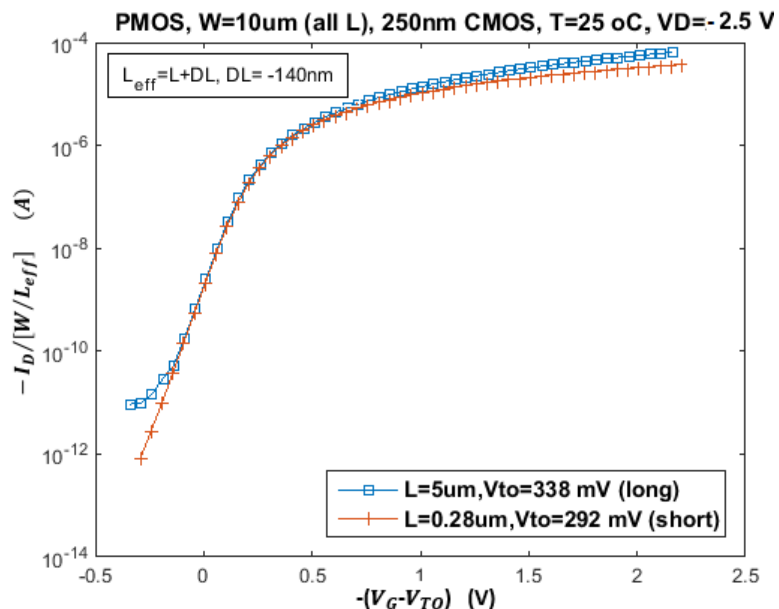
Εικόνα 4.1.2.1 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα

#### 4.1.2.2 Παρουσίαση της απόδοσης της τεχνολογίας των 250nm για τα PMOS

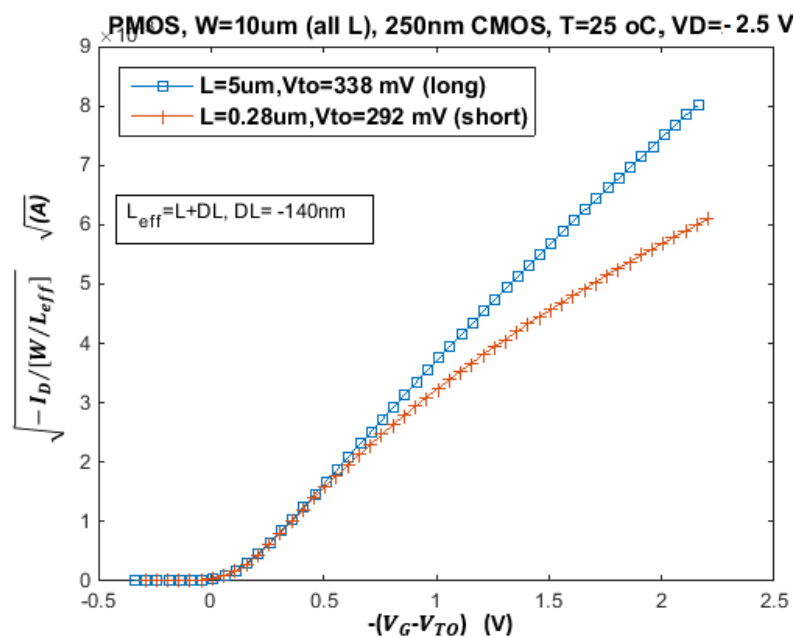
Στην **Εικόνα 4.1.2.2 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  με κανονικοποιημένου  $-I_D$ , παρατηρούμε ότι υπάρχει θόρυβος στο συγκεκριμένο διάγραμμα. Στην **Εικόνα 4.1.2.2 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.2.2 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-ID$  ( $\sqrt{-ID}$ ) ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.2.2 4** βλέπουμε το διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Στην **Εικόνα 4.1.2.2 5** μπορούμε να διακρίνουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 250nm τεχνολογία και PMOS τρανζίστορ στα δύο μήκη καναλιού ότι συμπεριφέρεται μεταξύ τους το short με το Long με παρόμοιο τρόπο όπως τα αντίστοιχα διαγράμματα στα 250nm NMOS και τα αντίστοιχα του στην τεχνολογία 1um.



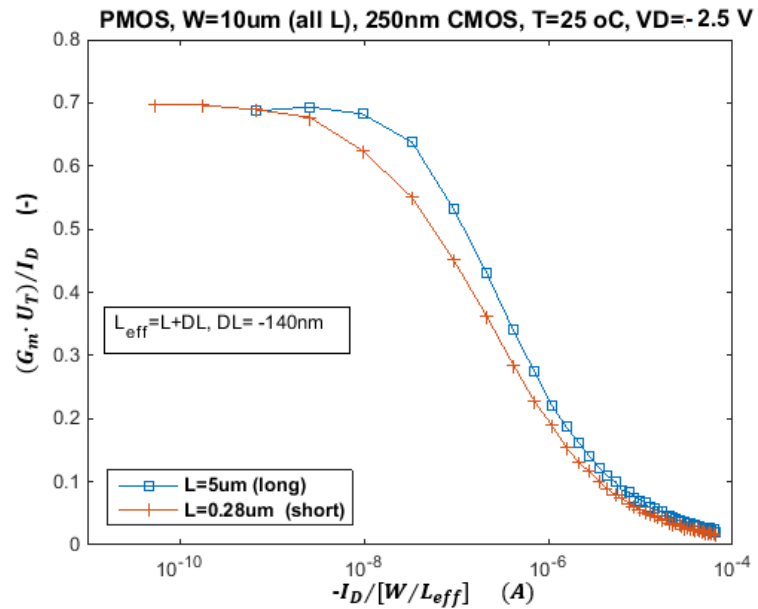
**Εικόνα 4.1.2.2 1** Διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  (με κανονικοποιημένο  $-I_D$ ) ως προς το  $-(V_G-V_{TO})$



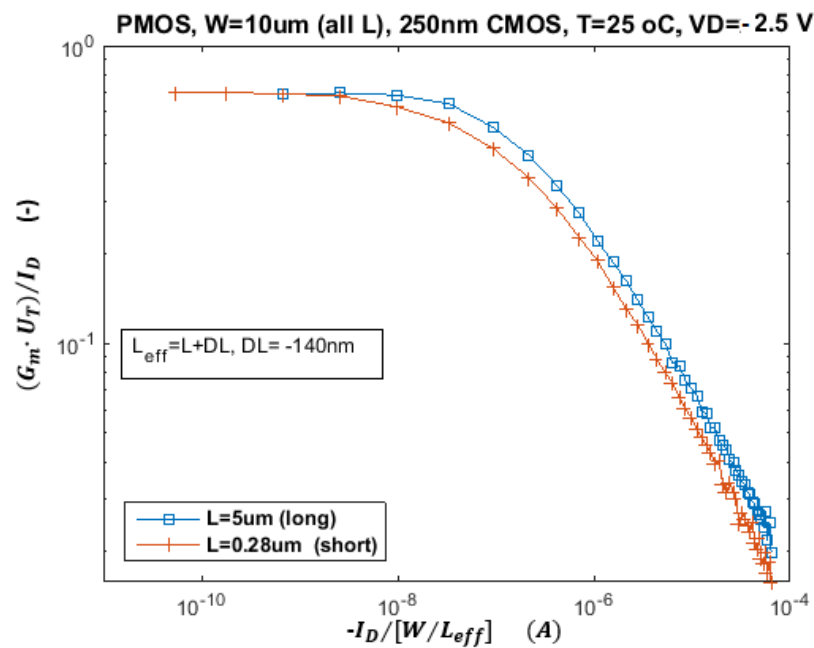
**Εικόνα 4.1.2.2 2** Διάγραμμα κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$



Εικόνα 4.1.2.2 3 Διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-I_D$  ( $\sqrt{-I_D}$ ) ως προς το  $-(V_G-V_{TO})$



Εικόνα 4.1.2.2 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα



Εικόνα 4.1.2.2 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα

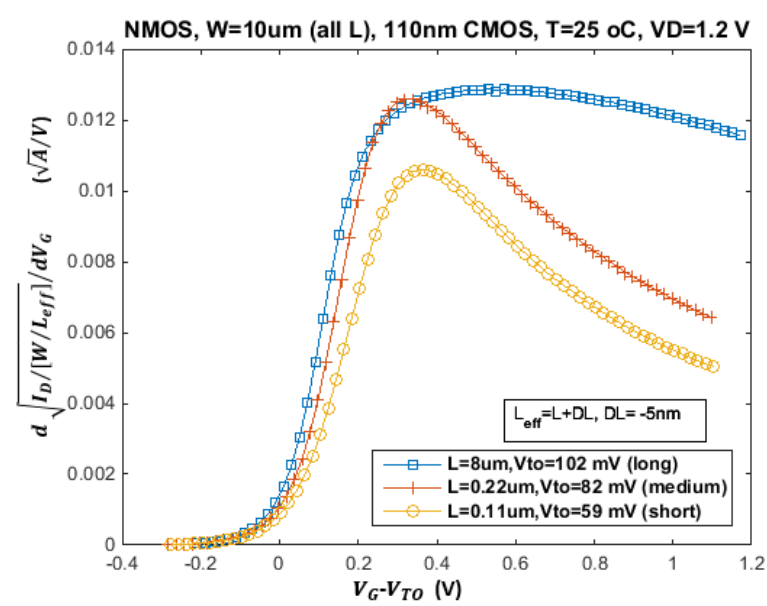
### 4.1.3 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm

Στην ενότητα **5.4.3** θα παρουσιάσουμε διάφορα διαγράμματα απόδοσης τα οποία θα μας βοηθήσουν να πάρουμε πληροφορίες και να συγκρίνουμε τα τρία μήκη καναλιού για την τεχνολογία 110nm (για NMOS και PMOS τρανζίστορ).

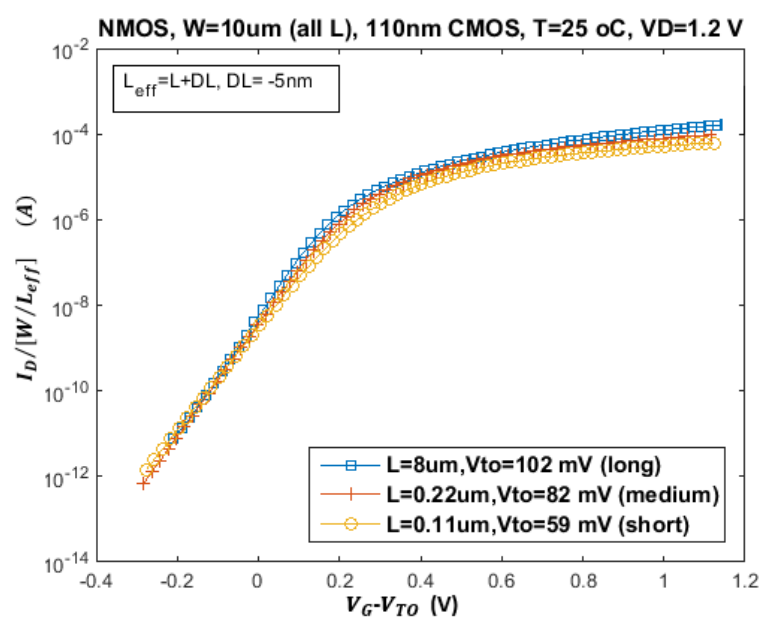
#### 4.1.3.1 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm για τα NMOS

Στην **Εικόνα 4.1.3.1 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  με κανονικοποιημένου  $I_D$ , παρατηρούμε ότι υπάρχει θόρυβος στο συγκεκριμένο διάγραμμα. Στην **Εικόνα 4.1.3.1 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $I_D$  σε λογαριθμικό άξονα ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.3.1 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $I_D$  ( $\sqrt{I_D}$ ) ως προς το  $V_G - V_{TO}$ . Στην **Εικόνα 4.1.3.1 4** βλέπουμε το διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα.

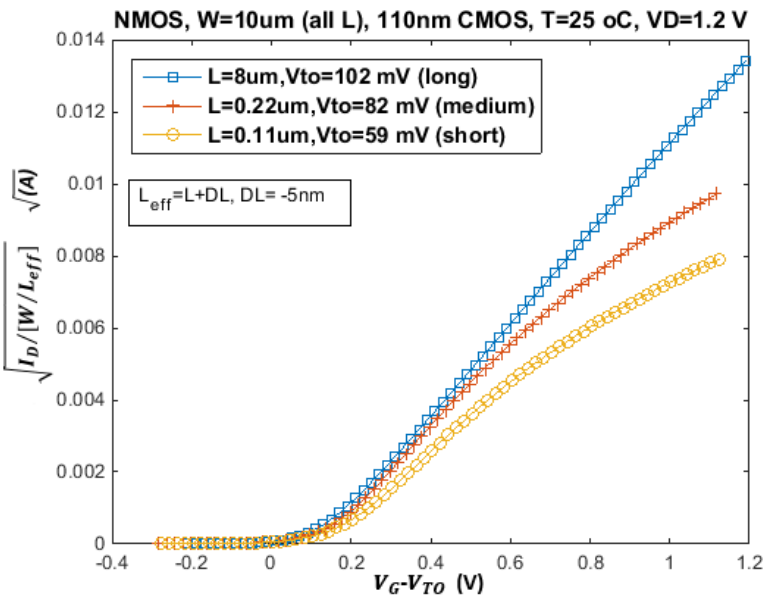
Στην **Εικόνα 4.1.3.1 5** μπορούμε να διακρίνουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 110nm τεχνολογία και NMOS τρανζίστορ είναι ότι παρατηρούμε παρόμοιες συσχετίσεις μεταξύ των τριών μηκών καναλιού και ότι συμπεριφέρονται με παρόμοιο τρόπο με τις τεχνολογίες του 1μm και 250nm.



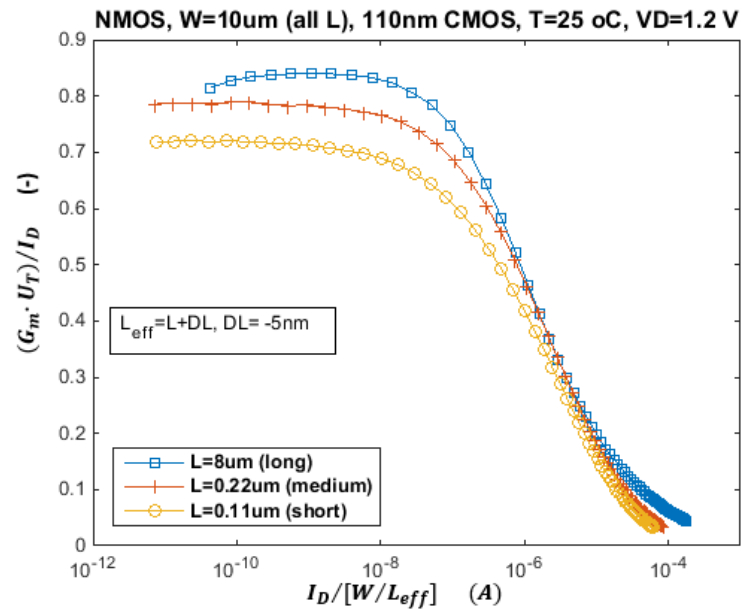
Εικόνα 4.1.3.1 1 Διάγραμμα του  $\frac{d\sqrt{I_D}}{dV_G}$  (με κανονικοποιημένο  $I_D$ ) ως προς το  $V_G-V_{T0}$



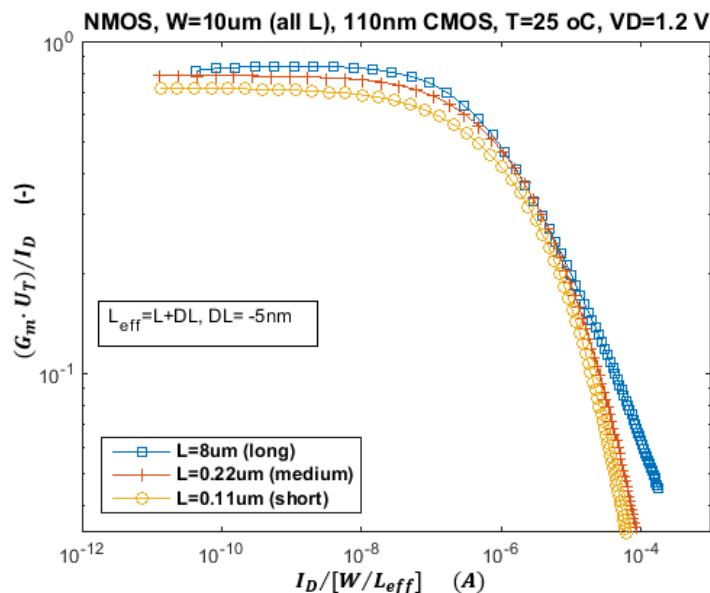
Εικόνα 4.1.3.1 2 Διάγραμμα κανονικοποιημένου ρεύματος  $I_D$  σε λογαριθμικό άξονα ως προς το  $V_G-V_{T0}$



Εικόνα 4.1.3.1 3 Διάγραμμα της κανονικοποιημένης ρίζας του ρεύματος ( $\sqrt{I_D}$ ) ως προς το  $V_G-V_{T0}$



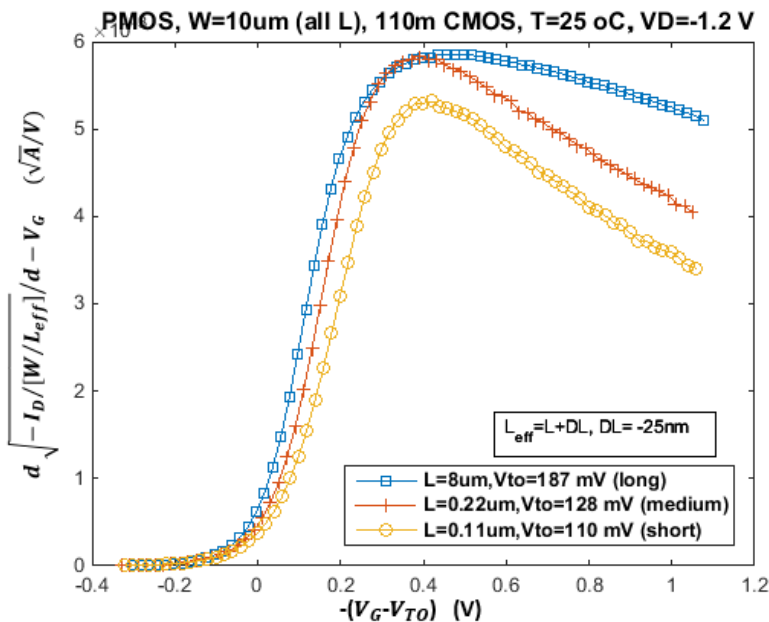
Εικόνα 4.1.3.1 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα



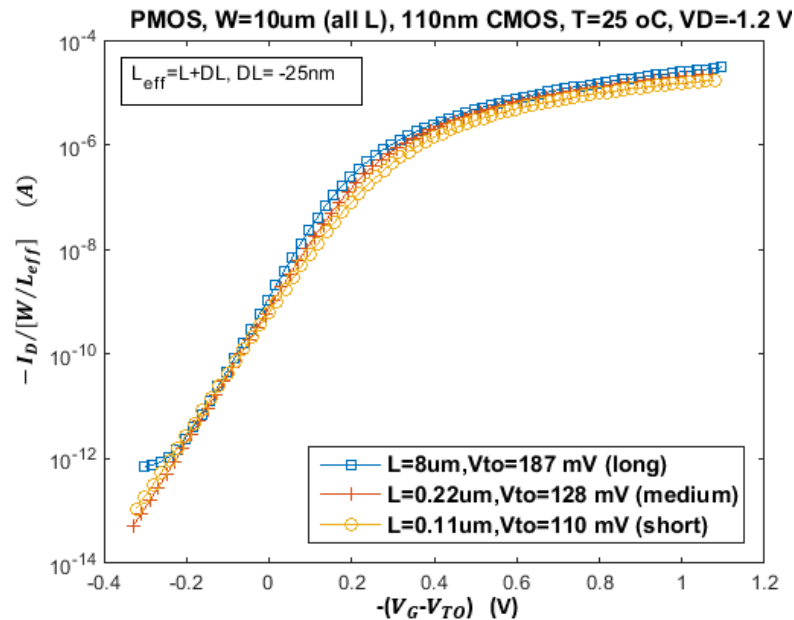
Εικόνα 4.1.3.1 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $I_D$  σε λογαριθμικό άξονα

#### 4.1.3.2 Παρουσίαση της απόδοσης της τεχνολογίας των 110nm για τα PMOS

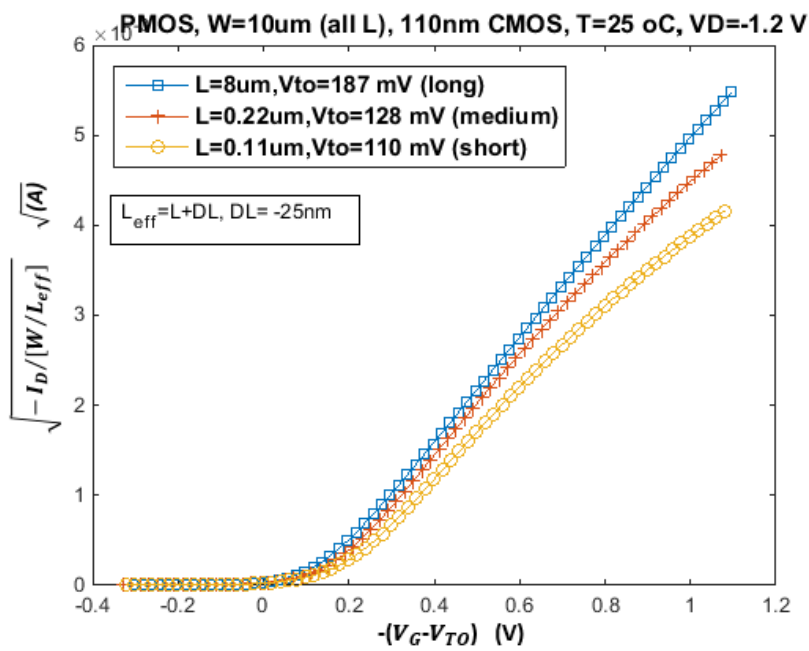
Στην **Εικόνα 4.1.3.2 1** βλέπουμε το διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  με κανονικοποιημένου  $-I_D$ , παρατηρούμε ότι υπάρχει θόρυβος στο συγκεκριμένο διάγραμμα. Στην **Εικόνα 4.1.3.2 2** φαίνεται το διάγραμμα του κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.3.2 3** υπάρχει το διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-I_D$  ( $\sqrt{-I_D}$ ) ως προς το  $-(V_G-V_{TO})$ . Στην **Εικόνα 4.1.3.2 4** βλέπουμε το διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Στην **Εικόνα 4.1.3.2 5** μπορούμε να διακρίνουμε το διάγραμμα του λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα. Το συμπέρασμα από τα διαγράμματα για 110nm τεχνολογία και PMOS τρανζίστορ ότι τα τρία μήκη καναλιού συμπεριφέρεται μεταξύ τους με παρόμοιο τρόπο όπως τα αντίστοιχα διαγράμματα στα 110nm NMOS και τα διαγράμματα στις τεχνολογίες 1μm και 250nm με μικρές διαφορές ως προς τις αποστάσεις μεταξύ των μηκών του καναλιού και στις κλίσεις.



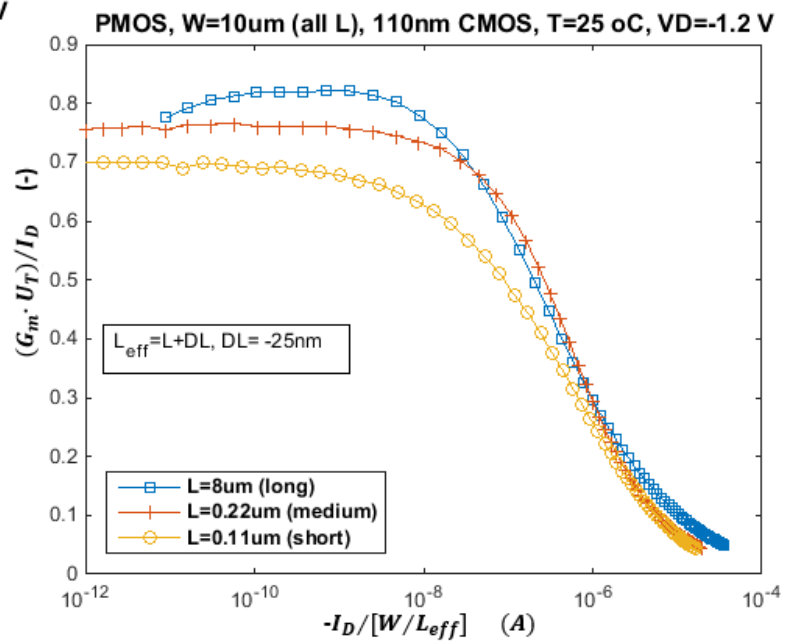
Εικόνα 4.1.3.2 1 Διάγραμμα του  $\frac{d\sqrt{-I_D}}{d-V_G}$  (με κανονικοποιημένο  $-I_D$ ) ως προς το  $-(V_G-V_{TO})$



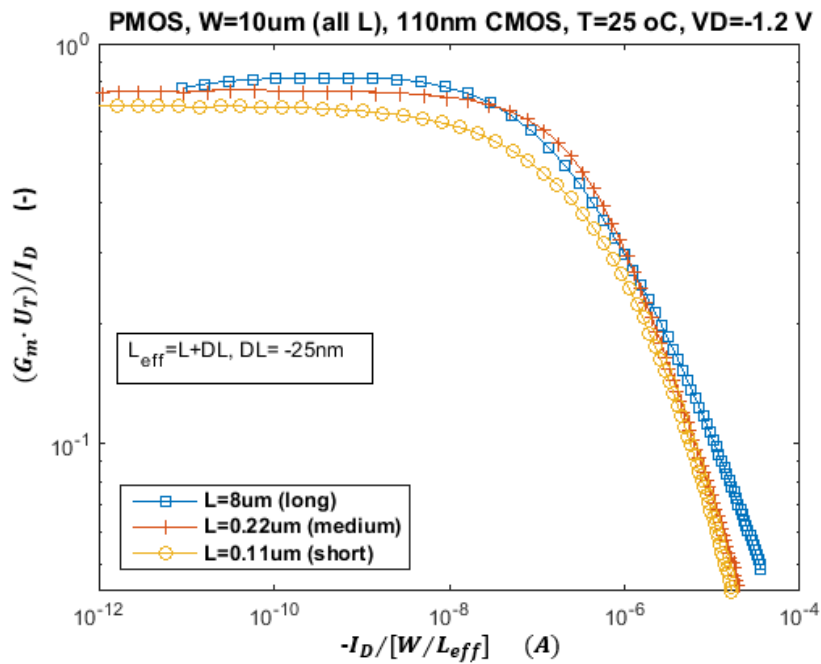
Εικόνα 4.1.3.2 2 Διάγραμμα κανονικοποιημένου ρεύματος  $-I_D$  σε λογαριθμικό άξονα ως προς το  $-(V_G-V_{TO})$



Εικόνα 4.1.3.2 3 Διάγραμμα με την κανονικοποιημένη ρίζα του ρεύματος  $-I_D$  ( $\sqrt{-I_D}$ ) ως προς το  $-(V_G - V_{TO})$



Εικόνα 4.1.3.2 4 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς τον κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα



Εικόνα 4.1.3.2 5 Διάγραμμα λογαριθμικού  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο ρεύμα  $-I_D$  σε λογαριθμικό άξονα

## 4.2 Πίνακες με αποτελέσματα της διαδικασίας εξαγωγής παραμέτρων

Στην ενότητα αυτή θα παρουσιάσουμε τους πίνακες με τις τιμές όλων των παραμέτρων από την διαδικασία εξαγωγής παραμέτρων [1] που εφαρμόσαμε πάνω στα δεδομένα όλων των τεχνολογιών (110nm, 250nm, 1μm) και σε όλα τα μήκη καναλιού (long,medium,short) που μετρήσαμε στο εργαστήριο ηλεκτρονικής. Αρχικά θα παρουσιάσουμε τις πιο σημαντικές μεταβλητές του μοντέλου εξαγωγής παραμέτρων με την βοήθεια τριών πινάκων. Τις μεταβλητές  $C'_{ox}$ , L, W ήταν στα δεδομένα μας και παρουσιάζονται οι τιμές που έχουν για όλες τις τεχνολογίες και τα για όλα τα μήκη καναλιών και για PMOS και για NMOS. Τις μεταβλητές  $I_0$ ,  $\gamma$ ,  $V_{TO}$ ,  $\phi$ , DL τις βρήκαμε μέσω την διαδικασία εξαγωγής παραμέτρων και μας δίνουν πολύ χρήσιμες πληροφορίες για κάθε τεχνολογία.

Technology MOSFET 110nm, $V_{DS}=1.2$ V							
		NMOS			PMOS		
	μονάδα	Long	Medium	Short	Long	Medium	Short
$C'_{ox}$	$\frac{fF}{\mu m^2}$	11.5			11.5		
W	μm	10			10		
L	μm	8	0.22	0.11	8	0.22	0.11
DL	nm	-5			-25		
$I_0$	nA	830			250		
$V_{TO}$	mV	102	82	59	187	128	110
$\phi$	mV	893	881	870	904	895	887
$\gamma$	$m\sqrt{V}$	283	255	229	291	266	238

**Πίνακας 4.2 1 Technology MOSFET 110nm NMOS και PMOS**

Στον Πίνακα 4.2 1 κοιτάζοντάς τον μπορούμε να δούμε ότι υπάρχουν όλες οι τιμές των παραμέτρων της τεχνολογίας 110nm που τις βρήκαμε χρησιμοποιώντας την διαδικασία εξαγωγής παραμέτρων [1] καθώς και οι παράμετροι που περιγράφουν τα γεωμετρικά χαρακτηριστικά του τρανζίστορ. Η τάση  $V_{DS}$  η οποία μας τη δίνει ο κατασκευαστής κάθε τεχνολογίας. Το W που είναι το πλάτος καναλιού του τρανζίστορ το οποίο είναι 10μm σε όλα τα μήκη καναλιού του NMOS αλλά και του PMOS για 110nm. Το  $C_{ox}$  είναι η χωρητικότητα (ανά μονάδα επιφάνειας) και έχει ίδια τιμή στα NMOS και τα PMOS. Το L είναι το μήκος καναλιού του τρανζίστορ που μας έχει δώσει ο κατασκευαστής του. Το DL είναι η μεταβλητή που μας διορθώνει το μήκος του καναλιού L ώστε να βρούμε το πραγματικό μήκος το  $L_{eff}$  και ακόμα παρατηρούμε ότι το DL στα PMOS έχει μεγαλύτερη τιμή από τα NMOS. Το  $I_0$  που το βρήκαμε από το

μοντέλο εξαγωγής παραμέτρων και είναι μία πολύ σημαντική παράμετρος, ακόμα παρατηρούμε ότι το  $I_0$  είναι μεγαλύτερο στα NMOS από τα PMOS. Η τάση κατωφλίου  $V_{TO}$  την οποία την βρήκαμε από τη τάση pinch-off  $V_P$ , παρατηρούμε ότι στα PMOS έχει πιο μεγάλες τιμές από τα NMOS και ότι όσο μικραίνει το μήκος καναλιού μειώνετε και η τιμή της τάσης κατωφλίου  $V_{TO}$ . Ο δείκτης σώματος  $\gamma$  και το δυναμικό επιφάνειας 'pinch-off'  $\phi$  οι οποίες τις είχαμε βρει από την σύγκριση του n model με του n measured και εδώ παρατηρούμε ότι όσο μικραίνει το μήκος καναλιού μικραίνουν και οι τιμές των  $\gamma$  και  $\phi$  και στα PMOS τρανζίστορ έχουν μεγαλύτερη τιμή από τα NMOS.

Technology MOSFET 250nm, $V_{DS}=2.5\text{ V}$							
		NMOS			PMOS		
	<u>μονάδα</u>	Long	Medium	Short	Long	Medium	Short
$C'_{ox}$	$\frac{\text{fF}}{\mu\text{m}^2}$	5.7			5.7		
W	$\mu\text{m}$	10			10		
L	$\mu\text{m}$	5	1	0.28	5		0.28
DL	nm	-100			-140		
$I_0$	nA	440			120		
$V_{TO}$	mV	431	418	384	538		492
$\phi$	mV	920	918	905	935		931
$\gamma$	$\text{m}\sqrt{\text{V}}$	633	605	589	651		596

**Πίνακας 4.2 2 Technology MOSFET 250nm NMOS και PMOS**

Στον Πίνακα 4.2 2 υπάρχουν οι ίδιες μεταβλητές που υπήρχαν και στο Πίνακα 4.2 1 αλλά τώρα περιγράφουν την τεχνολογία των 250nm. Στα 250nm τρανζίστορ παρατηρούμε ότι το DL,  $I_0$ ,  $V_{TO}$ ,  $\phi$  και  $\gamma$  συμπεριφέρονται με τον ίδιο τρόπο όπως και στα 110nm δηλαδή η τιμές των DL,  $V_{TO}$ ,  $\phi$  και  $\gamma$  είναι μεγαλύτερες στα PMOS και μικρότερες στα NMOS ενώ στο  $I_0$  ισχύει το ανάποδο. Ακόμα παρατηρούμε ότι οι παράμετροι DL,  $V_{TO}$ ,  $\phi$  και το  $\gamma$  στα 250nm έχουν μεγαλύτερη τιμή από ότι στα 110nm ενώ στο  $I_0$  παρατηρούμε το ανάποδο.

Technology MOSFET 1μm, $V_{DS}=5\text{ V}$							
		NMOS			PMOS		
	<u>μονάδα</u>	Long	Medium	Short	Long	Medium	Short
$C'_{ox}$	$\frac{\text{fF}}{\mu\text{m}^2}$	1.73			1.73		
W	μm	20			20		
L	μm	20	4	1	20	4	1
DL	nm	-500			-550		
$I_0$	nA	150			50		
$V_{TO}$	mV	441	413	338	581	573	453
$\phi$	mV	881	875	870	901	892	884
$\gamma$	$\text{m}\sqrt{\text{V}}$	650	620	520	690	670	590

**Πίνακας 4.2 3 Technology MOSFET 1μm NMOS και PMOS**

Στον Πίνακα 4.2 3 που περιγράφει την τεχνολογία των 1μm υπάρχουν οι ίδιες μεταβλητές που υπήρχαν και στους Πίνακες 4.2 1 και Πίνακα 4.2 2. Στην 1μm τεχνολογία τρανζίστορ παρατηρούμε και εδώ ίδιες συμπεριφορές στις μεταβλητές DL,  $I_0$ ,  $V_{TO}$ ,  $\phi$  και  $\gamma$  όπως και στις τεχνολογίες 110nm και 250nm, δηλαδή η τιμές των DL,  $V_{TO}$ ,  $\phi$  και  $\gamma$  είναι μεγαλύτερες στα PMOS και μικρότερες στα NMOS. Ακόμα παρατηρούμε στα 1μm τρανζίστορ ότι το DL είναι μεγαλύτερη τιμή από ότι στα 110nm και 250nm. Το ρεύμα  $I_0$  παρατηρούμε ότι για 1μm έχει μικρότερη τιμή από τις άλλες δύο τεχνολογίες. Για τις παραμέτρους  $\phi$ ,  $\gamma$  και  $V_{TO}$  στην 1μm παρατηρούμε ότι έχουν στις περισσότερες περιπτώσεις (ανάλογα και το μήκος του καναλιού) οριακά μεγαλύτερες τιμές από τα 250nm (τα 110nm έχει τις μικρότερες).

# Κεφάλαιο 5

## 5 Περιγραφή και τα αποτελέσματα του μοντέλου φορτίων

### 5.1 Περιγραφή του μοντέλου των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation

Αρχικά θα περιγράψουμε το μοντέλο των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation [2]. Στην συνέχεια θα υλοποιήσουμε το μοντέλο και θα κάνουμε την αντιπαράθεση του μοντέλου των φορτίων [2] με τα αποτελέσματα από τις μετρήσεις μας για την τεχνολογία 110nm που παρουσιάζει ιδιαίτερο ενδιαφέρον αφού είναι η πιο πρόσφατη τεχνολογία που είχαμε μετρήσεις.

Αρχικά, θα ορίσουμε την μεταβλητή  $L_{SAT}$  στην οποία θα βρούμε την τιμή της πειραματικά για κάθε μήκος καναλιού. Άρα θα έχουμε τρία διαφορετικά  $L_{SAT}$  ένα για Long Channel, ένα για Medium Channel και ένα για Short Channel για κάθε τύπο τρανζίστορ.

Μέσω του  $L_{SAT}$  και του  $L_{eff}$  θα ορίσουμε το  $\lambda_c$  με τον παρακάτω τύπο:

$$\lambda_c = \frac{L_{sat}}{L_{eff}} \quad [2] \quad \text{με} \quad L_{eff} = L + DL$$

Το μοντέλο  $\lambda_c$  εκφράζεται από την παρακάτω εξίσωση το paper [3]:

$$\lambda_c = \lambda_0 + \frac{L_b}{L_{eff}} \quad [3]$$

Στην συνέχεια θα προσδιορίσουμε το  $IC_0$  το οποίο ισούται με :

$$IC_0 = \frac{I_D}{I_0 \cdot W / L_{eff}} \quad [2]$$

Έπειτα αφού γνωρίζουμε το  $IC_0$  και το  $\lambda_c$  μπορούμε με τον παρακάτω τύπο να βρούμε το  $q_s$ :

$$q_s = \frac{1}{2} \cdot (\sqrt{4 \cdot IC_0 + (1 + \lambda_c \cdot IC_0)^2} - 1) \quad [2]$$

Στην συνέχεια θα υπολογίσουμε τον συντελεστή αντιστροφής IC ο οποίος είναι ο πρώτος που εισήχθη ως βασικός σχεδιαστικός παράμετρος που αντικαθιστά το overdrive τάση  $V_G - V_{T0}$  και εκτείνεται σε ολόκληρο το εύρος λειτουργίας του τρανζίστορ από αδύναμης έως ισχυρής αντιστροφής (SI) όταν βρισκόμαστε στον κορεσμό, συμπεριλαμβανομένης της επίδρασης του velocity saturation (VS). Το φαινόμενο velocity saturation το συναντάμε έντονα στα short channel τρανζίστορ.

Ο συντελεστής αντιστροφής IC περιγράφεται από τον παρακάτω τύπο :

$$IC = q_s^2 + q_s \quad [6]$$

Γνωρίζοντας το IC μπορούμε να βρούμε το ρεύμα  $I_{Dmodel}$ :

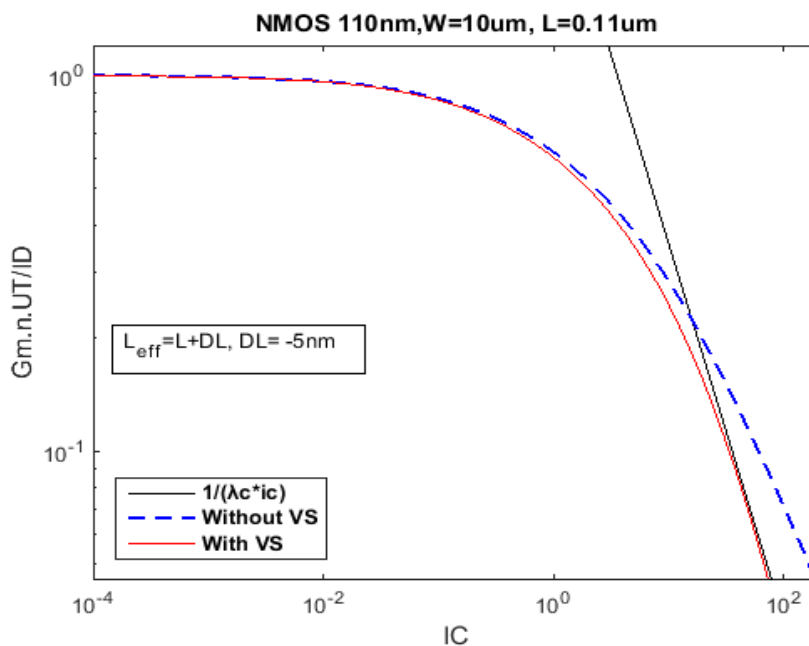
$$I_{Dmodel} = I_0 \cdot IC \cdot \frac{W}{L_{eff}} \quad [6]$$

Στην συνέχεια θα υπολογίσουμε το λόγω  $\frac{n \cdot G_m \cdot U_T}{I_D}$  model:

$$\frac{n \cdot G_m \cdot U_T}{I_D} = \frac{\sqrt{(\lambda_c \cdot IC + 1)^2 + 4 \cdot IC - 1}}{IC \cdot [\lambda_c \cdot (\lambda_c \cdot IC + 1) + 2]} \quad [2] \quad (\text{model})$$

## 5.2 Εξαγωγή $\lambda_c$ (Data) από το fit μοντέλου-δεδομένων

Για την εξαγωγή του  $\lambda_c$  θα εργαστούμε με παρόμοιο τρόπο όπως το paper του Enz [2], από τα δεδομένα μας παράγουμε την γραφική  $\frac{G_m \cdot U_T}{I_D}$  vs (log) IC, παίρνουμε την εφαπτόμενη σε υψηλό IC, και προσδιορίζεται το  $\lambda_c$  ( $\lambda_c$  Data), με την κατάλληλη τέμνουσα στο διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$ . Στην Εικόνα 4.2 1 βλέπουμε την παραπάνω διαδικασία για τεχνολογία 110nm NMOS σε short channel και στα υπόλοιπα μήκη καναλιού και στις υπόλοιπες τεχνολογίες (250nm, 1μm) δουλέψαμε με όμοιο τρόπο και σε NMOS και σε PMOS.



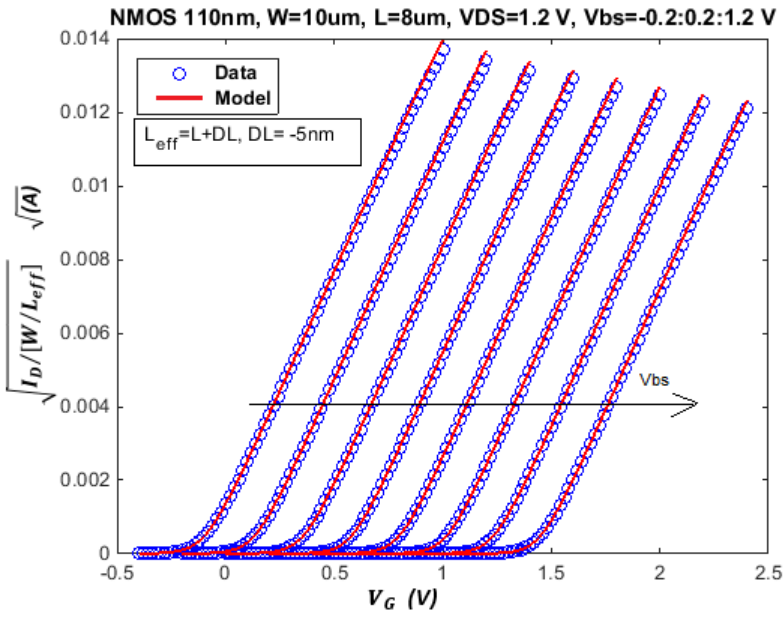
Εικόνα 4.2 1 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς τον συντελεστή αντιστροφής IC

### 5.3 Διαγράμματα αντιπαράθεσης μοντέλου– δεδομένων σε 110nm τεχνολογία

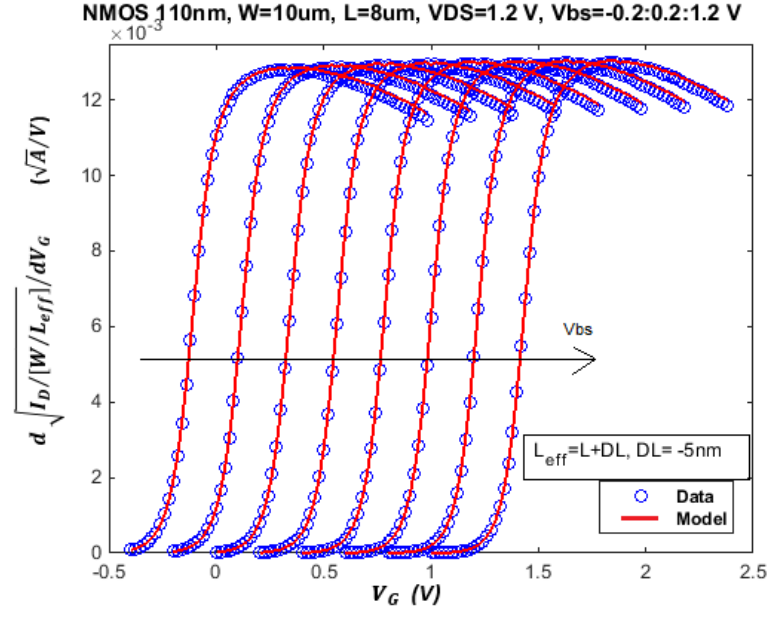
Αφού έχουμε υλοποιήσει σωστά το μοντέλο των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation [2] και έχουμε βρει και τα κατάλληλα  $\lambda_c$  σε NMOS και PMOS τρανζίστορ σε όλες τις τεχνολογίες (110nm, 250nm, 1μm ) που πήραμε μετρήσεις στο εργαστήριο, θα παρουσιάσουμε τα διαγράμματα με την αντιπαράθεση του μοντέλου (charge-based model with velocity saturation) με δεδομένα σε τεχνολογία 110nm η οποία παρουσιάζει το περισσότερο ενδιαφέρον. Αφού πρώτα έχουμε εφαρμόσει τεχνικές κανονικοποίησης των μεγεθών (στο ρεύμα, στην διαγωγιμότητα) έτσι ώστε η επίδραση διαφορετικού μήκους καναλιού να είναι εύκολα αντιληπτή.

#### 5.3.1 Διαγράμματα NMOS σε 110nm με Long Channel

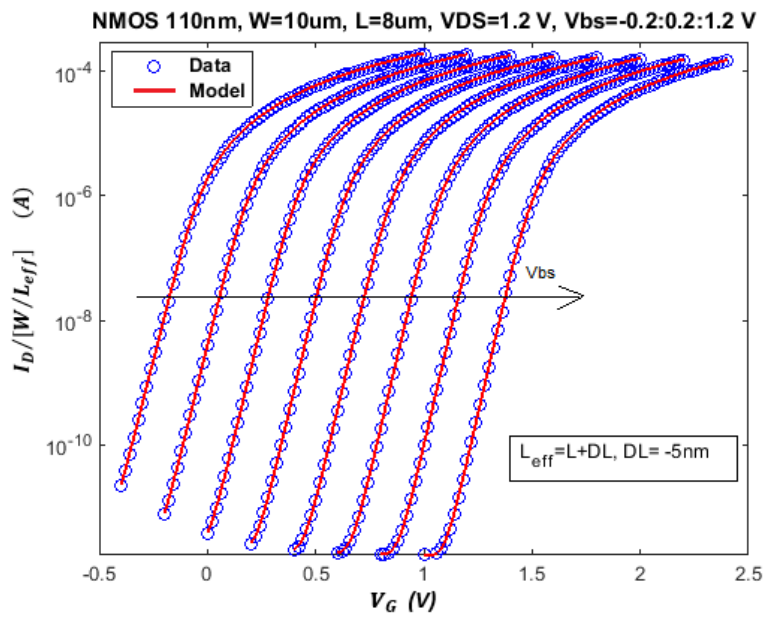
Στην Εικόνα **5.3.1 1** βλέπουμε το διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$  σε Long Channel σε NMOS τρανζίστορ. Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Έχουμε αποτελέσματα και για τα οκτώ  $V_{BS}$  (από -0.2 V ως 1.2 V με βήμα 0.2 V). Στην Εικόνα **5.3.1 2** βλέπουμε το διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$ . Στην Εικόνα **5.3.1 3** βλέπουμε το διάγραμμα του κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$ . Στην Εικόνα **5.3.1 4** βλέπουμε το διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $V_G$ . Στην Εικόνα **5.3.1 5** βλέπουμε το διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  με  $V_{BS}=0$ . Στην Εικόνα **5.3.1 6** βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  σε Long Channel με  $V_{BS}=0$ . Παρατηρούμε τα αποτελέσματα μας (Data) προσεγγίζουν αρκετά το μοντέλο.



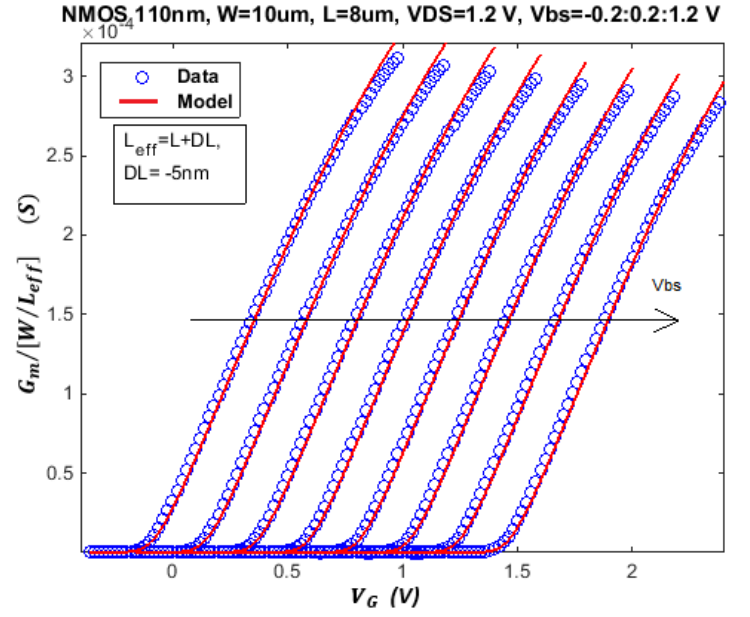
Εικόνα 5.3.1 1 Διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$



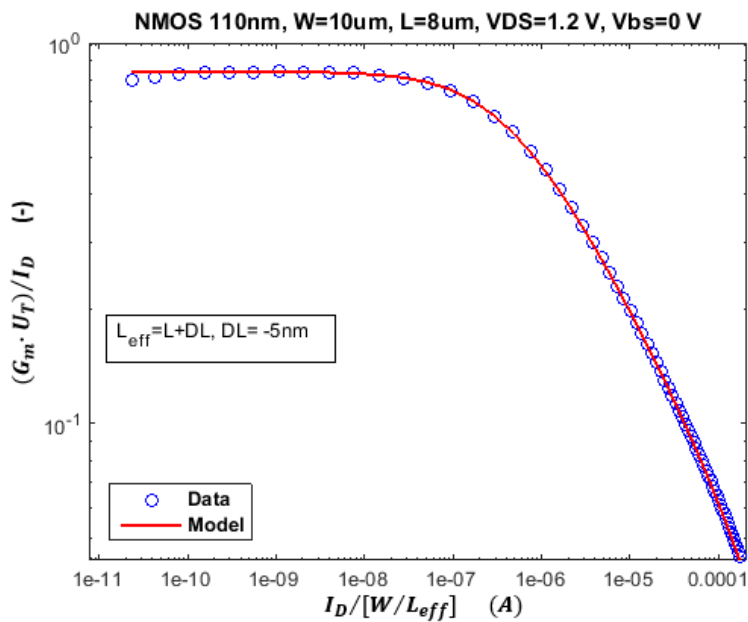
Εικόνα 5.3.1 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$



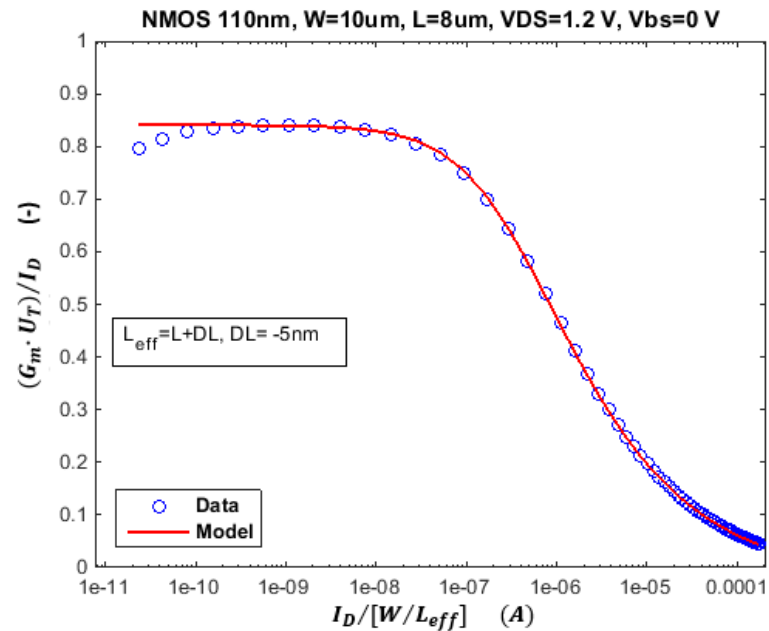
Εικόνα 5.3.1 3 Διάγραμμα κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$



Εικόνα 5.3.1 4 Διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $V_G$



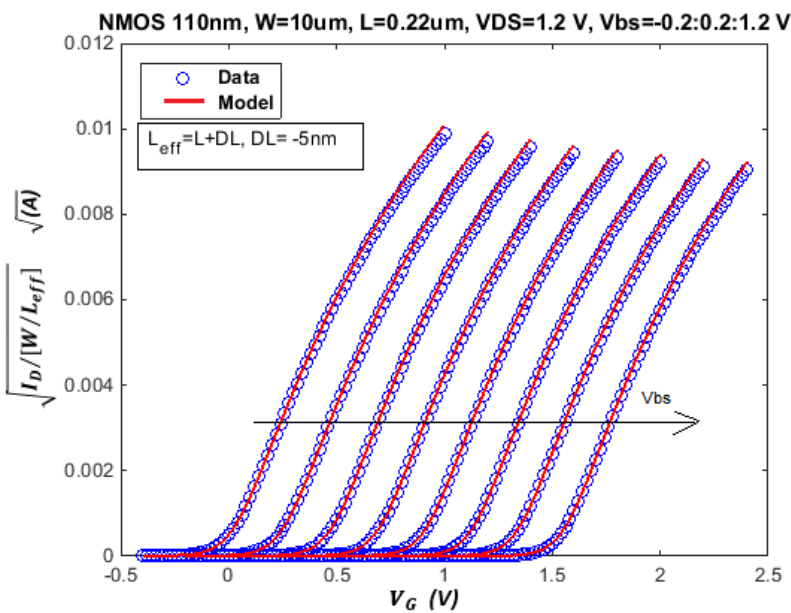
Εικόνα 5.3.1 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$



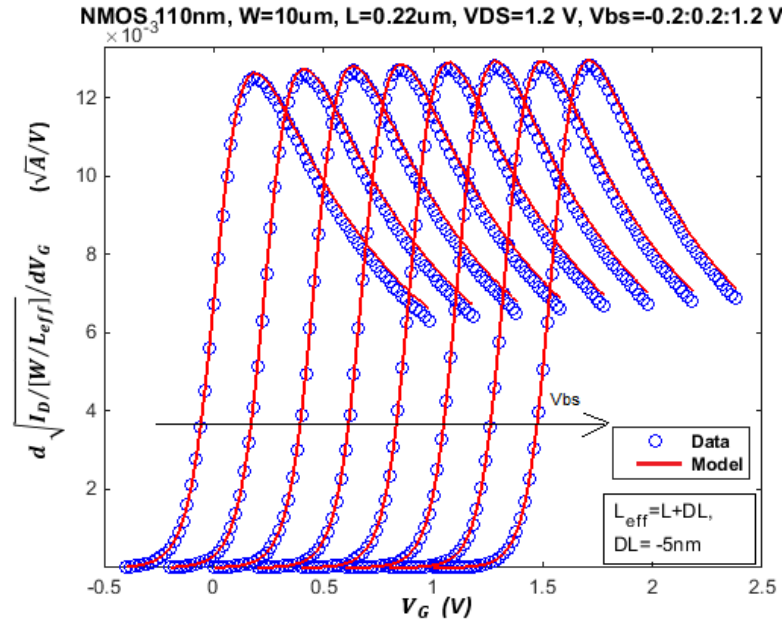
Εικόνα 5.3.1 6 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$

### 5.3.2 Διαγράμματα NMOS σε 110nm με Medium Channel

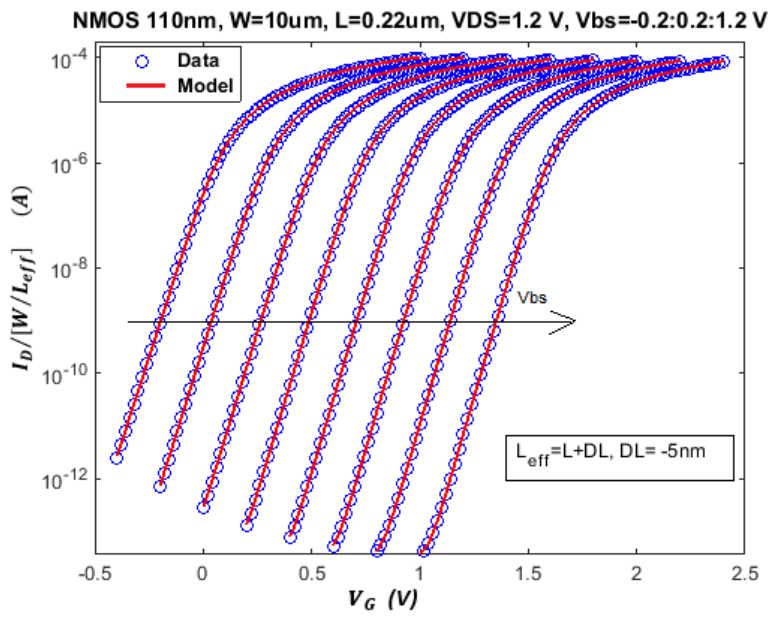
Στην Εικόνα 5.3.2 1 φαίνεται το διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$  σε Medium Channel σε NMOS τρανζίστορ για όλα τα  $V_{BS}$ . Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Στην Εικόνα 5.3.2 2 έχουμε το διάγραμμα του κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$ . Στην Εικόνα 5.3.2 3 βλέπουμε το διάγραμμα του κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$ . Στην Εικόνα 5.3.2 4 φαίνεται το διάγραμμα κανονικοποιημένου  $G_m$  ως προς το  $V_G$ . Στην Εικόνα 5.3.2 5 φαίνεται το διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  με  $V_{BS}=0$ . Στην Εικόνα 5.3.2 6 βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  σε Medium Channel με  $V_{BS}=0$ . Ακόμα, παρατηρούμε ότι τα αποτελέσματα των δεδομένων προσεγγίζει σε μεγάλο βαθμό το μοντέλο.



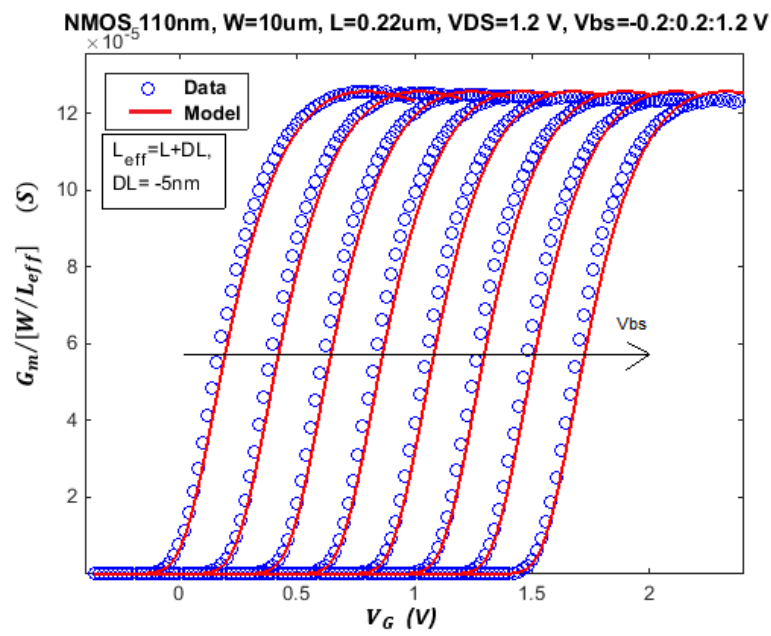
Εικόνα 5.3.2 1 Διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$



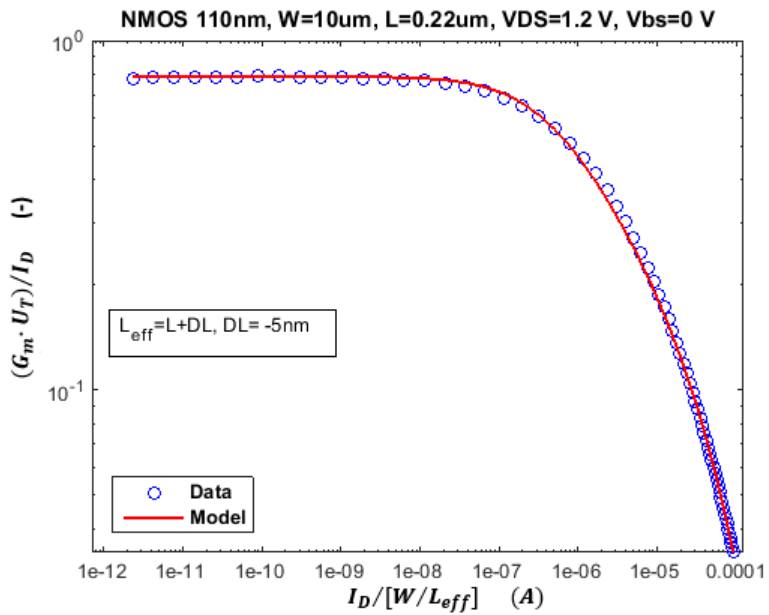
Εικόνα 5.3.2 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$



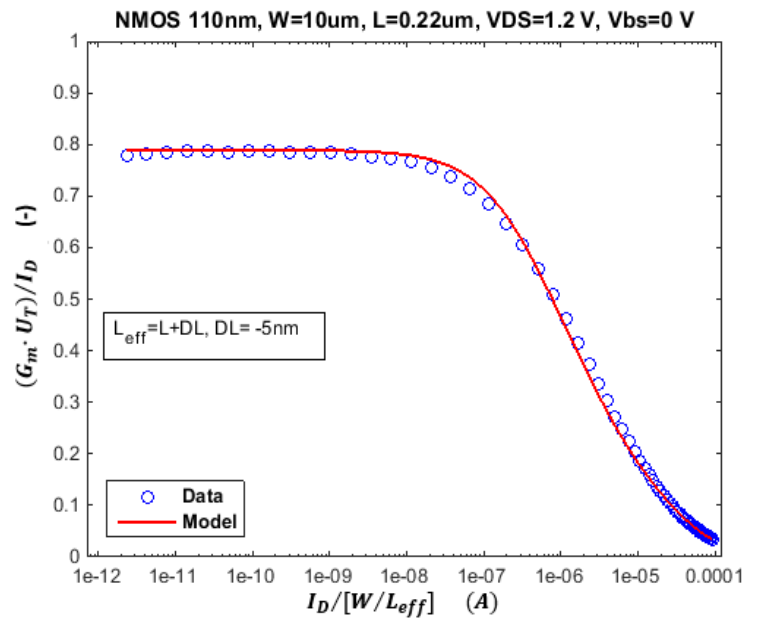
Εικόνα 5.3.2 3 Διάγραμμα κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$



Εικόνα 5.3.2 4 Διαγραμμα κανονικοποιημενου  $G_m$  ως προς την τάση  $V_G$



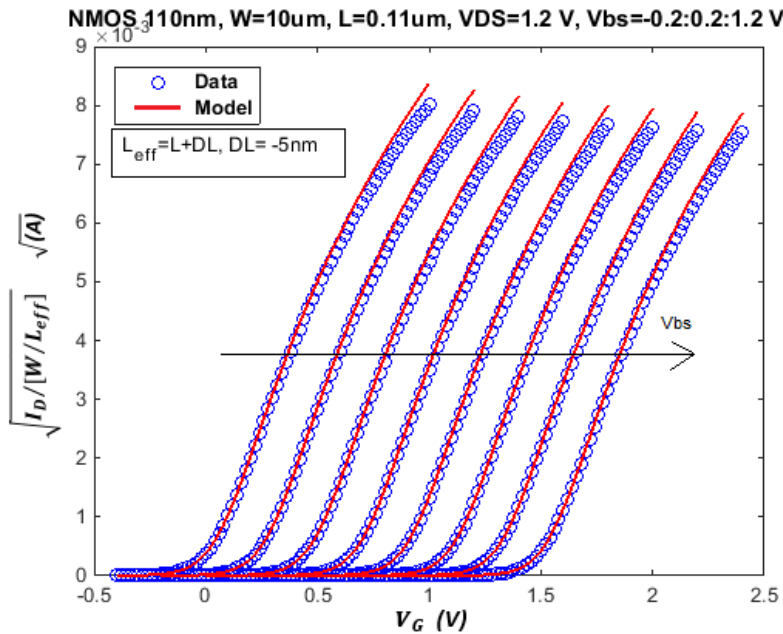
Εικόνα 5.3.2 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$



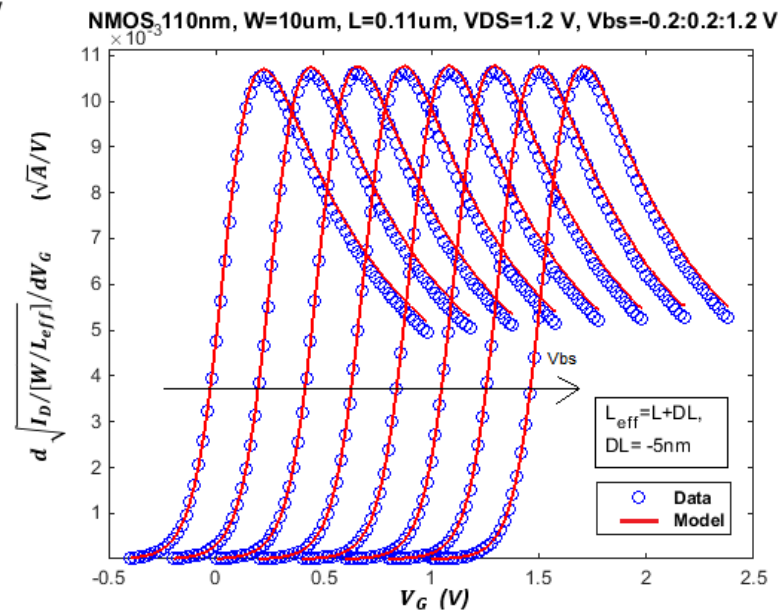
Εικόνα 5.3.2 6 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$

### 5.3.3 Διαγράμματα NMOS σε 110nm με short Channel

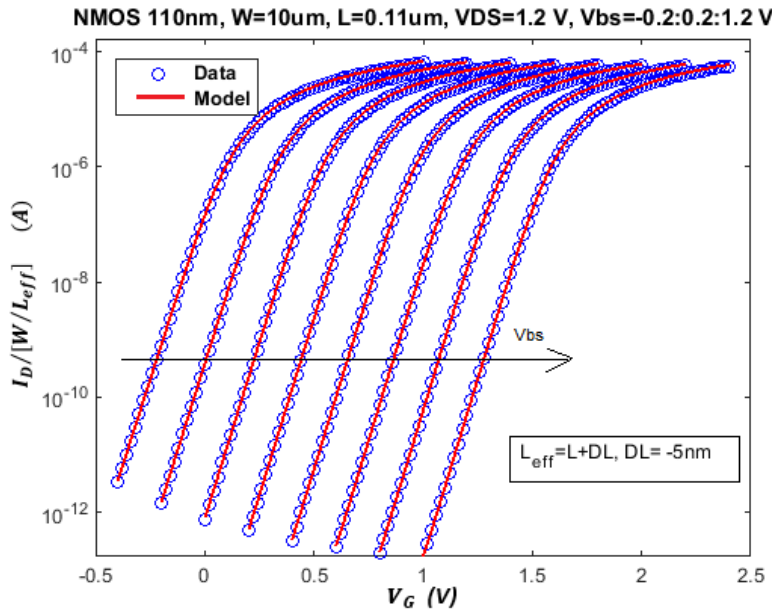
Στην **Εικόνα 5.3.3 1** φαίνεται το διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς το  $V_G$  σε Short Channel σε NMOS τρανζίστορ. Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Έχουμε αποτελέσματα και για τα οκτώ  $V_{BS}$  (από -0.2 V ως 1.2 V με βήμα 0.2 V). Στην **Εικόνα 5.3.3 2** υπάρχει το διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$ . Στην **Εικόνα 5.3.3 3** βλέπουμε το διάγραμμα του κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$ . Στην **Εικόνα 5.3.3 4** βλέπουμε το διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $V_G$ . Στην **Εικόνα 5.3.3 5** βλέπουμε το διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  με  $V_{BS}=0$ . Στην **Εικόνα 5.3.3 6** βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$  με  $V_{BS}=0$ . Τέλος, παρατηρούμε ότι έχουμε κάνει πολύ καλή προσέγγιση μεταξύ των δεδομένων μας και του μοντέλου.



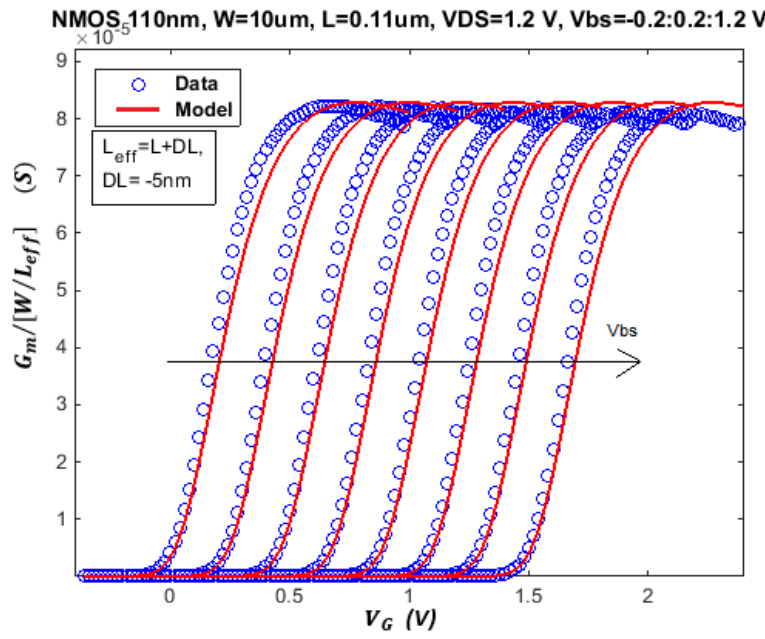
Εικόνα 5.3.3 1 Διάγραμμα κανονικοποιημένου  $\sqrt{I_D}$  ως προς την τάση  $V_G$



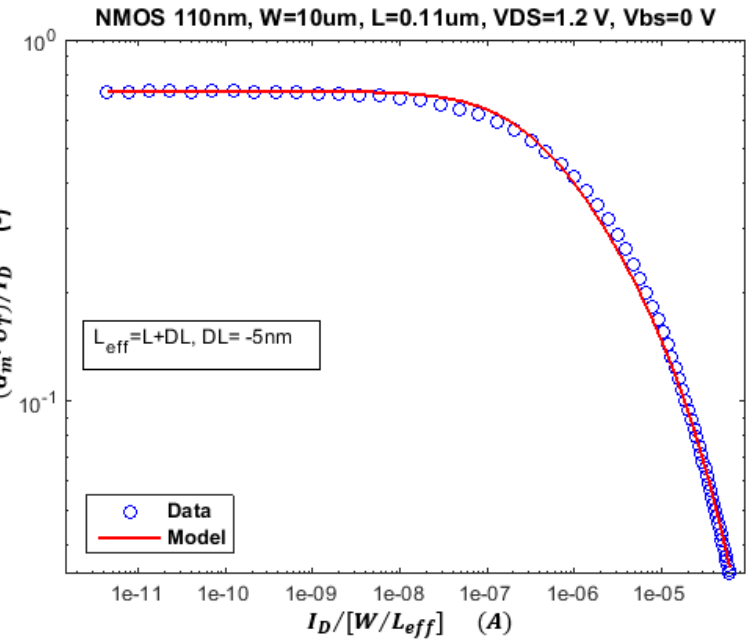
Εικόνα 5.3.3 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{I_D}}{dV_G}$  ως προς την τάση  $V_G$



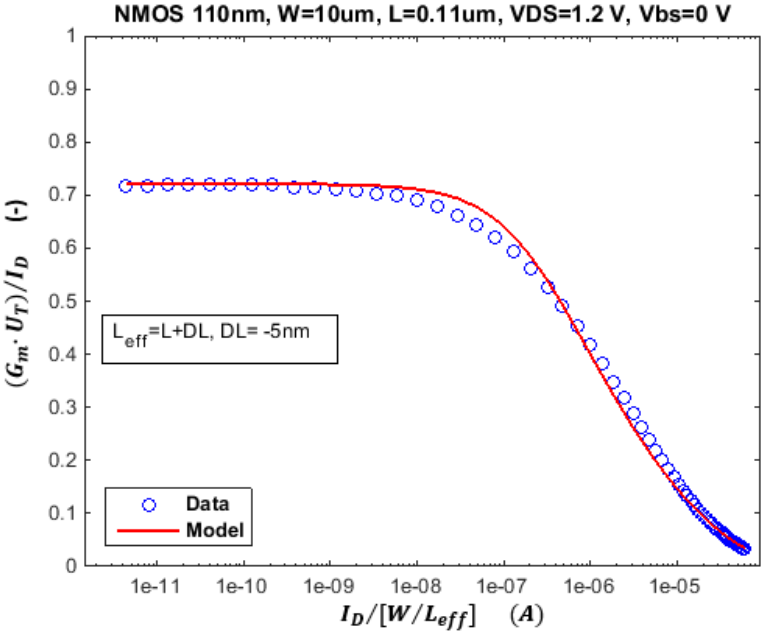
Εικόνα 5.3.3 3 Διάγραμμα κανονικοποιημένου  $I_D$  ως προς την τάση  $V_G$



Εικόνα 5.3.3 4 Διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $V_G$



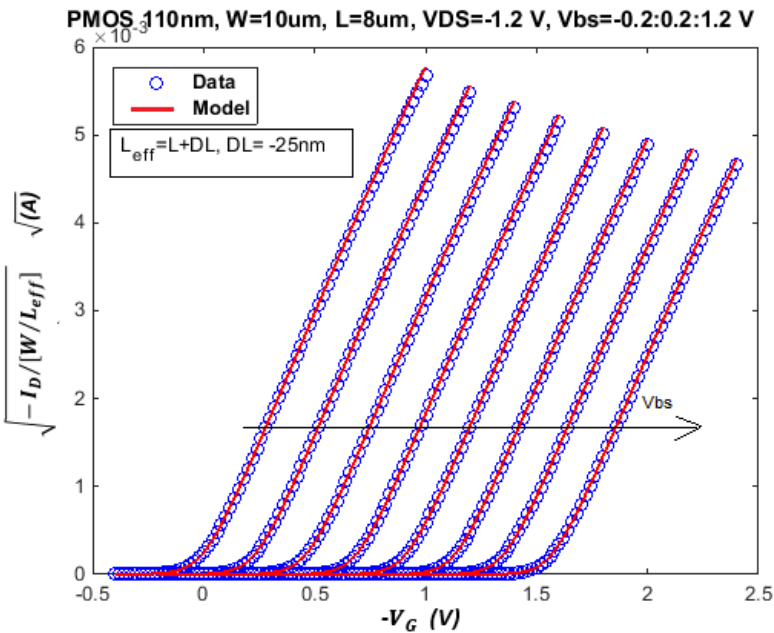
Εικόνα 5.3.3 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$



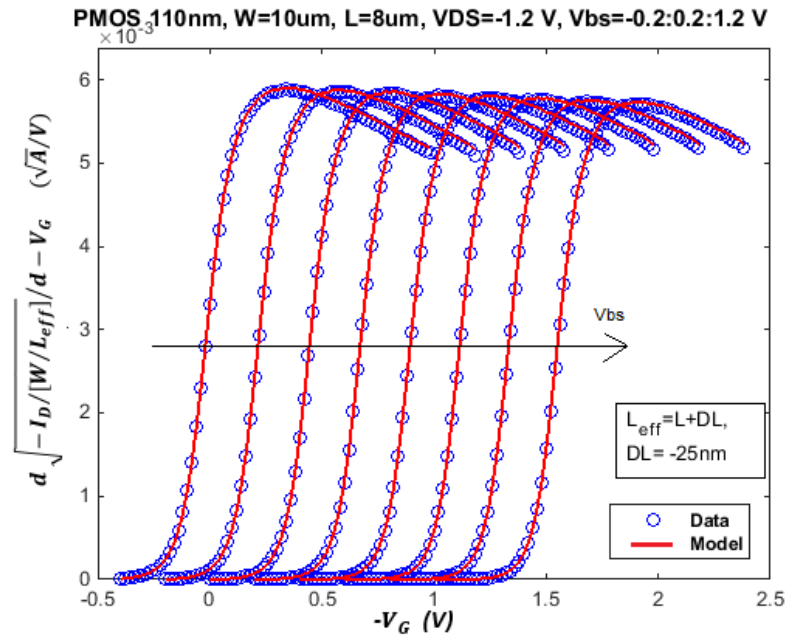
Εικόνα 5.3.3 6 Διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $I_D$

### 5.3.4 Διαγράμματα PMOS σε 110nm με Long Channel

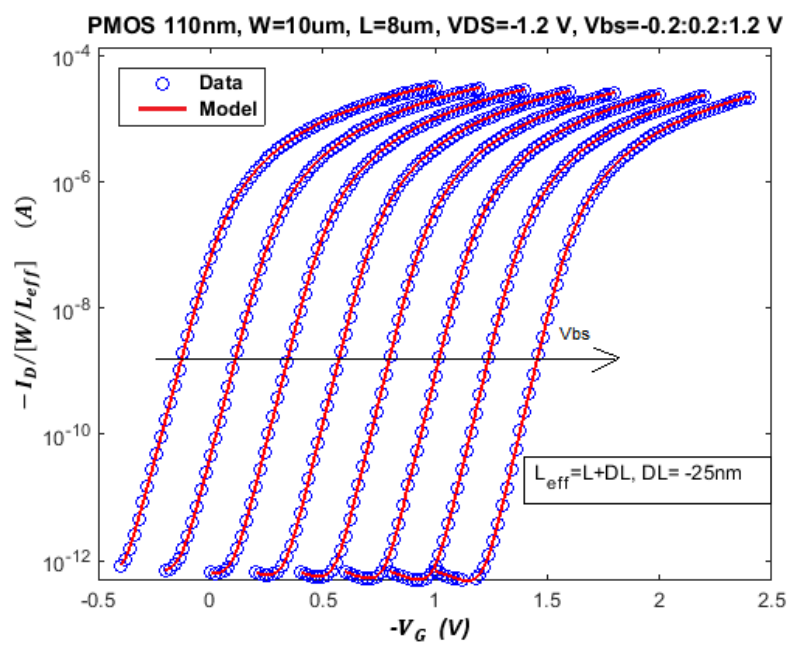
Στην **Εικόνα 5.3.4 1** βλέπουμε το διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$  σε Long Channel σε PMOS τρανζίστορ. Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Έχουμε αποτελέσματα και για τα οκτώ  $V_{BS}$  (από -0.2 V ως 1.2 V με βήμα 0.2 V). Στην **Εικόνα 5.3.4 2** βλέπουμε το διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.4 3** βλέπουμε το διάγραμμα του κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.4 4** βλέπουμε το διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.4 5** βλέπουμε το διάγραμμα για PMOS τρανζίστορ με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Στην **Εικόνα 5.3.4 6** βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Τέλος, παρατηρούμε ότι έχουμε κάνει πολύ καλή προσέγγιση μεταξύ των δεδομένων μας και του μοντέλου.



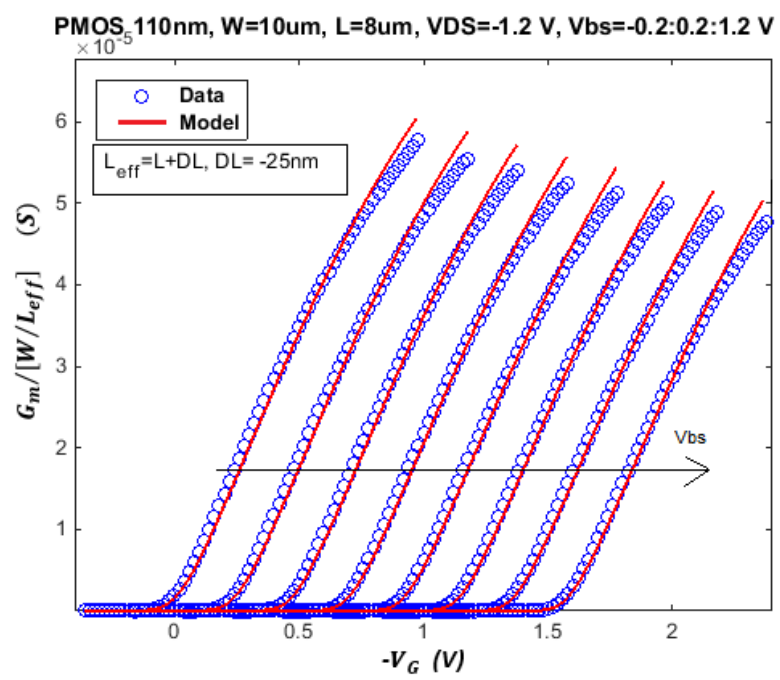
Εικόνα 5.3.4 1 Διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$



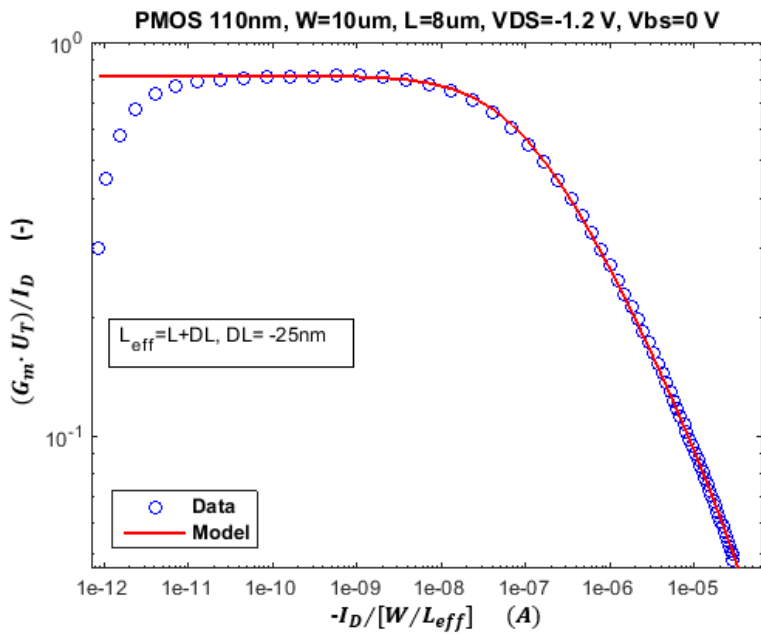
Εικόνα 5.3.4 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  ως προς την τάση  $-V_G$



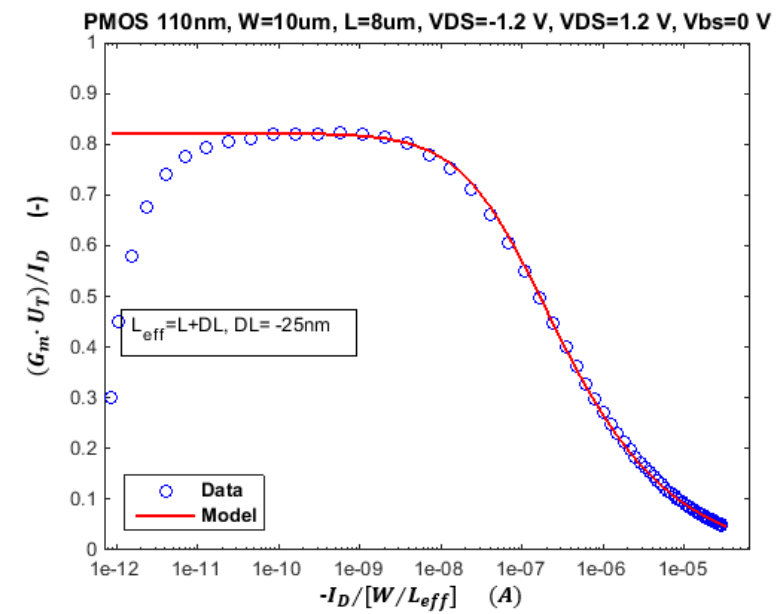
Εικόνα 5.3.4 3 Διάγραμμα κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$



Εικόνα 5.3.4 4 Διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$



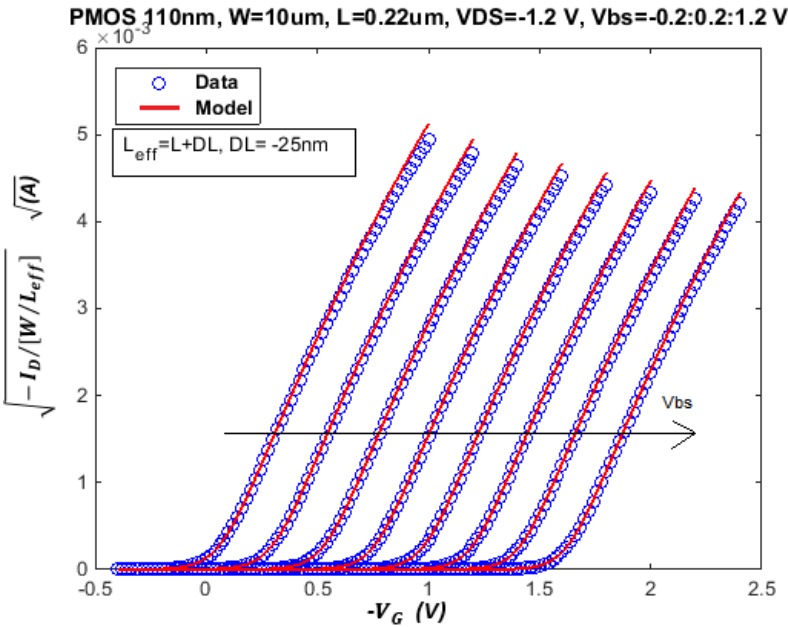
Εικόνα 5.3.4 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$



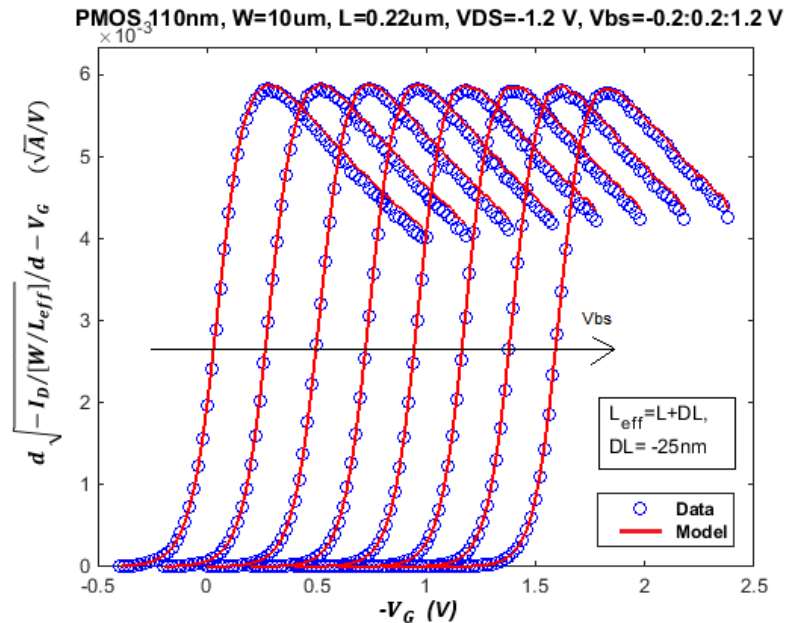
Εικόνα 5.3.4 6 Διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$

### 5.3.5 Διαγράμματα PMOS σε 110nm με Medium Channel

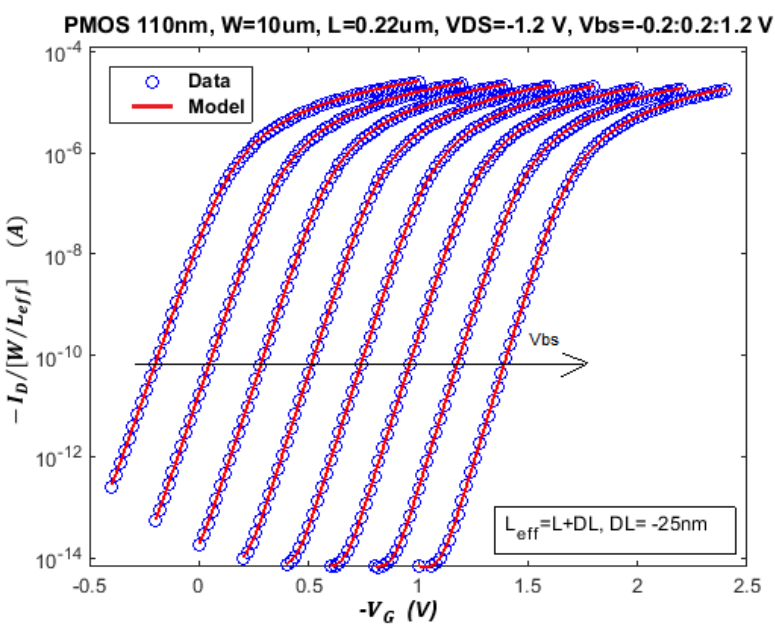
Στην **Εικόνα 5.3.5 1** βλέπουμε το διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$  σε Medium Channel σε PMOS τρανζίστορ. Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Έχουμε αποτελέσματα και για τα οκτώ  $V_{BS}$  (από -0.2 V ως 1.2 V με βήμα 0.2 V). Στην **Εικόνα 5.3.5 2** βλέπουμε το διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.5 3** βλέπουμε το διάγραμμα του κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.5 4** βλέπουμε το διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$ . Στην **Εικόνα 5.3.5 5** βλέπουμε το διάγραμμα για PMOS τρανζίστορ με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Στην **Εικόνα 5.3.5 6** βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Παρατηρούμε τα αποτελέσματα μας από Data είναι αρκετά κοντά στα αποτελέσματα του μοντέλου.



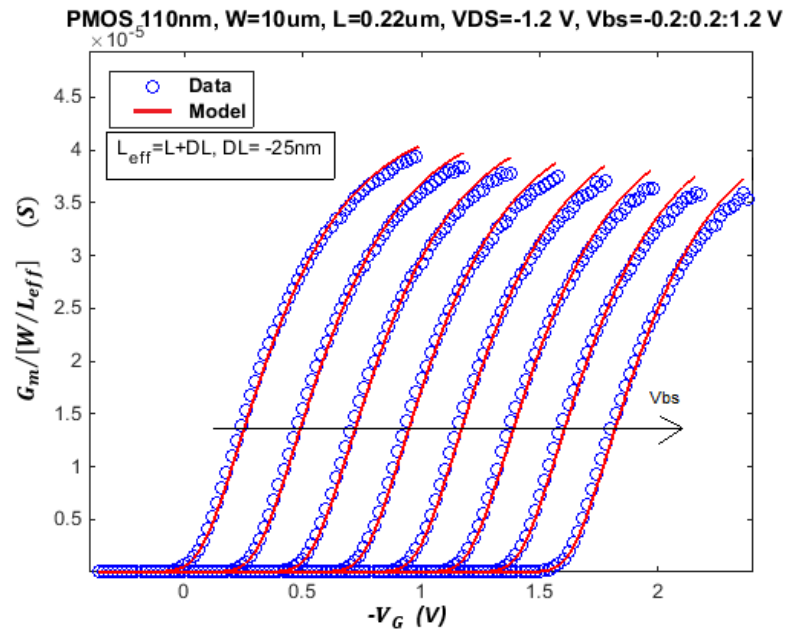
Εικόνα 5.3.5 1 Διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$



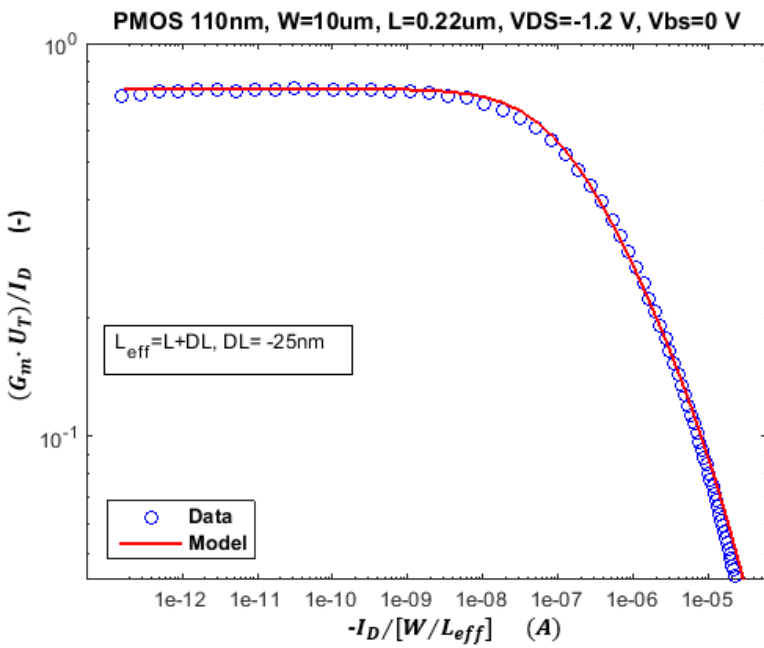
Εικόνα 5.3.5 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  ως προς την τάση  $-V_G$



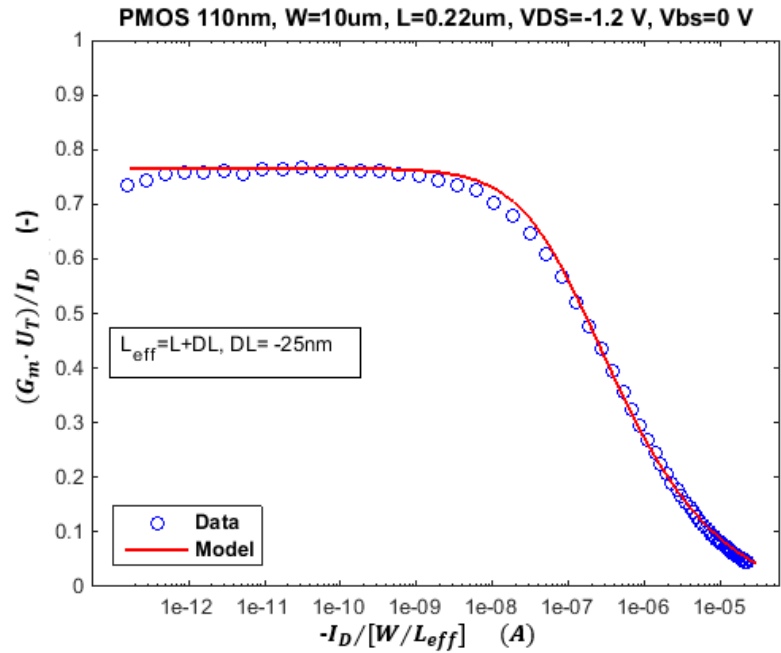
Εικόνα 5.3.5 3 Διάγραμμα κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$



Εικόνα 5.3.5 4 Διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$



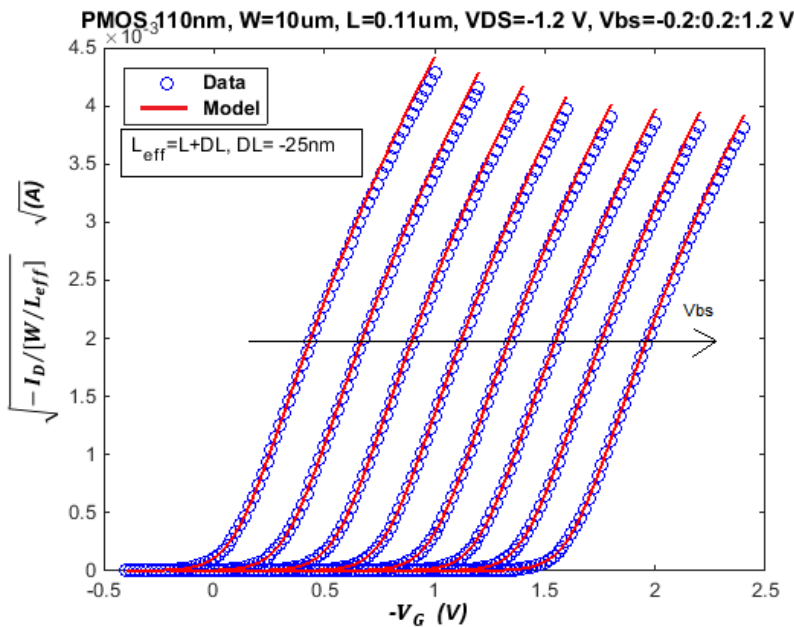
Εικόνα 5.3.5 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$



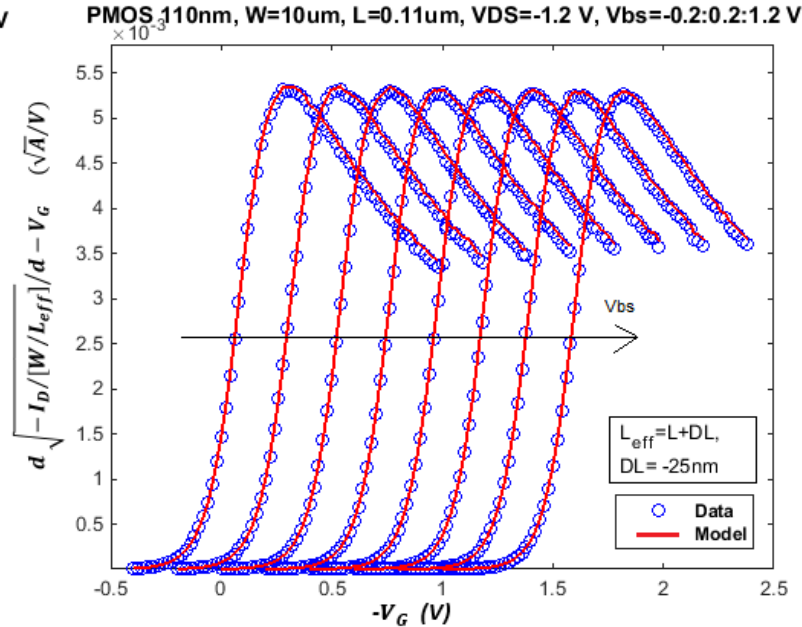
Εικόνα 5.3.5 6 Διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$

### 5.3.6 Διαγράμματα PMOS σε 110nm με Short Channel

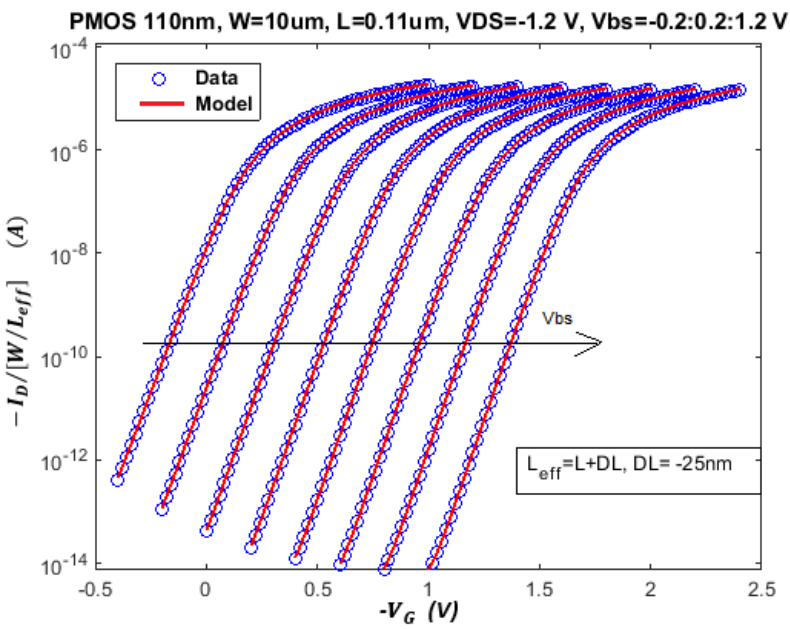
Στην Εικόνα 5.3.6 1 βλέπουμε το διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$  σε Short Channel σε PMOS τρανζίστορ. Με τα μπλε κυκλάκια είναι τα αποτελέσματα από τα δεδομένα μας και με κόκκινη γραμμή είναι τα αποτελέσματα του μοντέλου. Έχουμε αποτελέσματα και για τα οκτώ  $V_{BS}$  (από -0.2 V ως 1.2 V με βήμα 0.2 V). Στην Εικόνα 5.3.6 2 φαίνεται το διάγραμμα  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  με κανονικοποιημένου  $I_D$  ως προς την τάση  $-V_G$ . Στην Εικόνα 5.3.6 3 βλέπουμε το διάγραμμα του κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$ . Στην Εικόνα 5.3.6 4 βλέπουμε το διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$ . Στην Εικόνα 5.3.6 5 βλέπουμε το διάγραμμα για PMOS τρανζίστορ με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Στην Εικόνα 5.3.6 6 βλέπουμε το διάγραμμα  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$  με  $V_{BS}=0$ . Παρατηρούμε ότι τα αποτελέσματα μας (Data) προσεγγίζουν σε μεγάλο βαθμό το μοντέλο.



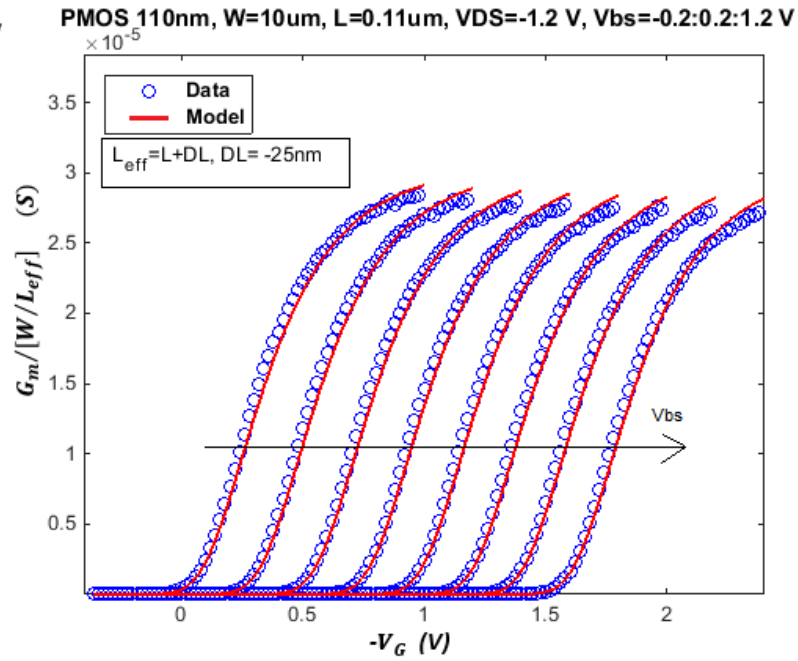
Εικόνα 5.3.6 1 Διάγραμμα κανονικοποιημένου  $\sqrt{-I_D}$  ως προς την τάση  $-V_G$



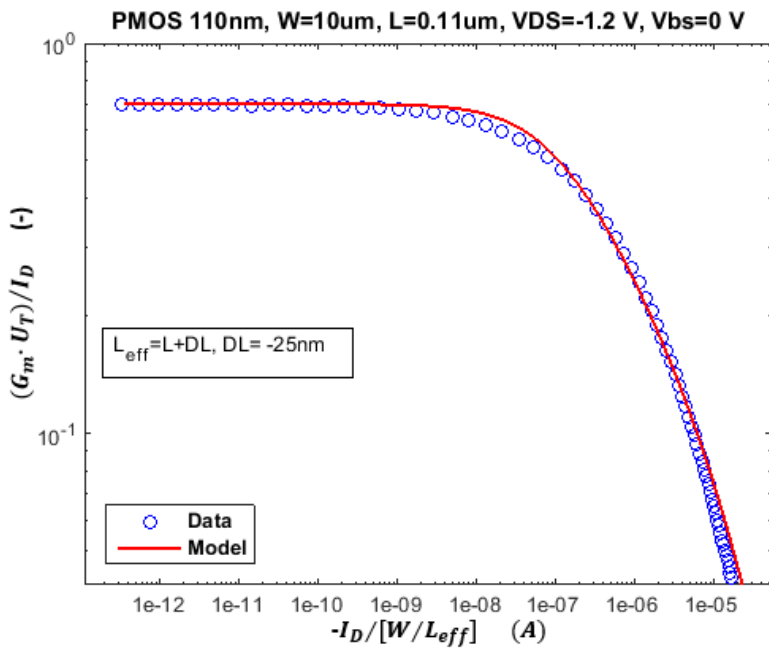
Εικόνα 5.3.6 2 Διάγραμμα κανονικοποιημένου  $\frac{d\sqrt{-I_D}}{d(-V_G)}$  ως προς την τάση  $-V_G$



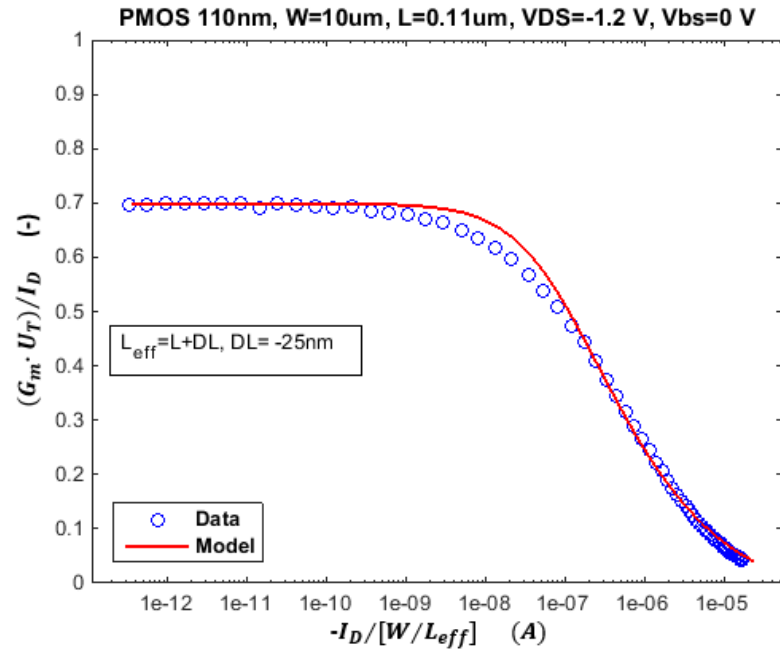
Εικόνα 5.3.6 3 Διάγραμμα κανονικοποιημένου  $-I_D$  ως προς την τάση  $-V_G$



Εικόνα 5.3.6 4 Διάγραμμα κανονικοποιημένου  $G_m$  ως προς την τάση  $-V_G$



Εικόνα 5.3.6 5 Διάγραμμα με λογαριθμικό  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$

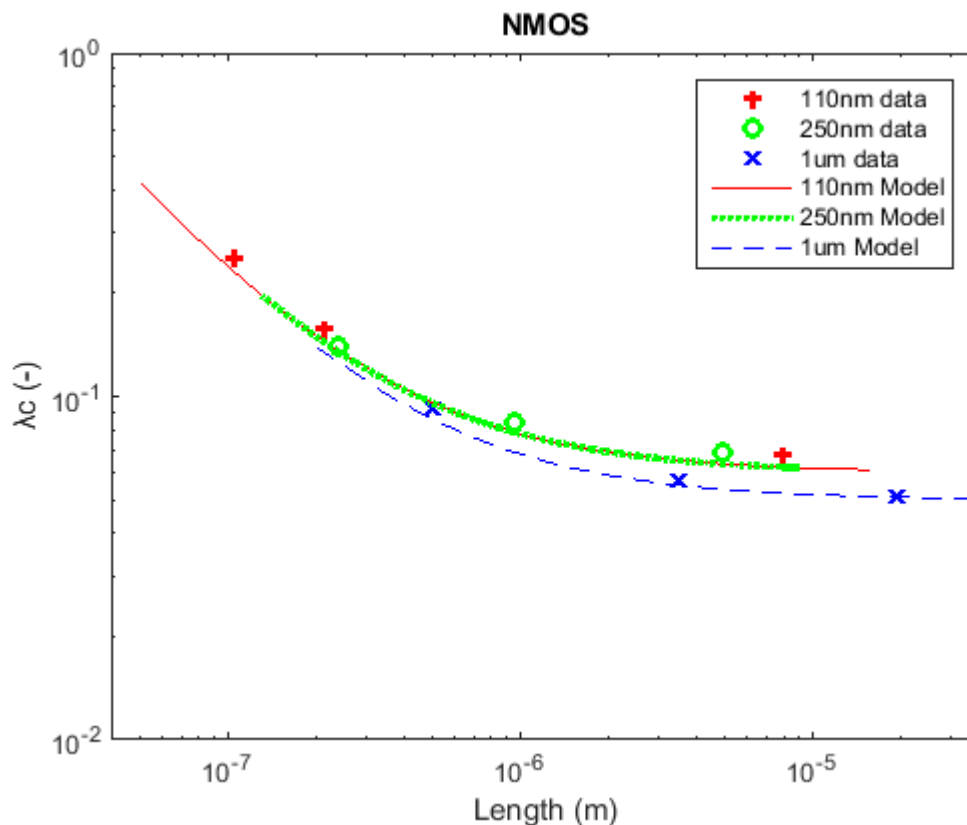


Εικόνα 5.3.6 6 Διάγραμμα του  $\frac{G_m \cdot U_T}{I_D}$  ως προς το κανονικοποιημένο  $-I_D$

## 5.4 Διαγράμματα μοντέλου $\lambda_c$ - εξαγωγής $\lambda_c$ από δεδομένα των τριών τεχνολογιών.

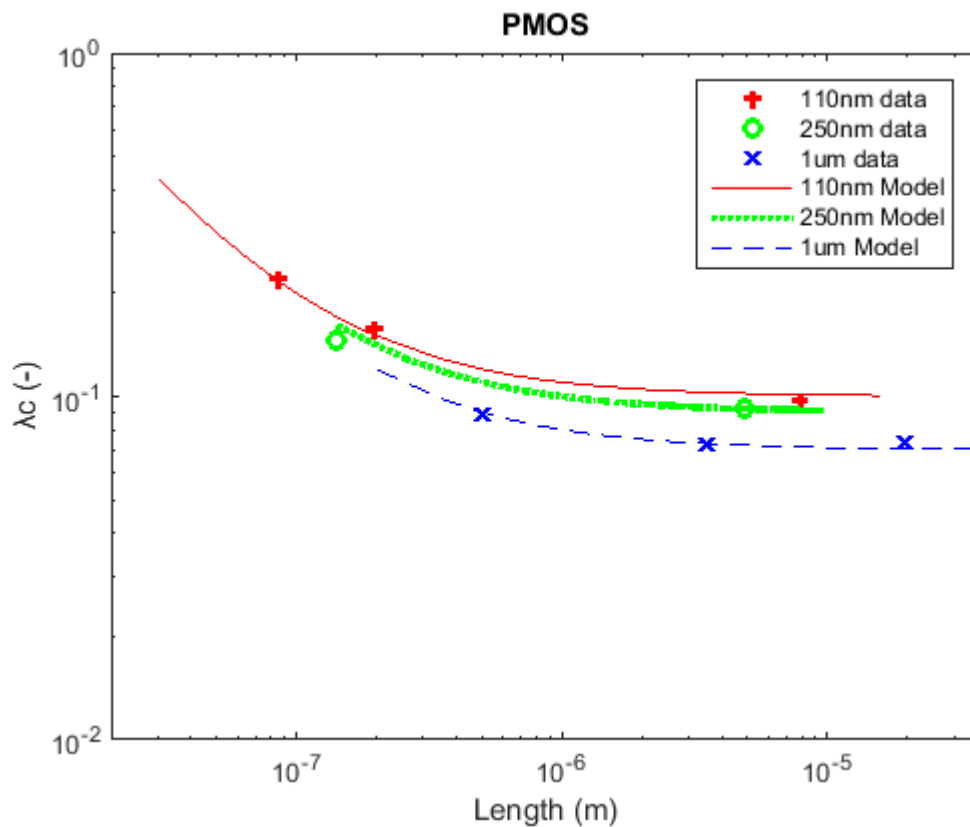
Στην 5.3 ενότητα είδαμε για 110nm την σύγκριση μοντέλου(model) με τα δεδομένα (data) και βρήκαμε τα κατάλληλα  $\lambda_c$  **Model** ( $\lambda_c = \lambda_0 + \frac{L_b}{L_{eff}}$ ), δουλέψαμε όμοια και στις υπόλοιπες τεχνολογίες (250nm, 1μm) και βρήκαμε τα αντίστοιχα  $\lambda_c$  **Model** για NMOS και PMOS. Για το  $\lambda_c$  **Data** είδαμε την μεθοδολογία εξαγωγής του στην 4.2 ενότητα και συλλέξαμε τιμές του  $\lambda_c$  για όλες τις τεχνολογίες NMOS και PMOS.

Στην **Εικόνα 5.4 1** βλέπουμε το διάγραμμα  $\lambda_c$  ως προς τα μήκη καναλιού ( $L_{eff}$ ) για τις τρεις (110nm, 250nm, 1μm) NMOS τεχνολογίες. Ακόμα με τις γραμμές (κόκκινη, πράσινη και μπλε) βλέπουμε τα  $\lambda_c$  Model για 110nm, 250nm και 1μm αντίστοιχα. Με τις τον κόκκινο σταυρό βλέπουμε τα τρία **Data**  $\lambda_c$  για 110nm πού το κάθε ένα αντιστοιχεί σε Long channel, Medium channel και Short channel. Με πράσινα κυκλάκια για 250nm και με μπλε “x” για 1μm.



**Εικόνα 5.4 1** Αντιπαράθεση του  $\lambda_c$  Model με το  $\lambda_c$  Data για όλες τις τεχνολογίες που είχαμε δεδομένα ως προς το μήκος καναλιού (Length) για NMOS τεχνολογία

Στην Εικόνα 5.4 2 βλέπουμε πάλι το διάγραμμα  $\lambda_c$  ως προς τα μήκη καναλιού ( $L_{eff}$ ) όμως για τις τρεις (110nm,250nm,1um) PMOS τεχνολογίες. Ακόμα με τις γραμμές (κόκκινη, πράσινη και μπλε) βλέπουμε και στα PMOS τα  $\lambda_c$  Model για 110nm,250nm και 1um αντίστοιχα. Με τις τον κόκκινο σταυρό βλέπουμε τα τρία  $\lambda_c$  Data για 110nm πού το κάθε ένα αντιστοιχεί σε Long channel,Medium channel και Short channel.Με πράσινα κυκλάκια για 250nm και με μπλε “x” για 1um.



**Εικόνα 5.4 2 Αντιπαράθεση του  $\lambda_c$  Model με το  $\lambda_c$  Data για όλες τις τεχνολογίες που είχαμε δεδομένα ως προς το μήκος καναλιού (Length) για PMOS τεχνολογία**

## 5.5 Πίνακες αποτελεσμάτων για το μοντέλο φορτίων

Στον Πίνακα 5.5 1 και Πίνακα 5.5 2 έχουμε τις παραμέτρους  $T_{ox}$ ,  $L_{min}$ ,  $L_b$  και  $\lambda_0$  για NMOS και PMOS τρανζίστορ αντίστοιχα σε όλες τις τεχνολογίες που πήραμε μετρήσεις (110nm, 250nm, 1um) και στην τεχνολογία τον 65nm. Τα αποτελέσματα στην 65nm τεχνολογία τα πήραμε από το paper Modeling of High Total Ionizing Dose (TID) Effects for Enclosed Layout Transistors in 65 nm Bulk CMOS [3].

Το  $T_{ox}$  μας το δίνει ο κατασκευαστής παρόλα αυτά παρατηρούμε ότι όσο μικρότερη είναι η τεχνολογία μειώνετε και το  $T_{ox}$ . Το  $L_{min}$  είναι το μικρότερο μήκος καναλιού για την κάθε τεχνολογία που είχαμε δεδομένα. Έχουμε ένα  $L_b$  για τα NMOS το οποίο παρατηρούμε ότι είναι ίδιο για όλες τις τεχνολογίες και ένα  $L_b$  για όλες τις PMOS τεχνολογίες. Για το  $\lambda_0$  στα NMOS βλέπουμε ότι δεν έχουν όλες οι τεχνολογίες την ίδια τιμή αλλά παρόλα αυτά είναι πολύ κοντινές μεταξύ τους, το ίδιο ισχύει και στα PMOS.

		NMOS			
		1um	250nm	110nm	65nm
$T_{ox}$	nm	20	6	3	2.87
$L_{min}$	μm	1	0.28	0.11	0.06
$L_b$	nm	18	18	18	18
$\lambda_0$	-	0.05	0.06	0.06	0.08

**Πίνακας 5.5 1 NMOS transistor 1um, 250nm, 110nm, 65nm**

		PMOS			
		1um	250nm	110nm	65nm
$T_{ox}$	nm	20	6	3	2.87
$L_{min}$	μm	1	0.28	0.11	0.06
$L_b$	nm	10	10	10	10
$\lambda_0$	-	0.07	0.09	0.10	0.15

**Πίνακας 5.5 2 PMOS transistor 1um, 250nm, 110nm, 65nm**

# Κεφάλαιο 6

## Συμπέρασμα

Στην παρούσα διπλωματική εργασία είδαμε ότι υπάρχουν 2 τύποι MOSFET, τα NMOS και τα PMOS. Το MOSFET αποτελείται από το Gate (πολυπυρίτιο), Source και Drain (ημιαγωγοί), το Bulk (υπόστρωμα πυριτίου) και το οξείδιο. Το τρανζίστορ έχει τρεις δυνατές περιοχές λειτουργίας: περιοχή της αποκοπής που δεν έχουμε ακόμα κανάλι, γραμμική περιοχή στην οποία σχηματίζεται το κανάλι μεταξύ Drain και Source για να ρέει το ρεύμα, περιοχή κορεσμού που γίνεται ο στραγγαλισμός του καναλιού. Περιοχές αντιστροφής καναλιού είναι η weak inversion (WI), moderate inversion (MI) και strong inversion (SI). Η διαδικασία που χρησιμοποιούμε για την εξαγωγή των παραμέτρων στα MOSFET εφαρμόζουν τεχνικές που έχουμε δει [1] με την διαφορά ότι εμείς μελετήσαμε την περίπτωση που έχουμε  $IC=2$ . Αφού υλοποιήσαμε την διαδικασία εξαγωγής των παραμέτρων για τις τρεις τεχνολογίες που είχαμε μετρήσεις (110nm, 250nm, 1μm), βρήκαμε και παρουσιάσαμε σε πίνακες τις παραμέτρους  $\gamma$ ,  $\phi$ ,  $V_{to}$ ,  $I_0$  που μας δίνουν χρήσιμες πληροφορίες. Ύστερα, παρουσιάσαμε ένα σύνολο γραφικών με την παρουσίαση της απόδοσης των τριών τεχνολογιών δηλαδή συγκρίναμε για κάθε τεχνολογία και τύπο MOSFET (PMOS, NMOS) ξεχωριστά τα τρία μήκη καναλιού. Ακόμα για να γίνει αυτή η σύγκριση και να μας δώσει τις πληροφορίες που θέλαμε έπρεπε πρώτον να είχαμε βρει τα κατάλληλα  $DL$  ώστε να αποφύγουμε κάποιο “overshoot” στα Short Channel, δεύτερον να κανονικοποιήσουμε το  $ID$  και τρίτον να αφαιρέσουμε την τάση κατωφλίου (που έχει κάθε μήκος καναλιού) από την τάση  $V_G$  της κάθε τεχνολογίας. Από τα διαγράμματα απόδοσης παρατηρήσαμε ότι υλοποιήσαμε σωστά την διαδικασία εξαγωγής παραμέτρων αφού βρήκαμε κατάλληλες τιμές στις παραμέτρους ώστε στα διαγράμματα απόδοσης να βλέπουμε ικανοποιητικά αποτελέσματα. Στην συνέχεια, παρουσιάσαμε τα διαγράμματα του μοντέλου των φορτίων του τρανζίστορ MOS με το φαινόμενο velocity saturation [2] σε αντιπαράθεση με τα αποτελέσματα από τις μετρήσεις μας για 110nm τεχνολογία. Από την αντιπαράθεση αυτή παρατηρήσαμε μια καλή προσέγγιση μεταξύ του μοντέλου με τα δεδομένα μας που οφείλεται στην σωστή εκτέλεση του μοντέλου του ENZ [2] και των παραμέτρων  $\lambda_0$ ,  $L_b$  και  $\lambda_c$  που βρήκαμε, ακόμα διαλέξαμε να παρουσιάσουμε την 110nm τεχνολογία γιατί είναι η πιο σύγχρονη από αυτές που μετρήσαμε. Οι παράμετροι αυτοί παρουσιάστηκαν σε πίνακες και μας βοήθησαν να συγκρίνουμε το μοντέλο [2] με τα αποτελέσματα από τις μετρήσεις μας. Τέλος, παρουσιάσαμε τα διαγράμματα με την αντιπαράθεση μοντέλου  $\lambda_c$  [3] με το  $\lambda_c$  από την εξαγωγή [2] από τα δεδομένα μας με δύο διαγράμματα (ένα για NMOS και ένα για PMOS) τα οποία παρουσιάζουν ιδιαίτερο ενδιαφέρον γιατί έχουν πληροφορίες για τις τρεις τεχνολογίες που μετρήσαμε σε ένα διάγραμμα. Συμπερασματικά, οι προτεινόμενες τεχνικές

ανάλυσης απόδοσης τεχνολογίας, οι τεχνικές εξαγωγής παραμέτρων [1] και οι τεχνικές μοντελοποίησης [2] είναι ιδιαίτερα αποδοτικές, μια και μπορούν να εφαρμόζονται σε πολλές τεχνολογίες ομοιόμορφα. Τα μοντέλα, μαζί με τις παραγόμενες παραμέτρους, μπορούν να μας βοηθήσουν ιδιαίτερα στην προσαρμογή αναλογικών κυκλωμάτων από μια γενιά τεχνολογίας σε μια άλλη. Τα μοντέλα αυτά καλύπτουν με ιδιαίτερη αποτελεσματικότητα όλα τα φαινόμενα στις εν λόγω τεχνολογίες. Επίσης, η εξέταση του φαινομένου velocity saturation δείχνει μια σύγκλιση της συμπεριφοράς σε μικρά μήκη καναλιού, τόσο σε κανάλι τύπου N (NMOS), όσο και κανάλι τύπου P (PMOS). Αυτό είναι όντως αναμενόμενο, μια και το φαινόμενο αυτό είναι δεδομένο για ένα είδος ημιαγωγού (πυριτίου τύπου P ή τύπου N). Μια μελλοντική δουλειά θα ήταν να εφαρμόσουμε τεχνικές ανάλυσης απόδοσης τεχνολογίας, οι τεχνικές εξαγωγής παραμέτρων και οι τεχνικές μοντελοποίησης σε περισσότερες τεχνολογίες τρανζίστορ.

## Βιβλιογραφία

### Papers, βιβλία, σημειώσεις:

- [1] M. Bucher, N. Makris, and L. Chevas, "Generalized Constant Current Method for Determining MOSFET Threshold Voltage", IEEE Transactions on Electron Devices, vol. 67, no. 11, pp 4559 – 4562, Nov. 2020, **DOI:** [10.1109/TED.2020.3019019](https://doi.org/10.1109/TED.2020.3019019)
- [2] C. Enz, F. Chicco and A. Pezzotta, "Nanoscale MOSFET Modeling. Part 1: The simplified EKV model for the design of low-power analog circuit", IEEE SOLID-STATE CIRCUITS MAGAZINE, vol. 9, no. 3, Summer 2017, pp 26-35, Aug 2017, **DOI:** [10.1109/MSSC.2017.2712318](https://doi.org/10.1109/MSSC.2017.2712318)
- [3] A. Nikolaou, M. Bucher, N. Makris, A. Papadopoulou, L. Chevas, G. Borghello, Henri D. Koch, F. Faccio, "Modeling of High Total Ionizing Dose (TID) Effects for Enclosed Layout Transistors in 65 nm Bulk CMOS", 2018 International Semiconductor Conference (CAS), 10-12 Oct. 2018, **DOI:** [10.1109/SMICND.2018.8539806](https://doi.org/10.1109/SMICND.2018.8539806)
- [4] Y. Tsididis, Operation and Modeling of the MOS Transistor: 2nd edition, McGraw-Hill, New York, 1998
- [5] M. Bucher, C. Lallement and C.C. Enz, "An Efficient Parameter Extraction Methodology for the EKV MOST Model", Proceedings of International Conference on Microelectronic Test Structures, Vol. 9, pp. 145-150, Trento, Italy, March 26-28, 1996, **DOI:** [10.1109/ICMTS.1996.535636](https://doi.org/10.1109/ICMTS.1996.535636)
- [6] M. Bucher, CMOS Analog Integrated Circuit Design Course, Course Notes, School of Electrical and Computer Engineering, Technical University of Crete, Chania, Greece, 2020.
- [7] A. Bazigos, M. Bucher, J. Assenmacher, S. Decker, W. Grabinski and Y. Papananos, "An Adjusted Constant-Current Method to Determine Saturated and Linear Mode Threshold Voltage of MOSFETs", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 58, NO. 11, NOVEMBER 2011, pp. 3751 – 3758, **DOI:** [10.1109/TED.2011.2164080](https://doi.org/10.1109/TED.2011.2164080)
- [8] H.-G. Lee, S.-Y. Oh, and G. Fuller, "A simple and accurate method to measure the threshold voltage of an enhancement-mode MOSFET", IEEE Trans. Electron Devices, vol. 29, no. 2, pp. 346-348, Feb. 1982, **DOI:** [10.1109/T-ED.1982.20707](https://doi.org/10.1109/T-ED.1982.20707)
- [9] M. J. Deen and Z. X. Yan, "A new method for measuring the threshold voltage of small-geometry MOSFETs from subthreshold conduction", Solid State Electron., vol. 33, no. 5, pp. 503-511, 1990, **DOI:** [10.1016/0038-1101\(90\)90234-6](https://doi.org/10.1016/0038-1101(90)90234-6)
- [10] A. Ortiz-Conde, F. J. Garcia-Sanchez, et al., "Revisiting MOSFET threshold voltage extraction methods", Microelectron. Reliab., vol. 53, no. 1, pp. 90-104, January 2013, **DOI:** [10.1016/j.microrel.2012.09.015](https://doi.org/10.1016/j.microrel.2012.09.015)

- [11] J.-M. Sallese, M. Bucher, F. Krummenacher, and P. Fazan, Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model, Solid-State Electron., vol. 47, no. 4, pp. 677683, April 2003, DOI: [10.1016/S0038-1101\(02\)00336-2](https://doi.org/10.1016/S0038-1101(02)00336-2)
- [12] C. Enz and E. Vittoz, "Charge-based MOS transistor modeling", John Wiley and Sons, Chichester, July 2006, DOI: [10.1002/0470855460](https://doi.org/10.1002/0470855460)
- [13] M. Bucher, D. Kazazis, F. Krummenacher, D. Binkley, D. Foty, Y. Papananos, "Analysis of Transconductances at All Levels of Inversion in Deep Submicron CMOS", 9th IEEE Conf. on Electronics, Circ. & Syst. (ICECS 2002), Vol. III, pp. 1183-1186, September 2002, DOI: [10.1109/ICECS.2002.1046464](https://doi.org/10.1109/ICECS.2002.1046464)
- [14] M. Bucher, "Analytical MOS transistor modelling for analog circuit simulation." Lausanne, EPFL2000, DOI [10.5075/epfl-thesis-2114](https://doi.org/10.5075/epfl-thesis-2114)

#### **Eκκoveς:**

- [15] <https://ars.els-cdn.com/content/image/1-s2.0-S1369702106715395-gr1.jpg>
- [16] [https://www.researchgate.net/figure/Logic-technology-node-and-transistor-gate-length-versus-the-calendar-year-5\\_fig1\\_334684192](https://www.researchgate.net/figure/Logic-technology-node-and-transistor-gate-length-versus-the-calendar-year-5_fig1_334684192)
- [17] [https://obrazki.elektroda.pl/1105479400\\_1349284089.png](https://obrazki.elektroda.pl/1105479400_1349284089.png)
- [18] [https://en.m.wikipedia.org/wiki/File:MOSFET\\_depletion-mode\\_n-channel\\_en.svg](https://en.m.wikipedia.org/wiki/File:MOSFET_depletion-mode_n-channel_en.svg)
- [19] <https://www.uio.no/studier/emner/matnat/ifi/IN3170/v21/ressurser/chapter5.pdf>
- [20] <https://core.ac.uk/download/pdf/36134353.pdf>