



# Χαρακτηρισμός και Μοντελοποίηση Τρανζίστορ Τύπου HV-LDMOSFET

Characterization and modeling of HV-LDMOSFETs

*Διπλωματική εργασία*

**Φουστέρης Γεώργιος**

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

Πολυτεχνείο Κρήτης

Χανιά

Δεκέμβριος 2019

Εξεταστική επιτροπή:

Αναπληρωτής Καθηγητής Matthias Bucher, επιβλέπων

Καθηγητής Κωνσταντίνος Καλαϊτζάκης

Αναπληρωτής Καθηγητής Ευτύχιος Κουτρούλης

## Ευχαριστίες

Αυτή η διπλωματική εργασία είναι αφιερωμένη στην οικογένεια μου που με στηρίζει ψυχολογικά και οικονομικά σε κάθε μου βήμα.

Θα ήθελα να ευχαριστήσω τον κύριο Matthias Bucher ο οποίος μου έδωσε την ευκαιρία να ασχοληθώ με τον τομέα της ηλεκτρονικής.

Ευχαριστώ πολύ τα μέλη του εργαστηρίου ηλεκτρονικής και την ομάδα μικροηλεκτρονικής του Πολυτεχνείου, την Αλεξία Παπαδουπούλου, τον Νίκο Μακρή και πιο πολύ τον Λουκά Χέβα που χωρίς την πολύτιμη βοήθειά του και τις συμβουλές του δεν θα είχα ολοκληρώσει αυτή την εργασία.

Τέλος, θέλω να ευχαριστήσω τους φίλους μου που με στηρίζουν και με αντέχουν.

## Πρόλογος

Οι διατάξεις HV-LDMOSFET προτείνονται για εφαρμογές με αντοχή σε σχετικά υψηλή τάση, όπως τα ηλεκτρονικά αυτοκινήτων, οθόνες, ενισχυτές RF κ.α. Αντικείμενο αυτής της διπλωματικής εργασίας είναι ο ηλεκτρικός χαρακτηρισμός και η συμπαγής μοντελοποίηση διατάξεων HV-LDMOSFET (High-Voltage Lateral Diffused MOSFET). Ο πειραματικός χαρακτηρισμός έγινε πάνω σε wafer στις εγκαταστάσεις του εργαστηρίου Ηλεκτρονικής του Πολυτεχνείου Κρήτης. Μελετήθηκαν τρανζίστορ HV-LDMOS 24V και 30V καναλιού τύπου n και p, με έμφαση στην διαμόρφωση της απόδοσης συναρτήσει του μήκους καναλιού. Παρουσιάζονται οι τεχνικές εξαγωγής των παραμέτρων, οι μετρήσεις από διαφορετικά dies του wafer και οι μέσοι όροι των στοιχείων με επεξήγηση των φαινομένων που επικρατούν.

Η προσέγγιση της συμπαγούς μοντελοποίησης βασίστηκε σε μοντέλα MOSFET EKV 2.6 (low voltage part) και του JFET spectre (drift region), λόγω της ευρείας διαθεσιμότητας των μοντέλων. Το λογισμικό που χρησιμοποιήθηκε για τις μετρήσεις καθώς και την υλοποίηση της διαδικασίας της εξαγωγής των παραμέτρων είναι το IC-CAP της Keysight καθώς και ο προσομοιωτής Spectre της Cadence. Τα αποτελέσματα της μοντελοποίησης αξιολογούνται και προτείνονται μελλοντικές εργασίες.

Η διπλωματική εργασία αποτελείται από:

- Το κεφάλαιο 1 στο οποίο γίνεται αναφορά στα διπολικά τρανζίστορ, στα MOSFET και στα LDMOS.
- Το κεφάλαιο 2 στο οποίο γίνεται λόγος για τη δομή και τη λειτουργία των MOSFET και των JFET. Επίσης, σε αυτό το κεφάλαιο αναλύονται οι DMOS συσκευές και τα φαινόμενα που εμφανίζονται σε αυτές.
- Το κεφάλαιο 3 στο οποίο παρουσιάζεται ο τρόπος που μοντελοποιήθηκαν τα LDMOS σε αυτή την εργασία καθώς και τα μοντέλα που χρησιμοποιήθηκαν για την εξαγωγή παραμέτρων.
- Το κεφάλαιο 4 στο οποίο περιγράφεται η πειραματική διαδικασία, παρουσιάζονται οι μετρήσεις από τις οποίες προήλθαν οι μέσοι όροι, αναλύεται η εξαγωγή βασικών παραμέτρων και τέλος παρατείνονται τα αποτελέσματα των μετρήσεων και της εξαγωγής των παραμέτρων, καθώς και σύντομος σχολιασμός αυτών.

## Περιεχόμενα

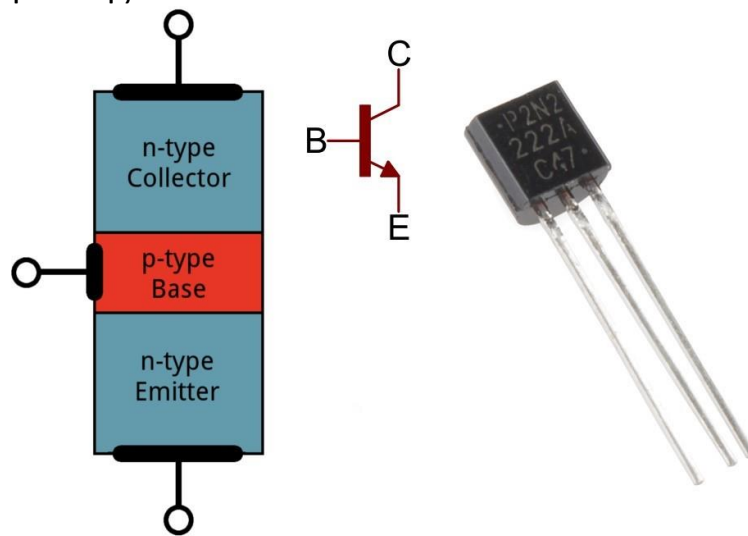
Ευχαριστίες .....	2
Πρόλογος .....	3
Περιεχόμενα.....	4
 Κεφάλαιο 1.....	5
1.1 Τι είναι το τρανζίστορ .....	5
1.2 Τι είναι το MOSFET .....	6
1.3 Τι είναι το LDMOS .....	6
 Κεφάλαιο 2.....	7
2.1 Δομή n-type MOSFET .....	7
2.2 Δομή p-type MOSFET .....	9
2.3 Λειτουργία MOSFET .....	11
2.4 Βαθμός αναστροφής καναλιού.....	14
2.5 Δομή και λειτουργία ενός JFET ( τρανζίστορ επίδρασης πεδίου) .....	17
2.6 Είδη Diffused MOSFET (DMOS) .....	21
Δομή και λειτουργία Lateral Diffused MOSFET .....	23
2.7 Φαινόμενα που συναντάμε στο εσωτερικό (inner) MOSFET/low voltage κομμάτι ενός LDMOS [7]:.....	23
2.8 Φαινόμενα που παρουσιάζονται στην high voltage περιοχή (drift region) [7] , [5] , [6]: .....	25
 Κεφάλαιο 3.....	29
3.1 Μοντελοποίηση LDMOS [11], [13], [14].....	29
3.2 Μοντέλα EKV 2.6 και JFET (spectre) .....	32
 Κεφάλαιο 4.....	36
4.1 Περιγραφή πειραματικής διαδικασίας .....	36
4.2 Παρουσίαση Μετρήσεων και μέσοι όροι.....	40
4.3 Εξαγωγή παραμέτρων .....	43
4.4 Παρουσίαση αποτελεσμάτων.....	47
nMOS 24V 3μm (long channel).....	47
nMOS 24V 1.75 μm (Short channel) .....	50
pMOS 24V 2.5μm (Long channel) .....	53
pMOS 24V 0.875μm (Short channel) .....	56
Scaling Plots 24V .....	59
nMOS 30V 3.5μm (long channel).....	61
nMOS 30V 2.5μm (short channel).....	64
pMOS 30V 2.5μm (long channel).....	67
pMOS 30V 1μm (short channel).....	70
Scaling Plots 30V .....	73
4.5 Σχολιασμός αποτελεσμάτων .....	75
 Βιβλιογραφία.....	77



# Κεφάλαιο 1

## 1.1 Τι είναι το τρανζίστορ

Το τρανζίστορ είναι το βασικό ενεργό συστατικό σε όλα σχεδόν τα σύγχρονα ηλεκτρονικά συστήματα και αποτελεί μία από τις μεγαλύτερες εφευρέσεις του 20ου αιώνα. Το τρανζίστορ (transistor, ακρωνύμιο της φράσης transfer resistor) είναι μία διάταξη ημιαγωγών στερεάς κατάστασης, που κατασκευάστηκε τον Δεκέμβριο του 1947 στα εργαστήρια της Bell Telephone, στις ΗΠΑ, από τους John Bardeen, Walter Brattain και William Shockley, οι οποίοι τιμήθηκαν το 1956 με το βραβείο Νόμπελ φυσικής.



Εικόνα 1.1 Διπολικό τρανζίστορ.

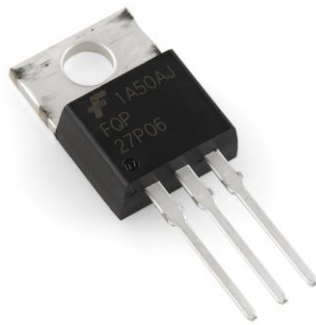
Το τρανζίστορ μπορεί να χρησιμοποιηθεί ως ενισχυτής, σταθεροποιητής τάσης, διαμορφωτής συχνότητας, ως διακόπτης και ως μεταβλητή ωμική αντίσταση.

Η επίδραση του τρανζίστορ στην ηλεκτρονική υπήρξε τεράστια. Εκτός από την τεράστια βιομηχανία ημιαγωγών, το τρανζίστορ οδήγησε σε πολλές σχετικές εφευρέσεις, όπως τα ολοκληρωμένα κυκλώματα, οι οπτοηλεκτρονικές διατάξεις και οι μικροϋπολογιστές. Οι περισσότερες ηλεκτρονικές συσκευές σχεδιάζονται σήμερα με ημιαγωγά στοιχεία. Το πυρίτιο ως ημιαγωγός αποτελεί το βασικό υλικό για την υλοποίηση μιας μεγάλης κατηγορίας ολοκληρωμένων κυκλωμάτων.

Σήμερα υπάρχουν διάφοροι τύποι τρανζίστορ όπως τα BJT, JFET, MOS ή MOSFET κ.α.

## 1.2 Τι είναι το MOSFET

Το MOSFET λόγω της κατασκευής του αποτελεί τον πλέον διαδεδομένο τύπο τρανζίστορ στα ολοκληρωμένα κυκλώματα. Τα MOSFET είναι τρανζίστορ επίδρασης πεδίου, (Field Effect Transistor), απομονωμένης εισόδου, παρουσιάζουν πολύ χαμηλή κατανάλωση ισχύος συγκριτικά με αντίστοιχα κυκλώματα με διπολικά τρανζίστορ (BJT), όμως υστερούν ως προς την ταχύτητα λειτουργίας τους. Μια δομή MOSFET δημιουργείται από την υπέρθεση πολλαπλών στρωμάτων αγωγίμων και μονωτικών υλικών. Η τεχνολογία CMOS χρησιμοποιεί δύο τύπους τρανζίστορ, το n-MOS και το p-MOS.



Εικόνα 1.2 MOSFET

## 1.3 Τι είναι το LDMOS

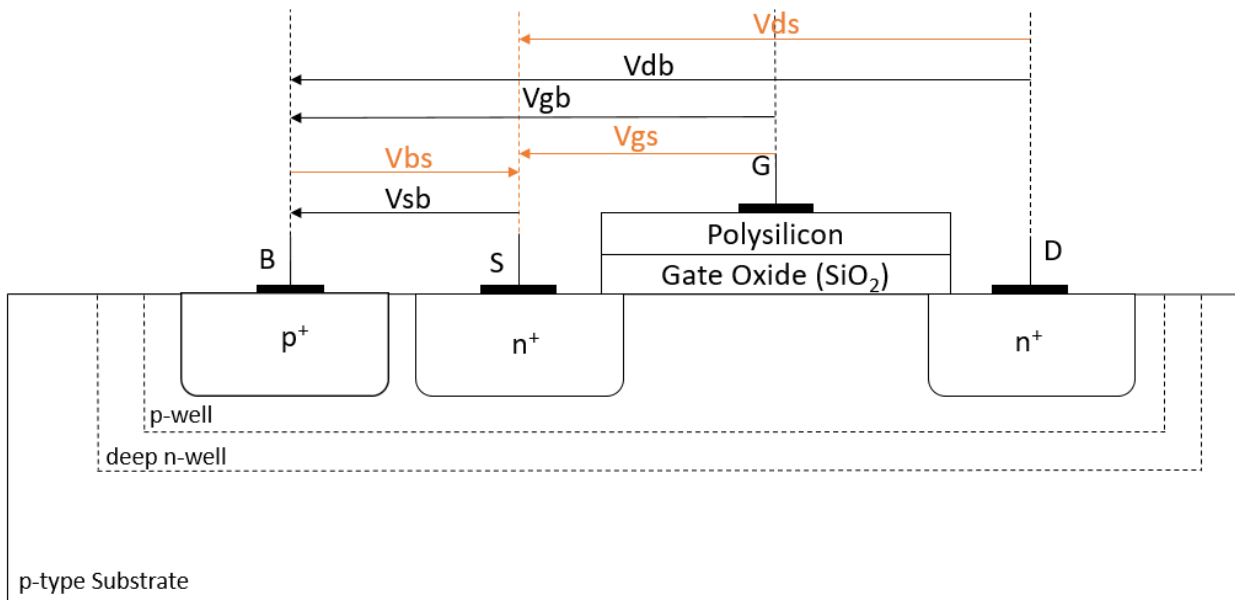
Το LDMOS (Laterally-diffused metal-oxide semiconductor) είναι ένα επίπεδο MOSFET διπλής διάχυσης που χρησιμοποιείται σε ενισχυτές, σε ενισχυτές ισχύος RF, σε ενισχυτές ηχητικής ισχύος, σε εύκαμπτες οθόνες [12], σε ηλεκτρικές εφαρμογές στην αυτοκινητοβιομηχανία και γενικά σε εφαρμογές που απαιτούν υψηλή τάση.



Εικόνα 1.3 LDMOS

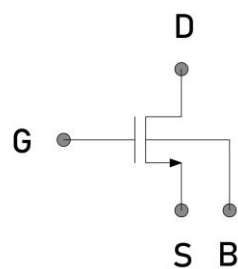
## Κεφάλαιο 2

### 2.1 Δομή n-type MOSFET

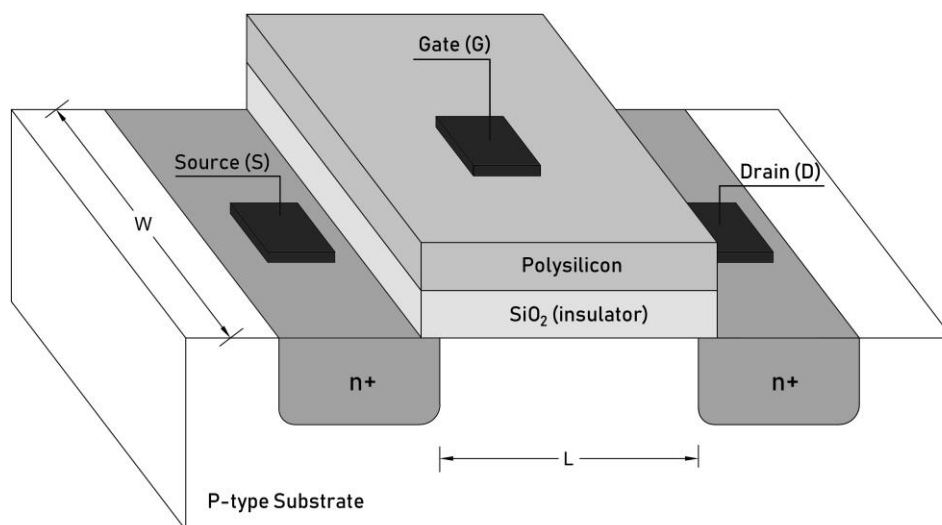


Εικόνα 2.1.1 Δισδιάστατη απεικόνιση nMOS transistor.

### NMOS



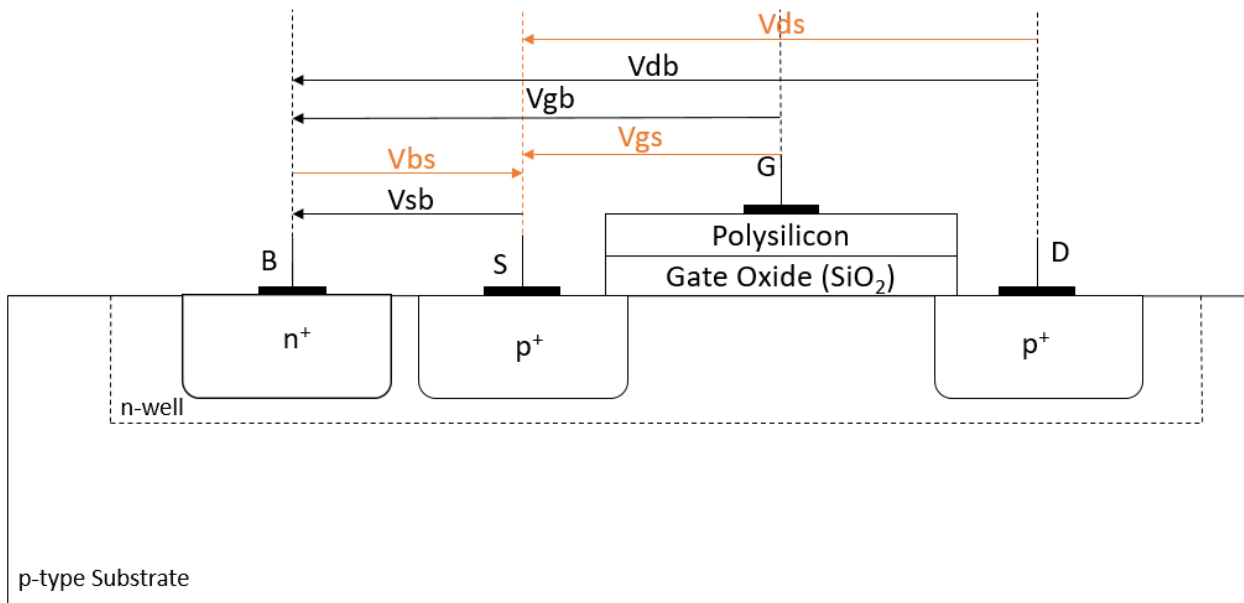
Εικόνα 2.1.2 Κυκλωματικό σύμβολο nMOS.



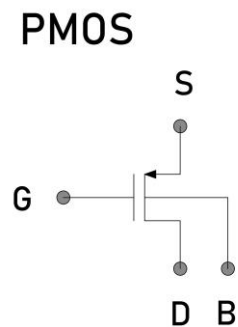
Εικόνα 2.1.3 Τρισδιάστατη απεικόνιση nMOS τρανζίστορ.

Στην εικόνα 2.1.1 παρουσιάζεται η εγκάρσια δομή ενός nMOS τρανζίστορ. Αποτελείται από δύο νησίδες με τύπο διάχυσης  $n^+$  και μία νησίδα με τύπο διάχυσης  $p$ . Η μία νησίδα με διάχυση τύπου  $n^+$  ονομάζεται πηγή (Source) και η άλλη απαγωγός (Drain). Η νησίδα της πηγής είναι η περιοχή όπου θα ξεκινούν οι φορείς του ηλεκτρικού ρεύματος (ηλεκτρόνια). Η νησίδα του απαγωγού είναι η περιοχή που θα καταλήγουν τα ηλεκτρόνια. Οι δύο αυτές νησίδες είναι πανομοιότυπες αφού οι διαχύσεις είναι τύπου  $n^+$  και καταλαμβάνουν την ίδια επιφάνεια με το ίδιο βάθος διάχυσης. Η πύλη (Gate) είναι ο τρίτος ακροδέκτης του τρανζίστορ. Η πύλη είναι συνήθως κατασκευασμένη από κάποιο μέταλλο ή πολυκρυσταλλικό πυρίτιο (polysilicon ή εν συντομία Poly). Μεταξύ της πύλης και του υποστρώματος υπάρχει μονωτικό στρώμα το οποίο ονομάζεται οξείδιο της πύλης (gate -oxide). Ο τέταρτος και τελευταίος ακροδέκτης ενός nMOS τρανζίστορ ονομάζεται Body (ή Substrate) και είναι η ηλεκτρική επαφή του υποστρώματος πάνω στο οποίο κατασκευάζεται το τρανζίστορ. Η απόσταση  $L$  μεταξύ των νησίδων απαγωγού και πηγής ονομάζεται μήκος καναλιού (channel length). Η πύλη καλύπτει επιφάνεια με πλάτος  $W$  το οποίο ονομάζεται πλάτος καναλιού (channel width). Οι νησίδες τύπου  $n^+$  εκτείνονται σε εύρος ίσο με  $W$  όσο είναι και το πλάτος της επιφάνειας της πύλης.

## 2.2 Δομή p-type MOSFET



Εικόνα 2.2.1 Εγκάρσια απεικόνιση pMOS τρανζίστορ.



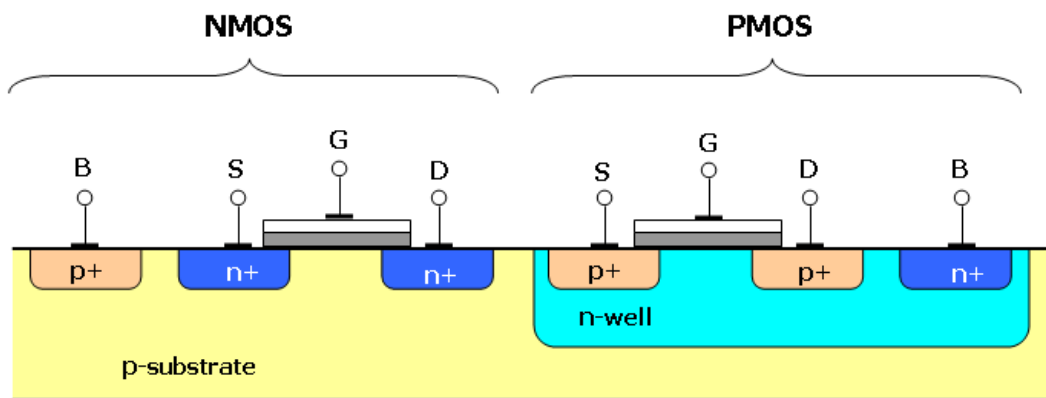
Εικόνα 2.2.2 Κυκλωματικό σύμβολο pMOS.

Όσον αφορά τα pMOS το ρεύμα που τα διαρρέει είναι ρεύμα σπών. Οι νησίδες διάχυσης τύπου p και τύπου n<sup>+</sup> είναι υλοποιημένες πάνω σε τοπικό υπόστρωμα (*local substrate*) πυριτίου τύπου n<sup>+</sup> (εικόνα 2.2.1). Το τοπικό υπόστρωμα τύπου n<sup>+</sup>

ονομάζεται πηγάδι τύπου  $n^+$  (*n-well*).

Η μία νησίδα τύπου  $p$  ονομάζεται πηγή (Source) και η άλλη νησίδα απαγωγός (Drain). Η νησίδα της πηγής είναι η περιοχή όπου θα ξεκινούν οι φορείς του ηλεκτρικού ρεύματος, δηλαδή οι σπές, και η νησίδα του απαγωγού θα είναι η περιοχή όπου θα καταλήγουν οι σπές. Οι δύο αυτές νησίδες διάχυσης είναι πανομοιότυπες αφού είναι και οι δύο τύπου  $p$  με ίδια επιφάνεια και βάθος διάχυσης. Η πύλη (Gate) των  $p$ MOS τρανζίστορ υλοποιείται όπως και στα  $n$ MOS τρανζίστορ. Μεταξύ της πύλης και του υποστρώματος υπάρχει μονωτικό στρώμα το οποίο ονομάζεται οξείδιο της πύλης (gate-oxide). Το οξείδιο απομονώνει την πύλη με το πηγάδι τύπου  $n^+$  με αποτέλεσμα να μην υπάρχει ηλεκτρική επαφή μεταξύ τους. Ο τέταρτος ακροδέκτης (body) ενός  $p$ MOS τρανζίστορ είναι το πηγάδι τύπου  $n$ .

Για το μήκος( $L$ ) και το πλάτος( $W$ ) καναλιού ισχύει ό,τι και στα  $n$ MOS.



Εικόνα 2.2.3 Τεχνολογία CMOS.

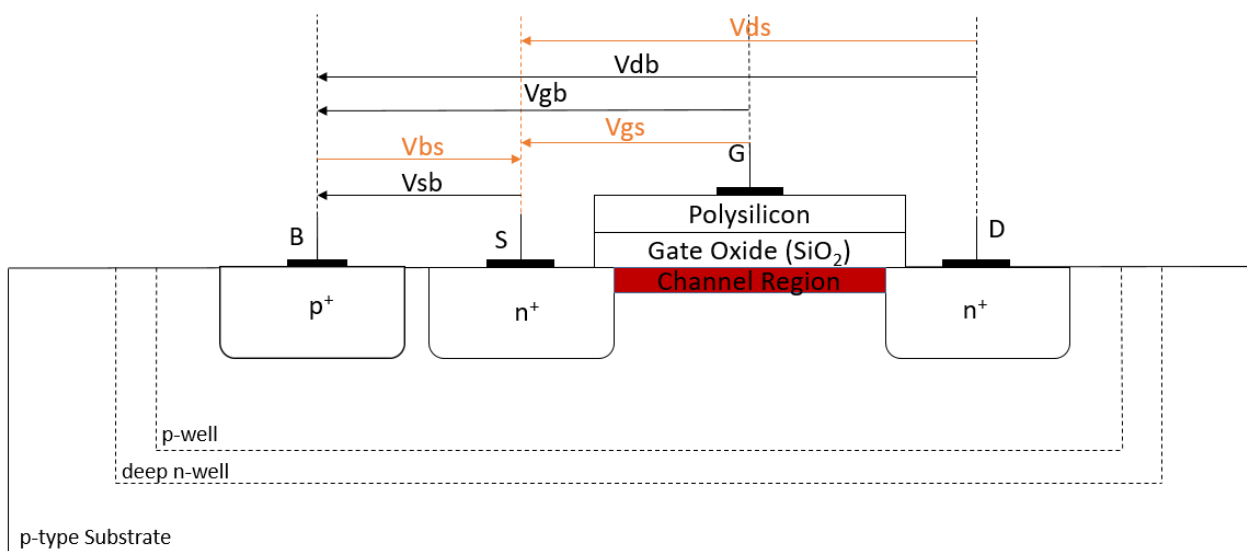


του υποστρώματος που βρίσκεται ακριβώς κάτω από το οξείδιο της πύλης. Έτσι, κάτω από το οξείδιο της πύλης δημιουργείται μια πολύ στενή περιοχή μέσα στο υπόστρωμα και πολύ κοντά στην επιφάνεια του όπου δεν υπάρχουν καθόλου οπές. Η περιοχή αυτή ονομάζεται περιοχή απογύμνωσης.

Αυξάνοντας περισσότερο το δυναμικό της πύλης ως προς το υπόστρωμα, η περιοχή απογύμνωσης φτάνει σε ένα μέγιστο όριο, επειδή αποτελείται από ιόντα του κρυσταλλικού πλέγματος. Οι οπές, επειδή είναι ελεύθεροι φορείς, μπορούν να φτάσουν σε μεγαλύτερο βάθος μέσα στο υπόστρωμα σε σχέση με την περιοχή απογύμνωσης. Φυσικά και οι οπές είναι ικανές να εισχωρήσουν μέχρι ένα μέγιστο βάθος.

Όταν η τάση στην πύλη ξεπεράσει κάποιο όριο τότε ακριβώς στην διεπιφάνεια οξειδίου-υποστρώματος θα έλκονται πλέον ηλεκτρόνια. Τα ηλεκτρόνια αυτά υπάρχουν ήδη στο υπόστρωμα τύπου p αλλά είναι φορείς μειονότητας, έχουν δηλαδή πολύ μικρή συγκέντρωση σε σχέση με την συγκέντρωση των οπών. Οπότε στην διεπιφάνεια οξειδίου-υποστρώματος συντελείτε το φαινόμενο της αναστροφής των φορέων, δηλαδή οι οπές παύουν να είναι οι φορείς πλειονότητας ενώ τα ηλεκτρόνια γίνονται οι φορείς πλειονότητας. Με αυτό τον τρόπο δημιουργείται ένα κανάλι ελεύθερων ηλεκτρονίων που συνδέει τις νησίδες απαγωγού και πηγής.

Η ελάχιστη τάση που πρέπει να εφαρμοστεί στην πύλη για να συντελεστεί η αναστροφή των φορέων ονομάζεται τάση κατωφλίου (Threshold Voltage) και συμβολίζεται με  $V_{th}$ .



Εικόνα 2.3.2 Δημιουργία καναλιού ( $V_{gs} \geq V_{th}$  και  $V_{ds} = 0$ ).

Αν εφαρμοστεί τάση μεταξύ του απαγωγού και της πηγής ( $V_{ds} > 0$ ) όταν έχουμε μια σταθερή τάση  $V_g$ , τότε το κανάλι διαρρέεται από ρεύμα με συμβατική φορά από τον απαγωγό προς την πηγή. Όσο αυξάνεται η τάση  $V_{ds}$  τόσο αυξάνεται το ρεύμα  $I_d$

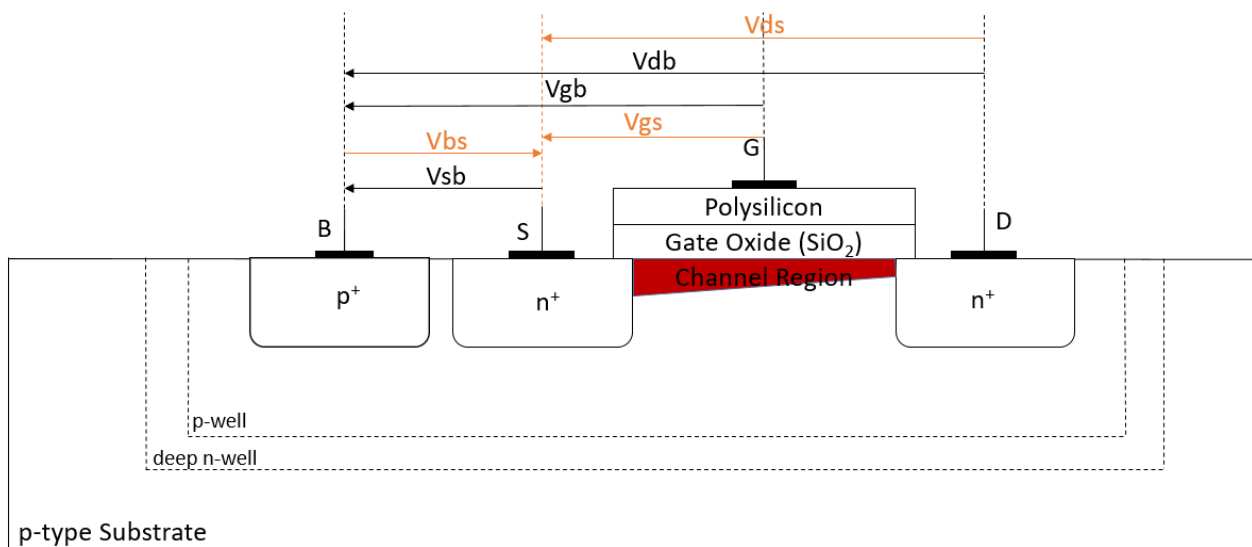


και το κανάλι στενεύει από την πλευρά του απαγωγού. Τότε το κανάλι βρίσκεται στην γραμμική περιοχή (linear region) διότι το ρεύμα στο κανάλι εξαρτάται γραμμικά από την τάση στον απαγωγό ( $V_{ds}$ ). Η σχέση που περιγράφει τη γραμμική εξάρτηση του ρεύματος με την τάση στον απαγωγό είναι:

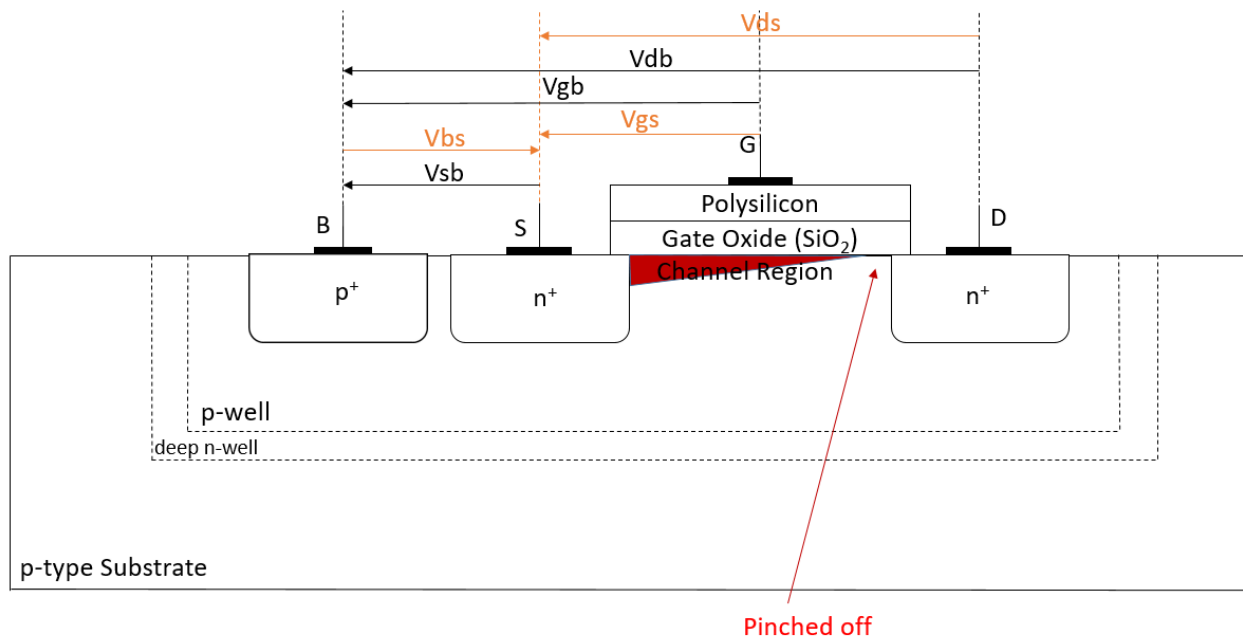
$$I_d = Kp \frac{W}{L} [(V_{gs} - V_{th}) - \frac{V_{ds}}{2}] V_{ds}$$

Όταν η τάση  $V_{ds}$  υπερβεί την τιμή του κόρου  $V_{ds,sat}$ , το τρανζίστορ βρίσκεται στην περιοχή κορεσμού (saturation) και το κανάλι στην πλευρά του απαγωγού μηδενίζεται, είναι pinched-off. Η σχέση του ρεύματος στον κορεσμό είναι:

$$I_d = \frac{Kp}{2} \times \frac{W}{L} (V_{gs} - V_{th})^2$$



Εικόνα 2.3.3 nMOS τρανζίστορ στη γραμμική περιοχή (linear region με  $V_{gs} > V_{th}$  και αυξημένο  $V_{ds}$ ).



Εικόνα 2.3.4 nMOS σε αποκοπή (Pinched off).

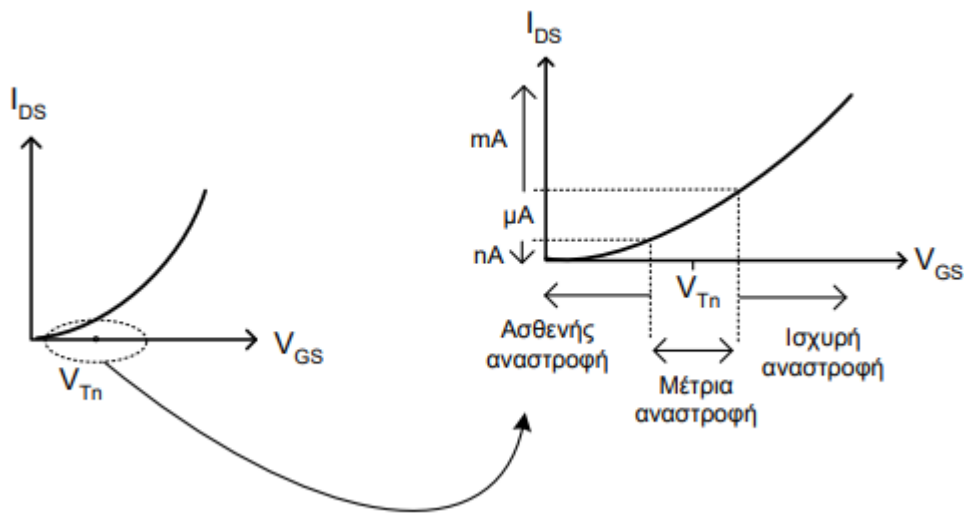
## 2.4 Βαθμός αναστροφής καναλιού

Η αναστροφή των φορέων δεν είναι φαινόμενο που εμφανίζεται απότομα μόλις η τάση  $V_{gs}$  ξεπεράσει την τάση κατωφλίου. Στο επόμενο σχήμα βλέπουμε τρεις χαρακτηριστικές περιπτώσεις αναστροφής των φορέων για ένα MOS. Οι περιπτώσεις αυτές σχετίζονται με την τιμή του overdrive voltage δηλαδή με τη διαφορά της τάσης  $V_{gs}$  με την τάση κατωφλίου ( $V_{gs}-V_{th}$ ). Πιο συγκεκριμένα, ακόμα και στην περίπτωση που η τάση  $V_{gs}$  είναι μικρότερη από την τάση κατωφλίου τότε έχουμε αναστροφή φορέων αλλά η συγκέντρωση των ελεύθερων φορέων είναι πολύ χαμηλή. Σε αυτή την περίπτωση έχουμε ασθενή αναστροφή (weak inversion) φορέων και το ρεύμα  $I_{ds}$  είναι της τάξης μεγέθους pA-nA. Όταν η τάση στην πύλη είναι περίπου ίση με την τάση κατωφλίου τότε έχουμε μέτρια αναστροφή φορέων (moderate inversion) και το  $I_{ds}$  ρεύμα είναι της τάξης μεγέθους nA-uA. Τέλος, όταν η τάση στην πύλη γίνει αρκετά μεγαλύτερη από τη τάση κατωφλίου τότε έχουμε ισχυρή αναστροφή φορέων (strong inversion) και το ρεύμα  $I_{ds}$  είναι της τάξης μεγέθους uA έως αρκετές δεκάδες Ampere ανάλογα με το μέγεθος του MOSFET. Μόνο στην ισχυρή αναστροφή φορέων ισχύει ο τετραγωνικός νόμος, ενώ στην ασθενή αναστροφή η σχέση  $I_{ds}-V_{gs}$  έχει εκθετική μορφή. Συγκεντρωτικά έχουμε τα παρακάτω αποτελέσματα.

Το IC (inversion coefficient) είναι η κανονικοποιημένη μορφή του  $I_{ds}$  ως προς ένα  $I_0$  (πολλαπλασιασμένο με το  $W/L$  του συγκεκριμένου τρανζίστορ). Το  $I_0$  ορίζεται το χαρακτηριστικό ρεύμα της τεχνολογίας.

- Σε weak inversion το  $IC < 1$ .
- Σε moderate inversion  $1 < IC < 10$ .

- Σε strong inversion  $I_C > 10$ .

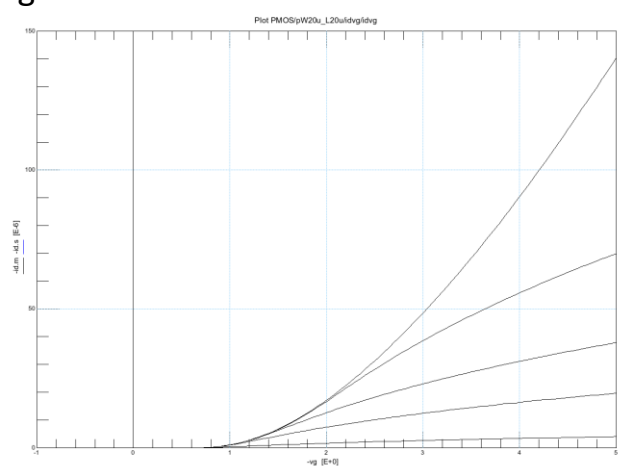
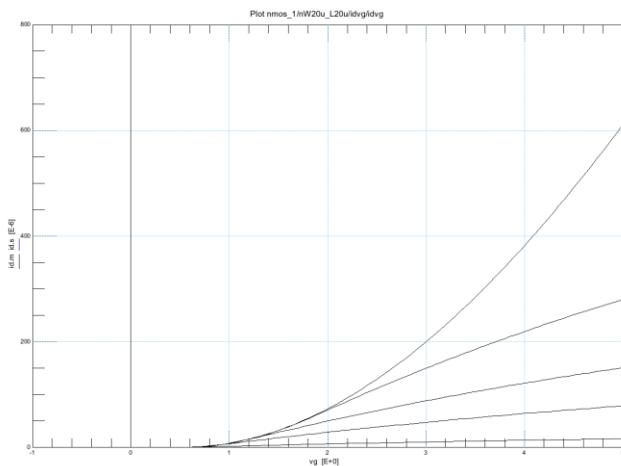


Εικόνα 2.4.1 Εξάρτηση του ρεύματος  $I_{DS}$  από την τάση  $V_{GS}$  και περιπτώσεις αναστροφής φορέων.

nMOS  $W=20\mu m$   $L=20\mu m$

pMOS  $W=20\mu m$   $L=20\mu m$

$i_{dvg}$



Εικόνες 2.4.2 Χαρακτηριστικές μεταφοράς ( $i_{dvg}$ ) για nMOS (αριστερά) και pMOS (δεξιά) με  $W=L=20\mu m$ ,  $T=25^\circ C$ .

Για τη χαρακτηριστική μεταφοράς του nMOS ισχύουν τα εξής:

$V_d = 50mV, 250mV, 500mV, 1V, 5V$ .

$V_g$  από  $-500mV$  έως  $5V$  με βήμα  $50mV$ .

$V_b = 0$ .

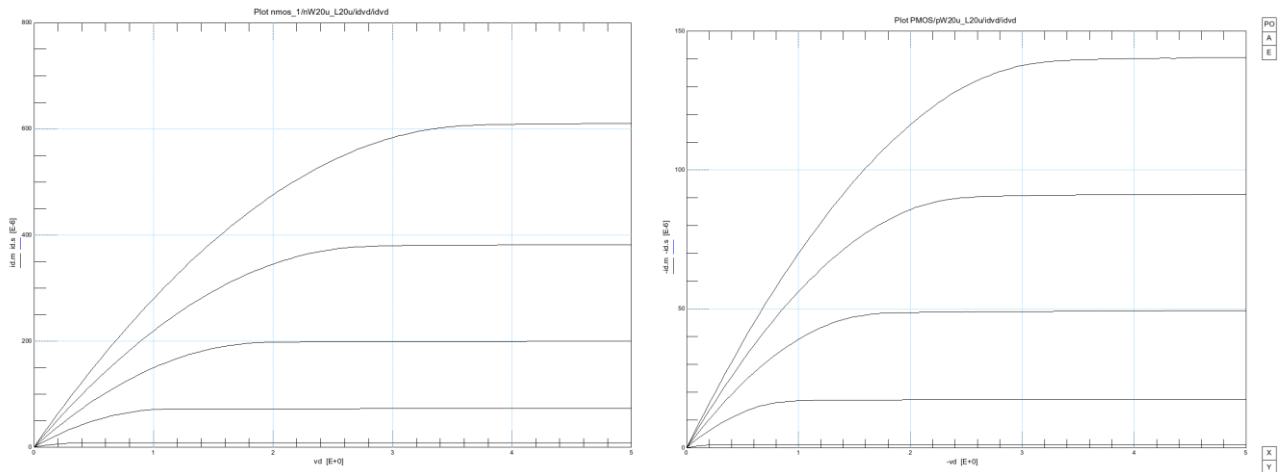
Για τη χαρακτηριστική μεταφοράς του pMOS ισχύουν τα εξής:

$V_d = -50mV, -250mV, -500mV, -1V, -5V$ .

$V_g$  από  $500mV$  έως  $-5V$  με βήμα  $-50mV$ .

$V_b = 0$ .

## idvd



Εικόνες 2.4.2 Χαρακτηριστικές εξόδου ( $i_{dvd}$ ) για nMOS (αριστερά) και pMOS (δεξιά) με  $W=L=20\mu\text{m}$ ,  $T=25^\circ\text{C}$ .

Για τη χαρακτηριστική εξόδου του nMOS ισχύουν τα εξής:

$V_d$  από  $-500\text{mV}$  έως  $5\text{V}$  με βήμα  $50\text{mV}$ .

$V_g$  από  $1\text{V}$  έως  $5\text{V}$  με βήμα  $1\text{V}$ .

$V_b=0$ .

Για τη χαρακτηριστική εξόδου του pMOS ισχύουν τα εξής:

$V_d$  από  $500\text{mV}$  έως  $-5\text{V}$  με βήμα  $-50\text{mV}$ .

$V_g$  από  $-1\text{V}$  έως  $-5\text{V}$  με βήμα  $-1\text{V}$ .

$V_b=0$ .

**Πίνακας 4.1** Περιπτώσεις αναστροφής φορέων ενός nMOS<sup>(1)</sup>

Αναστροφή	Συνθήκες	Τάξη μεγέθους $I_{DS}$	$I_{DS}-V_{GS}$
Ασθενής	$V_{GS}-V_{Tn} < -3kT/q = -75\text{mV}$	pA-nA	εκθετική
Μέτρια	$-3kT/q < V_{GS}-V_{Tn} < 3kT/q$	nA-μA	
Ισχυρή	$V_{GS}-V_{Tn} > 3kT/q = +75\text{mV}$	μA-mA	τετραγωνική

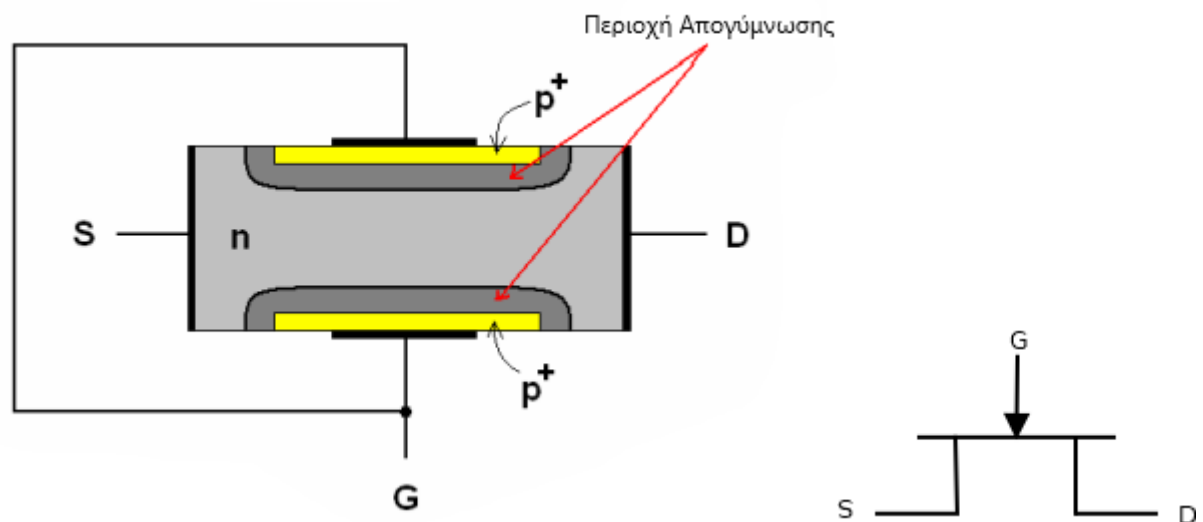
<sup>(1)</sup> Τα αντίστοιχα ισχύουν και για ένα pMOS αρκεί αντικατασταθεί το  $V_{Tn}$  με το  $V_{Tp}$  και αλλάξει η φορά των ανισώσεων

## 2.5 Δομή και λειτουργία ενός JFET ( τρανζίστορ επίδρασης πεδίου επαφής)

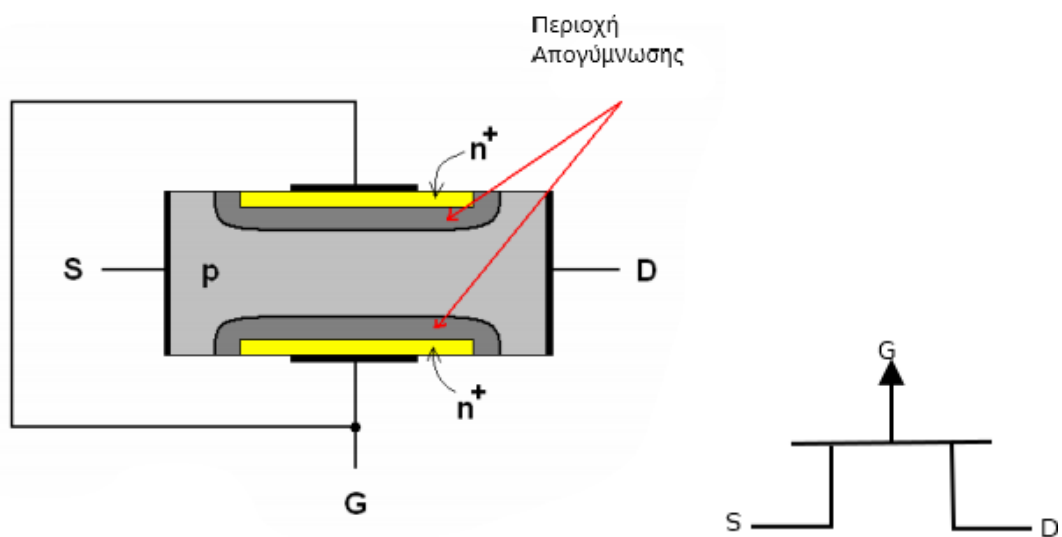
Τα τρανζίστορ επίδρασης πεδίου επαφής (junction FET) είναι διατάξεις στις οποίες οι φορείς του ηλεκτρικού ρεύματος είναι ενός είδους σε αντίθεση με τα διπολικά τρανζίστορ όπου συνεισφέρουν στο ηλεκτρικό ρεύμα τόσο οι φορείς πλειονότητας όσο και οι φορείς μειονότητας. Οι φορείς αυτοί είναι ελεύθεροι να κινούνται σε μια περιοχή (κανάλι, δίαυλος) που οριοθετείται από τις περιοχές φορτίων χώρου (απογύμνωσης) δύο ανάστροφα πολωμένων pn επαφών.

Το τρανζίστορ επίδρασης πεδίου επαφής αποτελείται από έναν κρύσταλλο πυριτίου τύπου n στις δύο πλευρές του οποίου σχηματιστεί p-περιοχές μεγάλης συγκέντρωσης προσμίξεων (p+ ). Ένα τέτοιο FET ονομάζεται n-τύπου JFET. Οι δύο αυτές περιοχές βραχυκυκλώνονται μεταξύ τους και καταλήγουν σε έναν ακροδέκτη που ονομάζεται πύλη.

Στα δύο άκρα του κρυστάλλου υπάρχουν δύο ακροδέκτες. Τα δύο άκρα του κρυστάλλου είναι εν γένει ισοδύναμα μεταξύ τους (σε αντίθεση με το διπολικό τρανζίστορ όπου ο εκπομπός διαφέρει από το συλλέκτη στα επίπεδα προσμίξεων). Στους ακροδέκτες του FET αποδίδεται ονομασία ανάλογα με τη συνδεσμολογία. Έτσι, το άκρο στο οποίο κατευθύνονται οι φορείς πλειονότητας ονομάζεται απαγωγός (Drain) και καταδεικνύεται με το γράμμα D ενώ το άλλο άκρο ονομάζεται πηγή (Source) και καταδεικνύεται με το γράμμα S. Με βάση τα παραπάνω, για να θεωρείται ο δεξιός ακροδέκτης του n-τύπου JFET ως απαγωγός θα πρέπει να συνδέεται σε υψηλότερο δυναμικό από ότι ο αριστερός ακροδέκτης που χαρακτηρίζεται ως πηγή. Σε περίπτωση που εναλλάσσεται η πολικότητα της τάσης μεταξύ των δύο ακροδεκτών εναλλάσσεται και η ονομασία τους. Σε κάθε περίπτωση για τη σωστή λειτουργία του τρανζίστορ θα πρέπει οι δύο p + -n επαφές να είναι ανάστροφα πολωμένες.

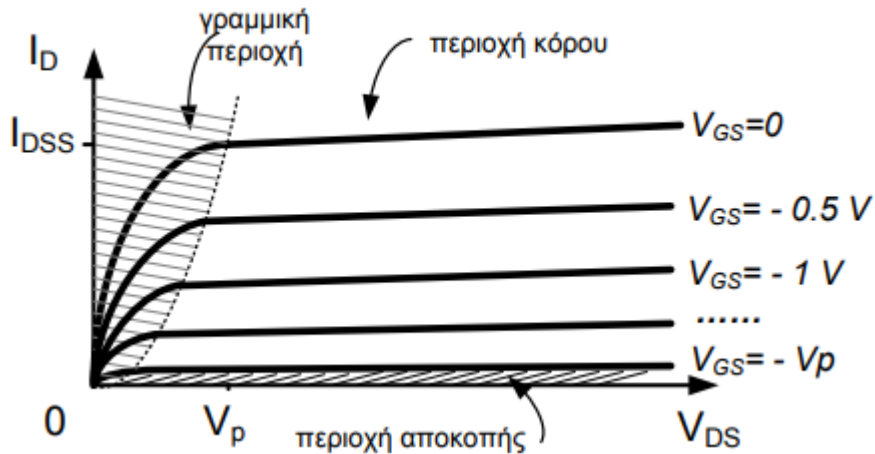


Εικόνα 2.5.1 Δομή και σύμβολο n-τύπου JFET.



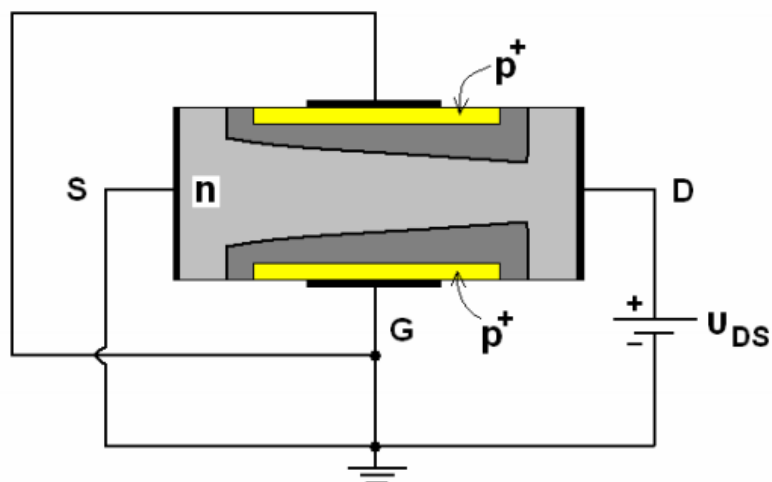
Εικόνα 2.5.2 Δομή και σύμβολο p-τύπου JFET.

Για τη λειτουργία του JFET θα μελετηθεί η μεταβολή του ρεύματος  $I_D$  σε σχέση με τις μεταβολές των  $V_{DS}$  και  $V_{GS}$ . Το αποτέλεσμα της λειτουργίας του JFET, που περιγράφεται στη συνέχεια, αποτυπώνεται στις χαρακτηριστικές εξόδου σε συνδεσμολογία κοινής πηγής, όπως φαίνονται στο παρακάτω σχήμα.



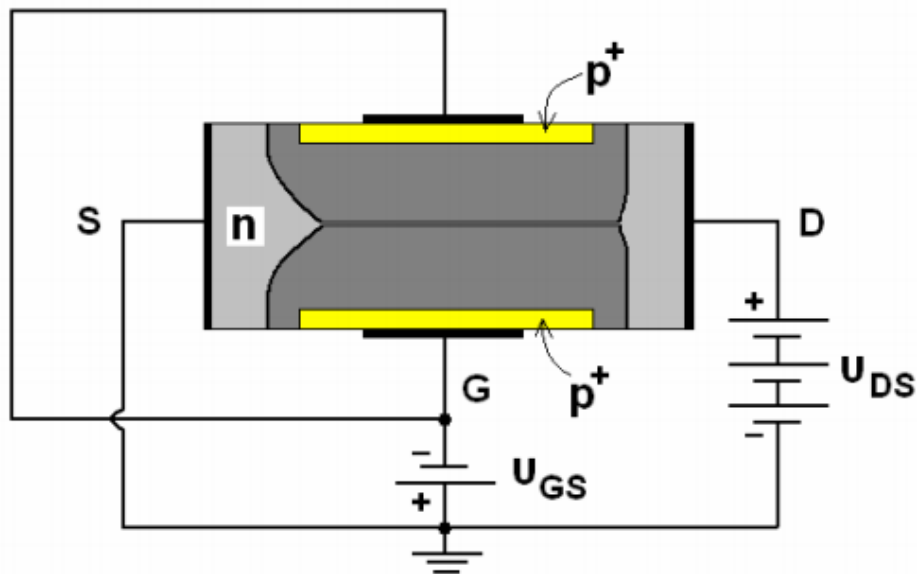
Εικόνα 2.5.3 Χαρακτηριστική εξόδου JFET.

Αρχικά θεωρούμε ότι η  $V_{GS}$  είναι μηδενική. Η  $V_{DS}$ , αρχικά είναι μηδέν και στη συνέχεια αυξάνεται σταδιακά. Κατά την αύξηση της  $V_{DS}$  οι περιοχές απογύμνωσης γύρω από τα Gate διευρύνονται προς την πλευρά του απαγωγού, καθώς η επαφή μεταξύ πύλης και καναλιού είναι ανάστροφα πολωμένη. Όσο αυξάνει η  $V_{DS}$  τόσο αυξάνει και το ρεύμα υποδοχής  $I_D$ , έως ότου η περιοχή απογύμνωσης διευρυνθεί τόσο πολύ, κλείνοντας το κανάλι. Από εκείνη τη στιγμή και έπειτα περαιτέρω αύξηση της  $V_{DS}$  φράζει ακόμη περισσότερο το κανάλι, η αντίσταση του καναλιού μεγαλώνει και το  $I_D$  παραμένει περίπου σταθερό κυρίως λόγω της μεγάλης αντίστασης αλλά και του κορεσμού της ταχύτητας των φορέων (velocity saturation). Η τιμή της τάσης  $V_{DS}$  για την οποία επέρχεται φραγή του καναλιού και σταθεροποιείται το  $I_D$  λέγεται τάση στραγγαλισμού  $V_P$  (pinch off voltage). Η τιμή του ρεύματος  $I_D$  κατά για τάση  $V_P$  και  $V_{GS} = 0$  συμβολίζεται ως  $I_{DSS}$  και είναι το μέγιστο ρεύμα που μπορεί να διέλθει από το συγκεκριμένο JFET.



Εικόνα 2.5.4 Συμπεριφορά JFET για  $V_{DS} > 0$ .

Αν πολώσουμε την πύλη με μία αρνητική τάση, δηλαδή  $V_{GS} < 0$ , τότε η αποκοπή του καναλιού θα έρθει νωρίτερα, καθώς η περιοχή απογύμνωσης θα μεγαλώνει νωρίτερα και το τελικό ρεύμα θα σταθεροποιείται σε μικρότερες τιμές από αυτό του  $IDSS$ . Η τάση αποκοπής  $V_{P'}$  θα βρίσκεται επίσης σε μικρότερες τιμές σε σχέση με την περίπτωση όπου ήταν  $V_{GS} = 0$ . Έτσι όσο πιο αρνητική γίνεται η  $V_{GS}$  τόσο μικραίνει η  $V_{P'}$ . Η τιμή  $V_{P'}$  σε σχέση με την  $V_{GS}$  δίδεται από τη σχέση  $V_{P'} = V_P - |V_{GS}|$ .



Εικόνα 2.5.5 Συμπεριφορά ενός JFET για αρνητική  $V_{GS}$ .

#### Περιοχές Λειτουργίας του JFET:

Όπως φαίνεται και στην εικόνα 2.4.3, το  $ID$  μηδενίζεται κάτω από μία τιμή της  $V_{GS}$ , η οποία σε απόλυτες τιμές είναι ίση με την  $V_P$ . Τότε το JFET βρίσκεται στην περιοχή αποκοπής. Υπάρχουν τρεις περιοχές λειτουργίας του FET: η γραμμική ή ωμική περιοχή, η περιοχή αποκοπής και η περιοχή κόρου.

- Η περιοχή αποκοπής, που όπως περιγράφηκε νωρίτερα ισχύει όταν  $ID = 0$  (για  $V_{GS} < -V_P$ ).
- Η γραμμική ή ωμική περιοχή λειτουργίας είναι όταν το  $V_{DS}$  είναι πολύ μικρή, μικρότερη της  $V_{P'}$  και  $-V_P < V_{GS} < 0$ .
- Τέλος, η περιοχή κόρου είναι για  $V_{DS} > V_{P'}$  και  $-V_P < V_{GS} < 0$ .



Σαν συμπέρασμα, το JFET λειτουργεί σαν αντίσταση για μικρές τιμές της  $V_{DS}$ , ενώ λειτουργεί σαν πηγή ρεύματος ελεγχόμενη από τάση για μεγάλες τιμές της  $V_{DS}$ . Το ρεύμα  $I_D$  ελέγχεται από την τάση  $V_{GS}$  σύμφωνα με τη σχέση:

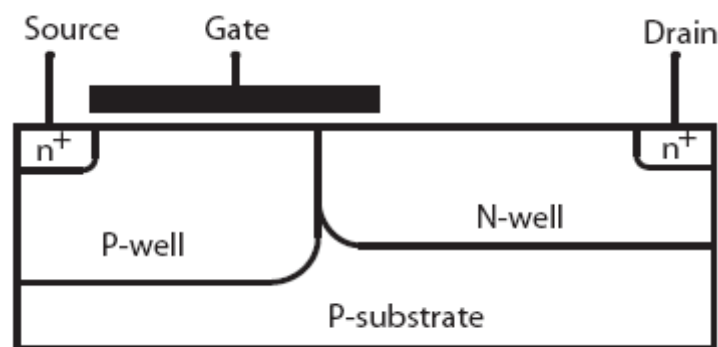
$$I_d = I_{dss} \left(1 - \frac{|V_{gs}|}{V_p}\right)^2$$

## 2.6 Είδη Diffused MOSFET (DMOS)

Τα High Voltage MOSFET (HVMOS) δημιουργήθηκαν λόγω των αυξημένων απαιτήσεων σε εφαρμογές βιομηχανικού τύπου, ηλεκτρικά συστήματα αυτοκινήτων, κυκλώματα υψηλής συχνότητας, DC-DC converters, DC-AC power inverters. Τα πλεονεκτήματα αυτών των τρανζίστορ είναι ότι μπορούν να μεταφέρουν υψηλό ρεύμα έχοντας παράλληλα χαμηλή κατανάλωση ενέργειας, μπορούν να χρησιμοποιηθούν για διακοπτική λειτουργία, η αντοχή τους σε μεγαλύτερες τάσεις σε σχέση με τα κοινά τρανζίστορ και το χαμηλό κόστος τους.

Τρεις είναι οι πιο διαδεδομένες συσκευές HVMOS. Τα drain-Extended MOSFET, τα Lateral Diffused MOSFET (LDMOS) και τα Vertical Diffused MOSFET (VDMOS).

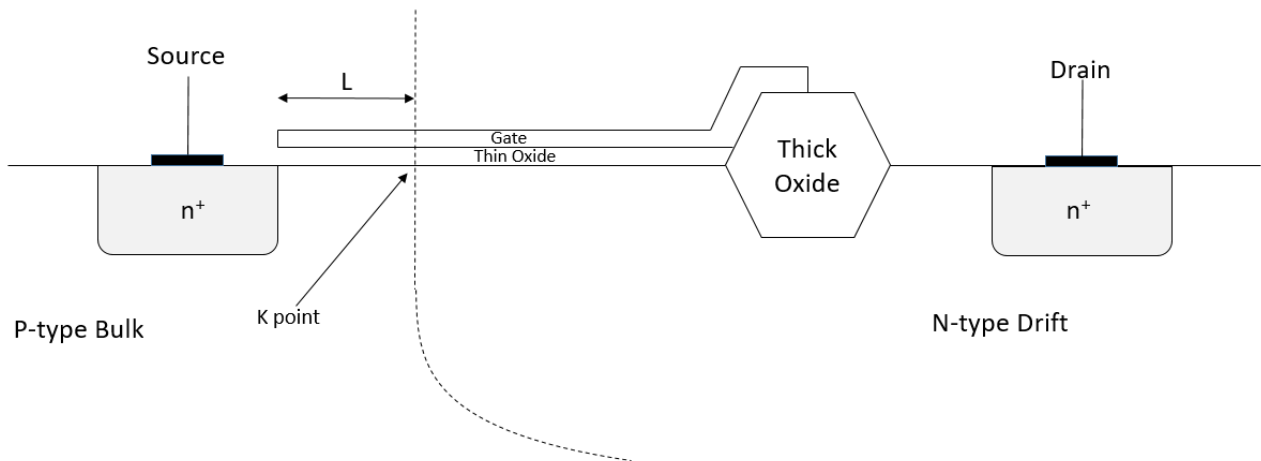
Τα Drain-Extended MOSFET μπορούν να λειτουργήσουν σε πολύ υψηλότερες τάσεις χωρίς σημαντική απώλεια απόδοσης και χωρίς πρόσθετες πολύπλοκες διαδικασίες κατά την κατασκευή τους.



Εικόνα 2.6.1 Drain-Extended MOSFET.

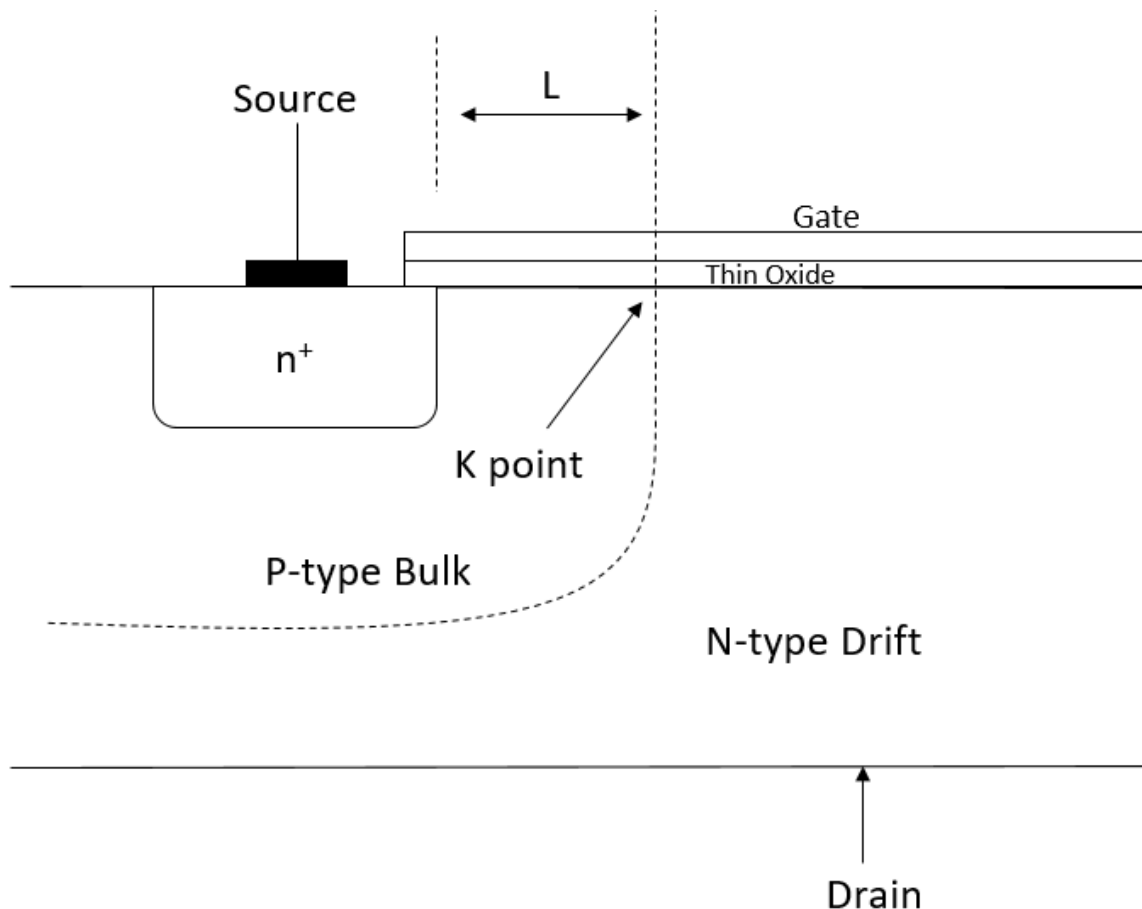
Τα Lateral Diffused MOSFET έχουν πολύ υψηλότερη τάση κατάρρευσης (breakdown voltage) από τις αρχιτεκτονικές Drain-Extended. Είναι ιδιαίτερα χρήσιμα σε

μετατροπείς τάσης λόγω των ταχυτήτων μεταγωγής τους.



Εικόνα 2.6.2 Lateral Diffused MOSFET.

Τα Vertical Diffused MOSFET αποτελούν την λύση στο αυξανόμενο πρόβλημα του μεγέθους του τσιπ για τις υψηλότερες τάσεις λειτουργίας. Θυσιάζουν όμως την ταχύτητα προς όφελος της χαμηλής αντίστασης καναλιού (on-resistance) και της δυνατότητας για πυκνότερη διάταξη λόγω της μεγάλης ευκολίας στην παράλληλη σύνδεση πολλών συσκευών.



Εικόνα 2.6.3 Vertical Diffused MOSFET.

## Δομή και λειτουργία Lateral Diffused MOSFET

Ένα LDMOS χωρίζεται σε δύο μέρη. Ονομάζουμε low voltage κομμάτι από την πηγή έως το σημείο k και high voltage κομμάτι από το σημείο k μέχρι τον απαγωγό (drift region).

Το low voltage κομμάτι μπορεί να περιγραφεί σαν ένα εσωτερικό (Inner) MOSFET και το σημείο k λειτουργεί σαν ένας εσωτερικός απαγωγός (Drain). Η αγωγή ρεύματος γίνεται σε ένα λεπτό στρώμα κάτω από το οξείδιο (2d) ενώ στο drift region (περιοχή μετατόπισης) η αγωγή ρεύματος γίνεται σε όλο τον όγκο του ημιαγωγού. Το τελευταίο παρουσιάζει μεγάλη ομοιότητα με τον τρόπο που άγει ρεύμα ένα JFET.

### 2.7 Φαινόμενα που συναντάμε στο εσωτερικό (inner) MOSFET/low voltage κομμάτι ενός LDMOS [7]:

#### Μείωση της κινητικότητας από το κάθετο πεδίο (Vertical Field Mobility Reduction-VFMR):

Η τιμή της κινητικότητας είναι ανεξάρτητη της θέσης στο κανάλι και αυτό ισχύει μιας και το αναστρεφόμενο φορτίο είναι ανομοιογενές κατά μήκος του καναλιού. Η κινητικότητα επηρεάζεται από την τιμή του κάθετου πεδίου λόγω:

- Σκέδασης επιφάνειας (surface scattering)  
Η επίδραση του φαινομένου σκέδασης επιφάνειας εξαρτάται από το κάθετο πεδίο εσωτερικά του καναλιού. Όμως δεν είναι η μέγιστη τιμή του που ορίζει την κινητικότητα αλλά μια μικρότερη ενεργή τιμή εξ αιτίας της ύπαρξης του φαινομένου σκέδασης επιφάνειας.
- Σκέδασης Coulomb (Coulomb scattering)  
Ένας άλλος μηχανισμός σκέδασης που αφορά την κινητικότητα των ηλεκτρονίων στη διάσταση είναι η σκέδαση Coulomb. Το φαινόμενο αυτό επηρέαζε τις διατάξεις MOSFET σε χαμηλές θερμοκρασίες. Στις μοντέρνες τεχνολογίες όμως παρατηρείται μια αύξηση της έντασης του φαινομένου τέτοια ώστε ακόμη και σε θερμοκρασία δωματίου να μην μπορεί να αγνοηθεί.

Τα παρακάτω φαινόμενα εμφανίζονται σε συσκευές βραχέως καναλιού (Short channel effects):

#### Κορεσμός ταχύτητας (velocity saturation)

Στον οριζόντιο άξονα το πεδίο εξαρτάται ανάλογα με την τάση στα άκρα του καναλιού και αντιστρόφως ανάλογα με το μήκος του καναλιού. Η ταχύτητα των φορέων ρεύματος θα είναι ανάλογη του οριζόντιου πεδίου σε κάθε σημείο. Από την άλλη όμως υπάρχει μια μέγιστη δυνατή τιμή της ταχύτητας των φορέων. Συνεπώς, η γραμμική σχέση μεταξύ οριζόντιου πεδίου και της ταχύτητας των φορέων διατηρείται μόνο για χαμηλά πεδία, ενώ για μεγαλύτερες τιμές η ταχύτητα θα συγκλίνει προς μια μέγιστη τιμή.

#### Διαμόρφωση μήκους καναλιού ( Channel Length Modulation, CLM)

Το φαινόμενο αυτό είναι μια συντόμευση του μήκους ενός ανεστραμμένου καναλιού με αύξηση της τάσης του απαγωγού. Το αποτέλεσμα του CLM είναι η αύξηση στο ρεύμα και μείωση της αντίστασης εξόδου. Το φαινόμενο αυτό συναντάται σε όλα τα field effect transistors (FET). Όταν αυξάνεται το  $V_d$  αυξάνεται και ο έλεγχος που έχει ο απαγωγός πάνω στο ρεύμα προς την πηγή. Έτσι η περιοχή που δεν έχει αναστραφεί αυξάνεται προς την πηγή, συντομεύοντας το μήκος καναλιού. Επειδή η αντίσταση είναι ανάλογη με το μήκος καναλιού, συντομεύοντας το κανάλι μειώνεται η αντίστασή του και προκαλείται αύξηση του ρεύματος. Το φαινόμενο αυτό είναι εντονότερο όσο πιο βραχύ είναι το κανάλι, όσο πιο βαθιά η επαφή του απαγωγού και όσο πιο παχύ το οξειδίο.

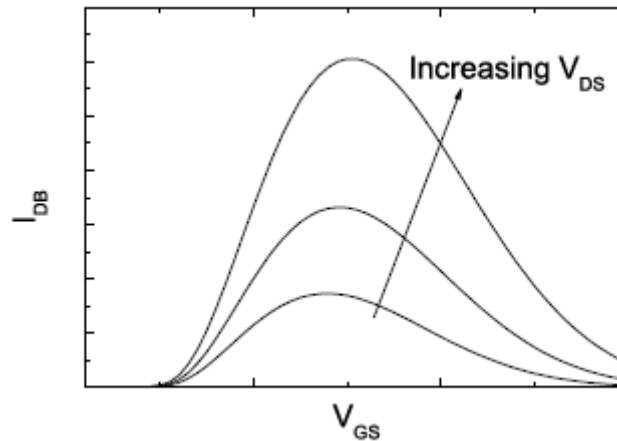
#### Drain Included Barrier Lowering (DIBL)

Το DIBL οφείλεται στην ισχυρή εξάρτηση της τάσης κατωφλίου από την διαφορά δυναμικού που εφαρμόζεται στο κανάλι. Όσο μεγαλύτερο είναι το  $V_d$  τόσο μικρότερη η τάση κατωφλίου. Σε mosfet μεγάλου καναλιού η τάση κατωφλίου είναι ανεξάρτητη από το  $V_d$  λόγω της μεγάλης απόστασης του απαγωγού (Drain) από την Πύλη (Gate) και το υπόστρωμα. Σε τρανζίστορ κοντού καναλιού όμως ο απαγωγός βρίσκεται κοντά στην πύλη και με υψηλή τάση στον απαγωγό ( $V_d$ ) επιτρέπεται η πρόωρη λειτουργία του τρανζίστορ. Το πεδίο που δημιουργεί η τάση στον απαγωγό προκαλεί δημιουργεί αντιστροφή του καναλιού με αποτέλεσμα η τάση κατωφλίου να γίνεται μικρότερη καθώς αυξάνεται η τάση στον απαγωγό.

#### Impact Ionization:

Αύξηση του  $V_{DS}$  συνεπάγεται αύξηση του διαμήκους ηλεκτρικού πεδίου του καναλιού από την πηγή στον απαγωγό (source to drain). Οι φορείς ρεύματος καθώς επιταχύνονται από την διαφορά τάσης στα άκρα του καναλιού, μεγιστοποιούν την ταχύτητά τους στο άκρο του απαγωγού (Drain). Η ταχύτητά τους είναι δυνατόν να προκαλέσει τον ιονισμό της περιοχής κοντά στον απαγωγό και την δημιουργία

ελεύθερων φορέων ρεύματος. Ένα μέρος αυτών των φορέων θα δημιουργήσει, λόγω και της διαφοράς δυναμικού  $V_{db}$ , ένα ρεύμα ( $I_{db}$ ) από τον απαγωγό προς το υπόστρωμα. Αυτό το ρεύμα ονομάζεται ρεύμα ιονισμού πρόσπτωσης (Impact ionization current).



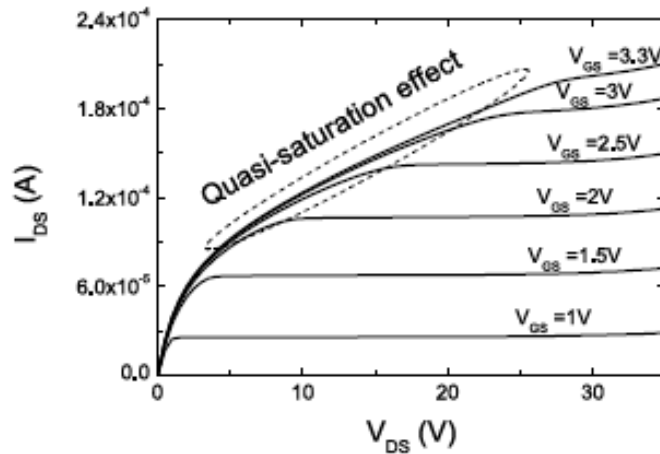
Εικόνα 2.7.3 Φαινόμενο impact ionization.

## 2.8 Φαινόμενα που παρουσιάζονται στην high voltage περιοχή (drift region) [7] , [5] , [6]:

Οι συσκευές υψηλής τάσης παρουσιάζουν μερικά ειδικά φαινόμενα λόγω του υψηλού ηλεκτρικού πεδίου μέσα στο συσκευή όπως self-heating, quasi-saturation & impact ionization. Στην πραγματικότητα, μερικά από αυτά τα φαινόμενα ( self-heating & impact ionization effects) είναι ορατά και στα MOSFET χαμηλής τάσης καθώς τα εσωτερικά ηλεκτρικά πεδία γίνονται αρκετά υψηλά και καθώς το μήκος του καναλιού μειώνεται. Έκτος των ανωτέρω ορισμένα άλλα φαινόμενα οφείλονται στη διαφορετική διαδικασία κατασκευής των συσκευών αυτών έναντι των συμβατικών MOSFET. Η σημαντικότερη από αυτές είναι η μη ομοιόμορφη συγκέντρωση φορέων στο κανάλι και η κατασκευή του drift region (περιοχή μετατόπισης) στην πλευρά που βρίσκεται ο απαγωγός (Drain). Το φαινόμενο αυτό ονομάζεται "lateral non-uniform doping".

### Quasi Saturation

Παρακάτω φαίνεται η χαρακτηριστική εξόδου ενός VDMOS τρανζίστορ την οποία θα χρησιμοποιήσουμε για να περιγράψουμε το φαινόμενο.



Εικόνα 2.7.1 Quasi-saturation σε VDMOS.

Η συμπεριφορά αυτή μπορεί να οφείλεται σε 3 μηχανισμούς:

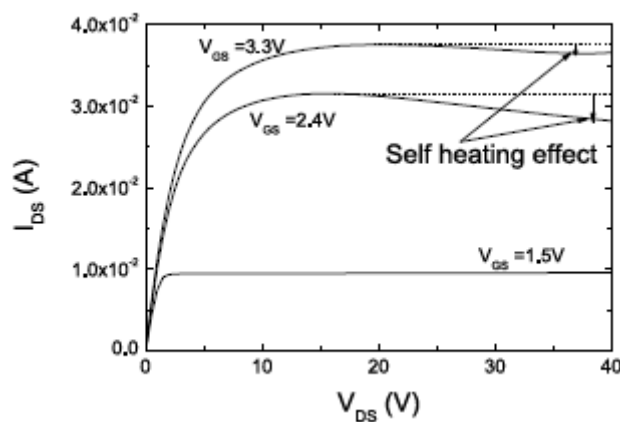
(α) Pinch-off στο κανάλι: Για μια σταθερή τάση στο Gate, εάν η τάση στο Drain αυξάνεται, το κανάλι μειώνεται και το ρεύμα έρχεται σε κορεσμό. Αυτή η επίδραση καλείται Pinch-off και είναι ο κανονικός μηχανισμός κορεσμού στα MOSFET με μακρύ κανάλι. Στις HVMOS συσκευές, το Pinch-off στο κανάλι παρατηρείται γενικά σε χαμηλό  $V_{GS}$  (βλ. την καμπύλη για  $V_{GS} = 1\text{ V}$  στο σχήμα).

(β) Κορεσμός ταχύτητας στο κανάλι: Στις HVMOS συσκευές, ο κορεσμός ταχύτητας παρατηρείται γενικά για μέσο έως υψηλό  $V_{GS}$  (βλ. την καμπύλη  $I_{DS}$ - $V_{DS}$  για  $V_{GS} = 1.5, 2, 2.5, 3\text{ V}$  με  $V_{DS} = 30\text{ V}$  στο σχήμα). Για ίσες αυξήσεις του  $V_g$  η χαρακτηριστική εξόδου ισαπέχει για τα διαδοχικά  $V_g$ . Η γραμμική σχέση μεταξύ οριζόντιου πεδίου και της ταχύτητας των φορέων διατηρείται μόνο για χαμηλές τιμές του  $V_g$ , ενώ για μεγαλύτερες τιμές η ταχύτητα θα συγκλίνει προς μια μέγιστη τιμή.

(γ) Κορεσμός ταχύτητας στην drift region: Ένας άλλος μηχανισμός κορεσμού μπορεί να εμφανιστεί λόγω κορεσμού ταχύτητας στο high voltage μέρος του LDMOS (drift region) ενώ το MOSFET ακόμα δεν έχει φθάσει σε κορεσμό. Στην πραγματικότητα αυτό δεν μπορεί να θεωρηθεί κορεσμός δεδομένου ότι το ρεύμα δεν έχει ακόμα κορεστεί. Εάν η drift region εμφανίζει κορεσμό ταχύτητας και το MOSFET είναι στη γραμμική περιοχή, η αύξηση της  $V_{GS}$  δεν αυξάνει σημαντικά το επίπεδο του ρεύματος και η τάση στην πύλη (Gate) έχει μηδενική ή ελάχιστη επίδραση (βλ. την καμπύλη  $V_{GS} = 2, 2.5, 3, 3.3\text{ V}$  στο σχήμα). Αυτή η επίδραση καλείται Quasi-Saturation και παρατηρείται γενικά σε υψηλό  $V_{GS}$ .

## Self-Heating

Το φαινόμενο Self-Heating (Αυτοθέρμανση) αντιπροσωπεύει τη θέρμανση της συσκευής λόγω της εσωτερικής έκλυσης ισχύος. Το φαινόμενο αυτό εμφανίζεται, όταν επιτυγχάνονται υψηλά επίπεδα ισχύος στη συσκευή. Η εκλυόμενη θερμότητα οδηγεί σε αύξηση της εσωτερικής θερμοκρασίας της συσκευής και τροποποιεί την γραφική ID-VD. Το επόμενο σχήμα παρουσιάζει τη γραφική ID-VD ενός τρανζίστορ LDMOS στα 40V. Η μείωση στο ρεύμα με την αύξηση του VDS προκαλείται από το φαινόμενο της αυτοθέρμανσης. Καθώς αυξάνει το VDS, το ρεύμα αρχίζει να αυξάνει και αυτό. Η αύξηση στο ρεύμα ( $I_{DS}$ ) καθώς επίσης και στην τάση στο εσωτερικό της συσκευής (VDS), έχει ως συνέπεια να αυξάνει η έκλυση ισχύος μέσα στη συσκευή.

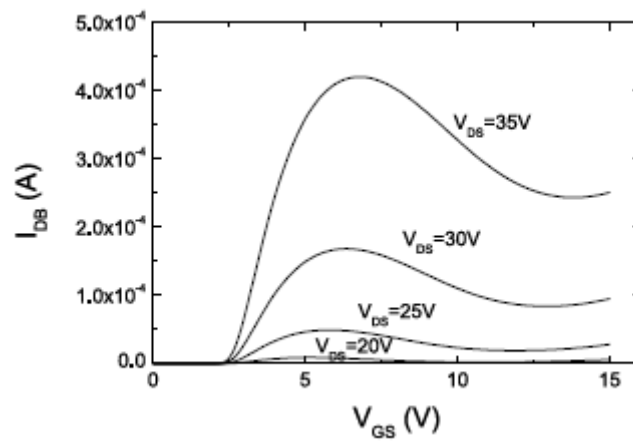


Εικόνα 2.7.2 Φαινόμενο self heating.

Όπως αναφέρθηκε ανωτέρω, η αυξημένη έκλυση ισχύος αυξάνει τη θερμοκρασία γεγονός που έχει επιπτώσεις και σε άλλες παραμέτρους του τρανζίστορ (π.χ. κινητικότητα, τάση κατωφλίου κ.λπ.). Η άνοδος της θερμοκρασίας μειώνει την κινητικότητα που μειώνει με τη σειρά της το ρεύμα που παρουσιάζει αρνητική αντίσταση στην έξοδο. Η αύξηση της εσωτερικής θερμοκρασίας λόγω της αυτοθέρμανσης επηρεάζει τα χαρακτηριστικά των συσκευών κυρίως την κινητικότητα, την τάση κατωφλίου και σαν φαινόμενο ανταγωνίζεται τον κορεσμό της ταχύτητας.

## Impact Ionization

Το φαινόμενο Impact Ionization στις HVMOS συσκευές έχει όμοια συνεισφορά από το low voltage τμήμα με ένα κλασσικό τρανζίστορ πεδίου αλλά για αυξημένες τιμές του  $V_{GS}$  παρατηρείται δεύτερη αύξηση της καμπύλης από την συνεισφορά της περιοχής μετατόπισης (drift region). Το σχήμα που ακολουθεί παρουσιάζει την χαρακτηριστική καμπύλη IDB-VGS για LDMOS.



Εικόνα 2.7.4 Φαινόμενο impact ionization.

Το φαινόμενο Impact Ionization στην περιοχή μετατόπισης (Drift Region) μπορεί να μειωθεί με κατασκευή “field plate” πάνω από την πύλη (Gate).

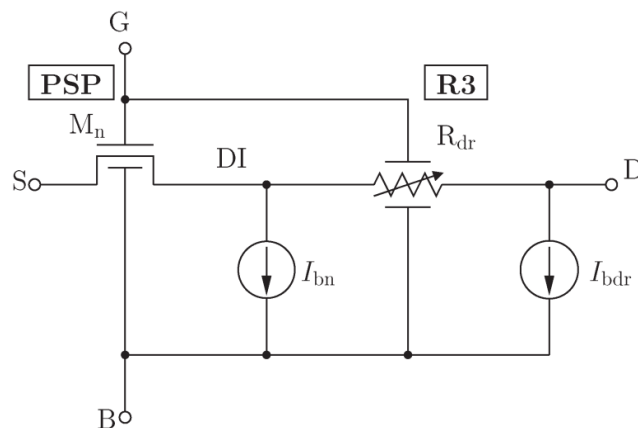


## Κεφάλαιο 3

### 3.1 Μοντελοποίηση LDMOS [11], [13], [14]

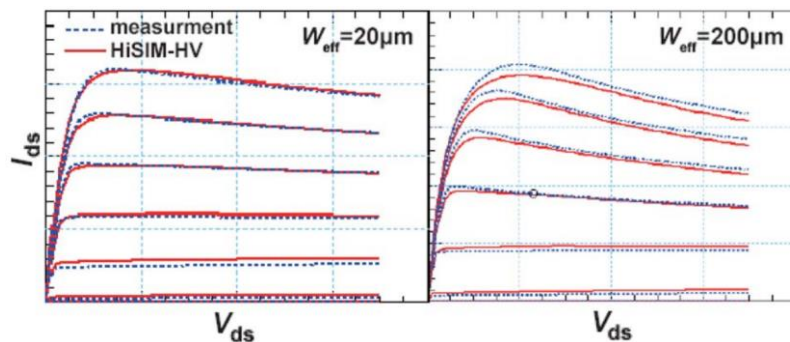
Κάποια από τα πιο συχνά απαντώμενα μοντέλα για LDMOSFET (βλ. [11]) στην βιομηχανία είναι το PSP-HV (Penn State Surface Potential) [13], το HiSIM-HV (Hiroshima-university STARC IGFET Model) [14] και το EPFL-HV [1]-[4]. Το PSP-HV και το HiSIM-HV είναι potential based μοντέλα ενώ το EKV 2.6 και το EPFL-HV είναι charge based μοντέλα. Τα potential based ξεκινούν από τις εξισώσεις που εξετάζουν το δυναμικό (potential) του καναλιού ενώ τα charge based χρησιμοποιούν τα φορτία μέσα στο κανάλι για να εξάγουν το ρεύμα.

Το μοντέλο SP-HV είναι κατασκευασμένο με ένα surface potential based MOSFET μοντέλο, το PSP, και ένα μοντέλο μη γραμμικής αντίστασης, ελεγχόμενη από τάση, το R3.



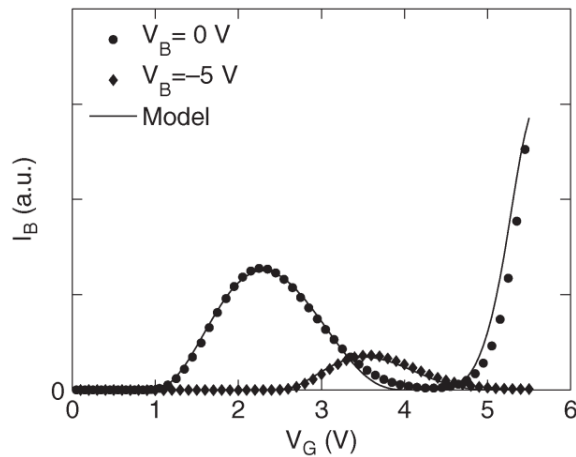
Εικόνα 3.1.1 Το μοντέλο SP-HV.

Κανένα από τα SP-HV, HiSIM-HV, EPFL-HV δεν έχει ενσωματωμένο τρόπο περιγραφής του edge conduction. Παρόλα αυτά έχουν παραμέτρους και μηχανισμούς προσαρμογής για τα φαινόμενα Quasi saturation και self heating όπως φαίνεται παρακάτω.



Εικόνα 3.1.2 Self heating από LDMOS που μοντελοποιήθηκε σε HiSIM-HV.

Από αυτά τα μοντέλα μόνο το SP-HV έχει δυνατότητα σωστής προσαρμογής του Impact ionization στην drift region όπως φαίνεται παρακάτω.

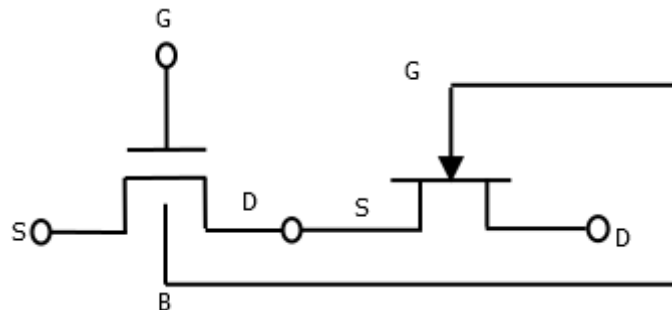


Εικόνα 3.1.3 Impact ionization στην drift region με μοντέλο SP-HV.

Για να γίνει και μια εμφανής σύγκριση της πολυπλοκότητας των μοντέλων, το EPFL-HV έχει 140 παραμέτρους, το HiSIM-HV πάνω από 300 παραμέτρους ενώ το EKV 2.6 σε συνδυασμό με το JFET του προσομοιωτή spectre έχουν 120 παραμέτρους εκ των οποίων οι 20 ήταν αρκετές ώστε να γίνει η μοντελοποίηση.

Είναι προφανές ότι υπάρχει ένας συμβιβασμός μεταξύ της ευκολίας της εφαρμογής και της βέλτιστης περιγραφής όλων των δεδομένων.

Σε αυτή την εργασία η μοντελοποίηση αυτού του τύπου τρανζίστορ πραγματοποιείται ως εξής:

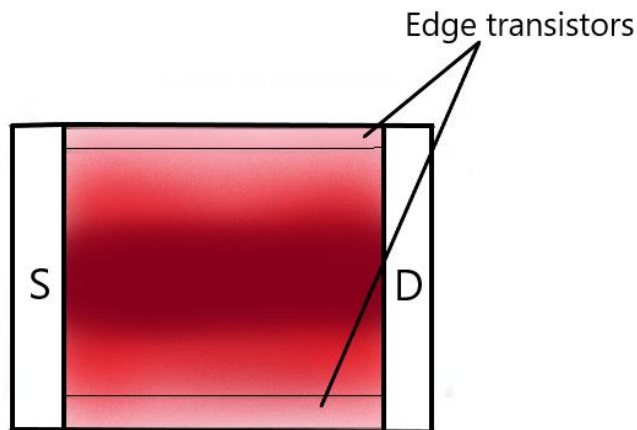


Εικόνα 3.1.4 Ιδανική απεικόνιση LDMOS.

Στο παραπάνω σχήμα βλέπουμε την συνδεσμολογία ενός LDMOS όπως θα ήταν ιδανικά. Αποτελείται από ένα MOSFET και ένα JFET συνδεδεμένα σε σειρά. Το MOSFET αντιπροσωπεύει και μοντελοποιεί το low voltage κομμάτι και το JFET την περιοχή μετατόπισης (Drift Region) καθώς το ρεύμα σε αυτήν μοιάζει με το ρεύμα ενός JFET καθώς κινείται σε όλο τον όγκο του ημιαγωγού. Στα τρανζίστορ που μετρήθηκαν παρατηρήθηκε και το φαινόμενο του edge conduction (πλευρικής αγωγής). Αυτό οφείλεται στο ότι στις άκρες του καναλιού έχουμε μικρότερη συγκέντρωση φορέων λόγω του τρόπου κατασκευής της περιοχής του καναλιού. Αυτές οι δύο περιοχές λειτουργούν σαν δύο τρανζίστορ συνδεδεμένα παράλληλα με το κύριο. Παρατηρείται μείωση της τάσης κατωφλίου ( $V_{th}$ ) και τοπική αύξηση της κινητικότητας. Τα πλευρικά τρανζίστορ έχουν μικρό πλάτος για αυτό το ρεύμα

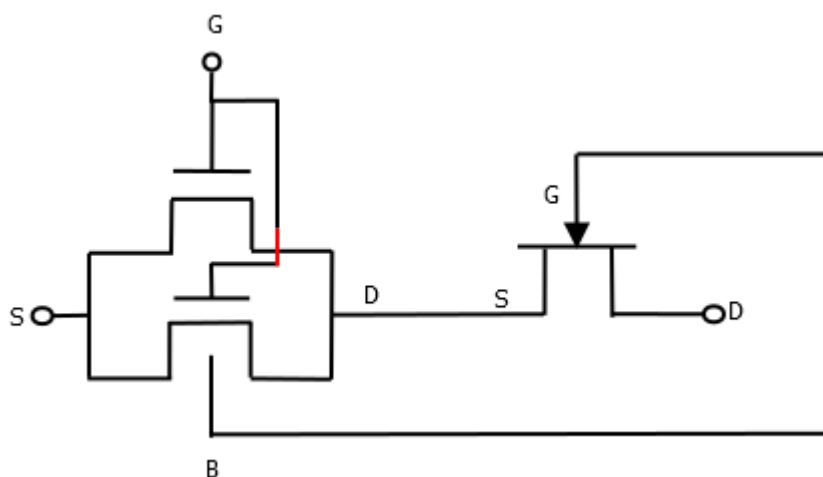
τους δεν συνεισφέρει σε strong inversion αλλά γίνεται εύκολα αντιληπτό σε weak inversion. Ιδιαίτερα σε τιμές  $V_b$  διαφορετικές του 0. Για την μοντελοποίηση μπορούμε να τα αντιμετωπίσουμε σαν ένα τρανζίστορ παράλληλα συνδεδεμένο με το κεντρικό.

Στην παρακάτω εικόνα τα edge τρανζίστορς έχουν απεικονιστεί πολύ μεγαλύτερα του πραγματικού.



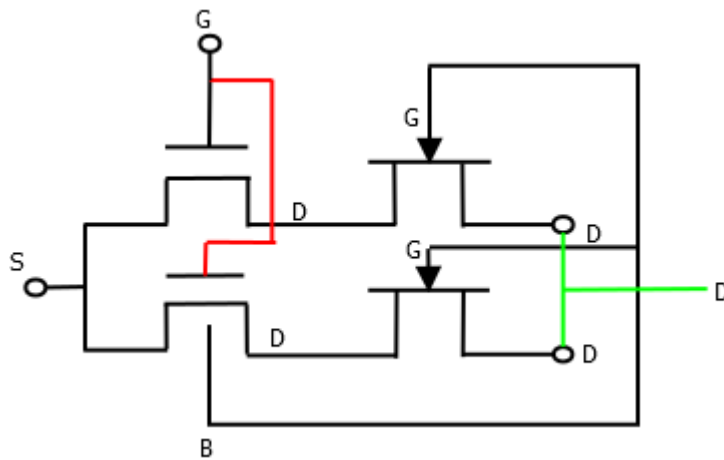
Εικόνα 3.1.5 Σχηματική απεικόνιση της συγκέντρωσης φορέων στο κανάλι και περιοχές που λειτουργούν ως edge transistors σε ένα τυπικό MOSFET.

Άρα θα το μοντελοποιούσαμε με ένα δικτύωμα όπως το παρακάτω όπου φαίνεται η παράλληλη σύνδεση του κεντρικού και του πλευρικού τρανζίστορ.



Εικόνα 3.1.6 Center και Edge τρανζίστορς.

Χάρην ευκολίας το υποκύκλωμα που χρησιμοποιήθηκε στο μοντέλο είναι το παρακάτω.



Εικόνα 3.1.7 Το LDMOS όπως μοντελοποιήθηκε τελικά.

Μπορούμε έτσι να έχουμε 2 instances του μοντέλου με διαφορετικές παραμέτρους για το κεντρικό και το πλευρικό τμήμα. Το JFET του πλευρικού μοντέλου λόγω μεγέθους δεν συνεισφέρει στο συνολικό ρεύμα.

### 3.2 Μοντέλα EKV 2.6 και JFET (spectre)

EKV 2.6 [6], [8]

Για τη μοντελοποίηση του παραπάνω κυκλώματος χρησιμοποιήθηκε το μοντέλο EKV 2.6 για τα MOSFET (center και edge) και για την drift region το μοντέλο JFET του spectre.

Το μοντέλο EPFL-EKV MOSFET είναι ένα κλιμακωτό (scalable) και συμπαγές μοντέλο προσομοίωσης βασισμένο στις θεμελιώδεις φυσικές ιδιότητες και τη δομή ενός MOS τρανζίστορ. Αυτό το μοντέλο ενδίκνεται για το σχεδιασμό και την προσομοίωση χαμηλής τάσης, χαμηλού αναλογικού ρεύματος και μικτών αναλογικά-ψηφιακά κυκλώματα που χρησιμοποιούν τεχνολογίες CMOS.

Το EKV 2.6 περιλαμβάνει τα παρακάτω φυσικά φαινόμενα:

- βασικές γεωμετρίες και διεργασίες που σχετίζονται με το πάχος του οξειδίου, το βάθος της επαφής (junction depth), το πραγματικό μήκος και πλάτος καναλιού.
- φαινόμενα συγκέντρωσης φορέων (doping).
- μοντελοποίηση για ασθενής (weak), μέτρια (moderate) και ισχυρή (strong) αναστροφή .
- Φαινόμενα κοντού καναλιού (short channel effects) όπως η διαμόρφωση μήκους καναλιού (channel length modulation – CLM), charge sharing και φαινόμενο του

ανάστροφου κοντού καναλιού (reverse short channel effect – RSCE).

- Impact ionization.
- Μοντελοποίηση με ύπαρξη θορύβου.
- Συνεχές μοντέλο για την αναστροφή.
- Μείωση κινητικότητας λόγω οριζόντιου και κάθετου πεδίου (VFMR – Velocity saturation).

Οι μεταβλητές του EKV 2.6 φαίνονται στον παρακάτω πίνακα:

Όνομα	Μονάδες μέτρησης	Αρχική Τιμή
COX	F/m <sup>2</sup>	3.45E-3
XJ	m	0.1E-6
VTO	V	0.7
GAMMA	V <sup>1/2</sup>	1.0
PHI <sup>2</sup>	V	0.7
KP	A/V <sup>2</sup>	50E-6
E0	V/m	1.0E12
UCRIT	V/m	2.0E6
DL	m	0
DW	m	0
LAMBDA	-	0.5
LETA	-	0.1
WETA	-	0.25
Q0	As/m <sup>2</sup>	0.0
LK	m	0.29E-6
IBA	1/m	0.0
IBB	V/m	3.0E8
IBN	-	1.0

Εικόνα 3.2.1 Πίνακας παραμέτρων EKV 2.6

- COX : χωρητικότητα οξειδίου της πύλης
- XJ: βάθος καναλιού ( junction depth)
- VTO: Τάση κατωφλίου
- GAMMA: παράμετρος ρύθμισης του φαινομένου σώματος (Body effect)
- KP: παράμετρος διαγωγιμότητας
- E0: παράμετρος του mobility

- UCRIT: παράμετρος της ταχύτητας των φορέων
- DL: διόρθωση μήκους καναλιού
- DW: διόρθωση πλάτους καναλιού
- LAMBDA: παράμετρος ρύθμισης του CLM (channel length modulation)
- LETA: short-channel effect coefficient
- WETA: narrow-channel effect coefficient
- Q0, LK: παράμετροι ανάστροφου κοντού καναλιού (reverse short channel effect)
- IBA, IBB, IBN : παράμετροι ρύθμισης ρεύματος στο Bulk

### *JFET (spectre)*

Το JFET μοντέλο, το οποίο είναι ενσωματωμένο στον προσομοιωτή spectre προέρχεται από το μοντέλο FET των Shichman και Hodges.

Οι πιο βασικές παράμετροι του JFET:

Παράμετροι	Περιγραφή	Αρχική τιμή
type	Τύπος τρανζίστορ	Δυνατές τιμές: n, p
level	Επίπεδο ρεύματος στο Drain	1
vto	Τάση αποκοπής	-2V
beta	Παράμετρος διαγωγιμότητας	0.0001 A/v <sup>2</sup>
lambda	Παράμετρος CLM	0 1/V
lambda1	Παράμετρος για την εξάρτηση της πύλης στο CLM	0 1/V
alpha	Μετάβαση από τη γραμμική περιοχή στον κορεσμό	2
ai	Παράμετρος για impact ionization	0 1/V
bi	Παράμετρος για impact ionization	0 V
rd	Αντίσταση του Drain	0 Ω
rs	Αντίσταση του Source	0 Ω

Εικόνα 3.2.2 Πίνακας παραμέτρων JFET (spectre).

Έγινε scaling στις παρακάτω παραμέτρους με βάση το μήκος τους επειδή ήταν η μόνη διαφορά των Arrays. Για αυτό το λόγο εισήχθησαν παράμετροι αντίστοιχες του LKP, όπως φαίνεται παρακάτω. Για άλλες παραμέτρους όπως το VT\_CENTER χρησιμοποιήθηκε το εσωτερικό scaling των μοντέλων.

Οι μεταβλητές που έχουν υποστεί Scaling είναι:

KP, BETA, VTHEDGE, NSUBEDGE, WEDGE.

Σε κάθε μία από τις παραπάνω παραμέτρους αποδόθηκε τιμή βάση της εξίσωσης όπως παρουσιάζεται παρακάτω για το KP.

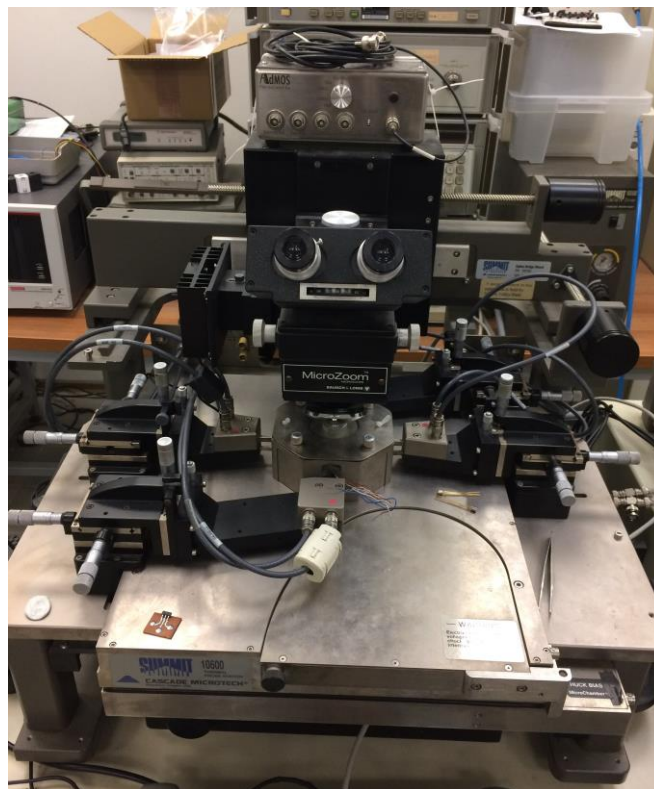
$$KP\_CENTER = KP + (LKP/L)$$

## Κεφάλαιο 4

### 4.1 Περιγραφή πειραματικής διαδικασίας

Οι μετρήσεις έγιναν πάνω σε wafer στον χώρο του εργαστηρίου ηλεκτρονικής και χρησιμοποιήθηκαν τα εξής εργαλεία:

- Ο σταθμός μέτρησης ημιαγωγών υπό ακίδες (Probe Station) του εργαστηρίου.



Εικόνα 4.1.1 Probe station



- Το τροφοδοτικό HP4142.

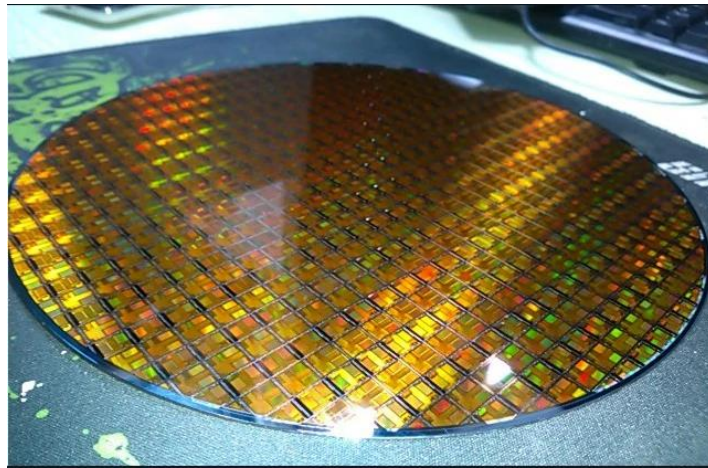


Εικόνα 4.1.2 Τροφοδοτικό HP4142

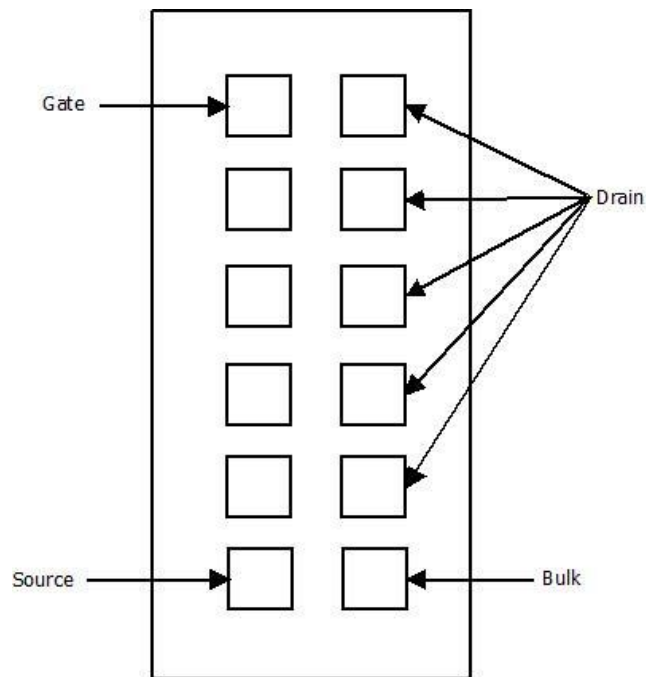
- Το πρόγραμμα IC-CAP για τις μετρήσεις και την μοντελοποίηση.

Παρακάτω απεικονίζεται ένα wafer όπως αυτό που μετρήθηκε. Κάθε τετραγωνάκι του wafer ονομάζεται DIE και είναι όλα πανομοιότητα μεταξύ τους. Κάθε DIE περιέχει Arrays όπως απεικονίζονται παρακάτω. Κάθε Array περιλαμβάνει διάφορα τρανζίστορ.

Αρχικά τοποθετείται το wafer μέσα στο μηχάνημα μέτρησης. Αφού εστιάσουμε στο DIE και στη συνέχεια στο Array που μας ενδιαφέρει να μετρήσουμε, τοποθετούμε τις τέσσερις βελόνες, οι οποίες αντιστοιχούν στους τέσσερις ακροδέκτες ενός τρανζίστορ. Όπως φαίνεται και στο παρακάτω σχήμα του Array, οι ακροδέκτες Bulk, Gate και Source μένουν ίδιοι και αλλάζει μόνο ο ακροδέκτης του Drain για να επιλέξουμε διαφορετικά τρανζίστορς μέσα σε ένα Array. Η ίδια διαδικασία ακολουθείται και για τα υπόλοιπα Arrays που μας ενδιαφέρουν σε ένα DIE.

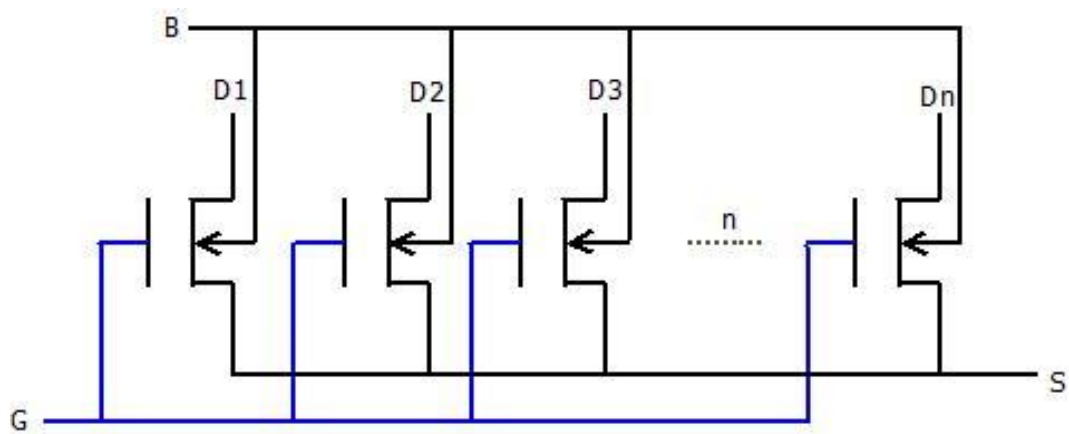


Εικόνα 4.1.1 Wafer.



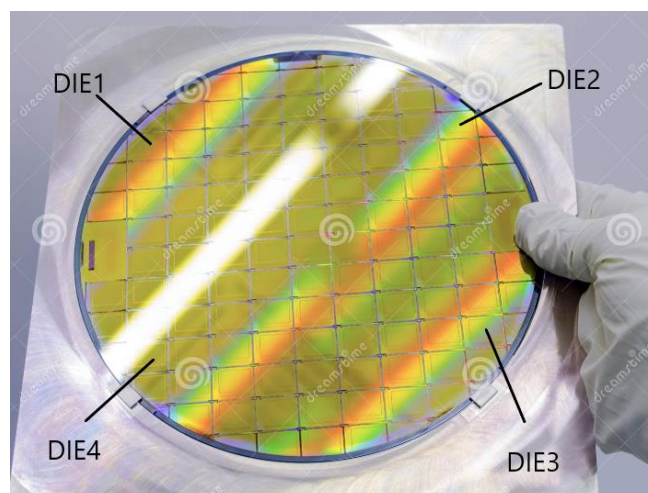
Εικόνα 4.1.2 Array.

Το παραπάνω σχήμα μπορεί να απεικονιστεί και με τρανζίστορς όπως φαίνεται παρακάτω.

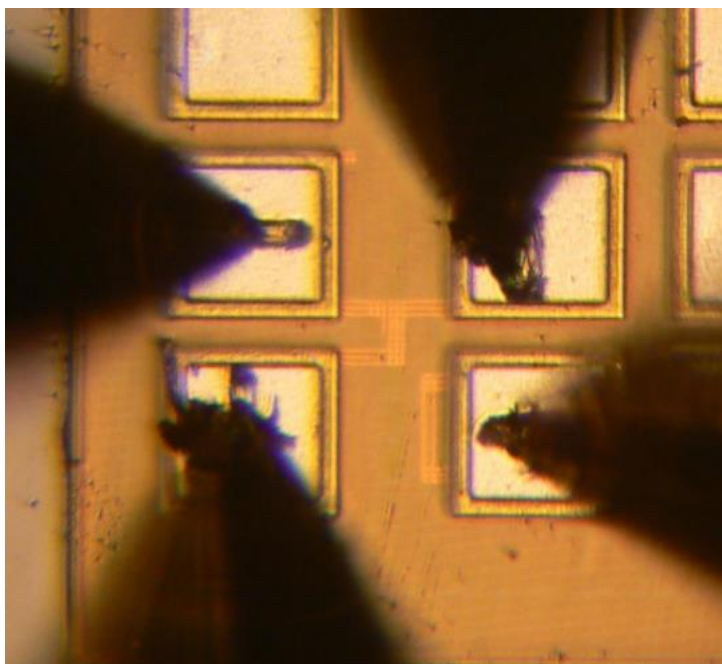


Εικόνα 4.1.3 Απεικόνιση ενός Array με τρανζίστορς

Μετρήθηκαν τα 4 αντιδιαμετρικά DIES ενός Wafer όπως φαίνεται στο επόμενο σχήμα.



Εικόνα 4.1.4 Υπόδειξη των DIES του πειράματος.



Εικόνα 4.1.5 Μετρήσεις πάνω στο wafer.

Σε κάθε DIE μετρήθηκαν τέσσερα Array που συμπεριλάμβαναν τα nMOS 24V , nMOS 30V, pMOS 24V και pMOS 30V. Σε κάθε Array τοποθετούνται στις σωστές θέσεις οι βελόνες για το Bulk, το Gate και το Source και αλλάζοντας το Drain μετρήθηκαν τα τρανζίστορ σύμφωνα με το εγχειρίδιο του Wafer.

Σε όλα τα τρανζίστορς το πλάτος είναι ίσο με  $w=10\ \mu\text{m}$ .

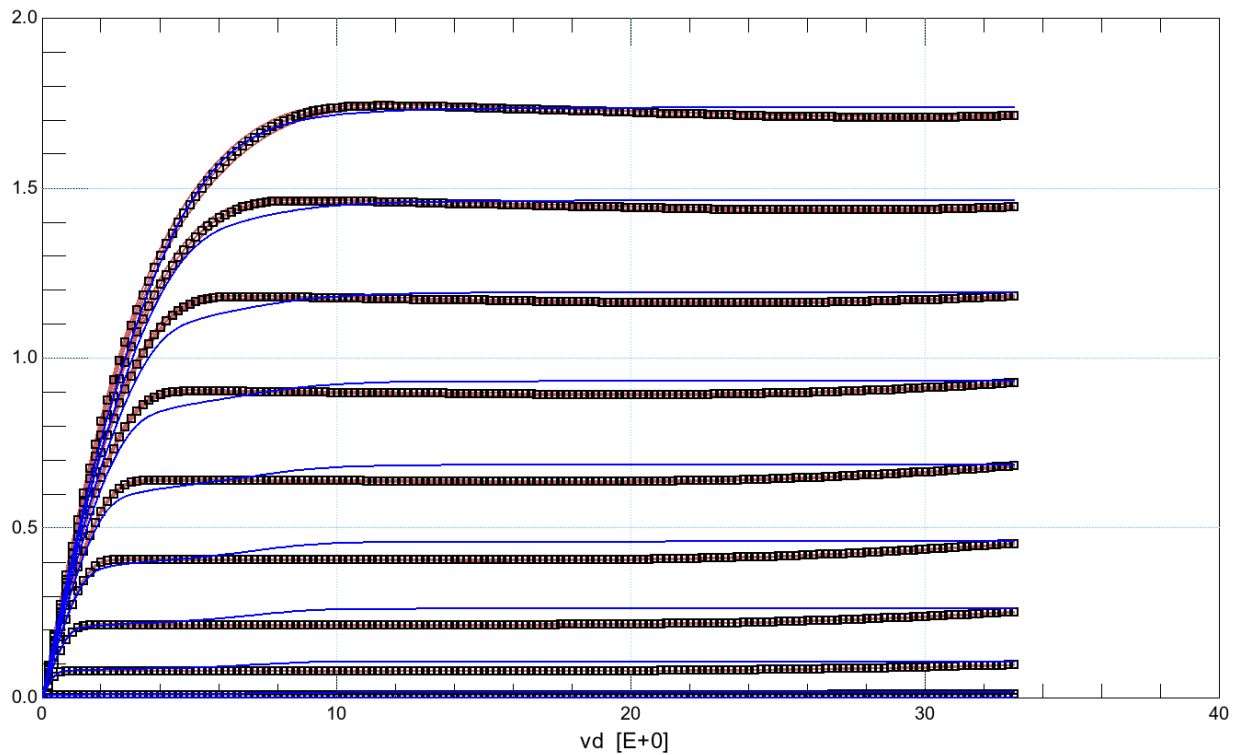
- Για τα nMOs 24V μετρήθηκαν τρανζίστορ με μήκος  $l=1.75, 2, 2.25, 2.5, 3\ \mu\text{m}$
- Για τα nMOS 30V μετρήθηκαν τρανζίστορ με μήκος  $l=2.5, 3, 3.5\ \mu\text{m}$
- Για τα pMOS 24V μετρήθηκαν τρανζίστορ με μήκος  $l= 0.875, 1, 1.25, 1.5, 1.75, 2, 2.5\ \mu\text{m}$
- Για τα pMOS 30V μετρήθηκαν τρανζίστορ με μήκος  $l=1, 1.25, 1.5, 1.75, 2, 2.5\ \mu\text{m}$

Το πρόγραμμα με το οποίο έγιναν οι μετρήσεις και η μοντελοποίηση είναι το IC-CAP της Keysight.

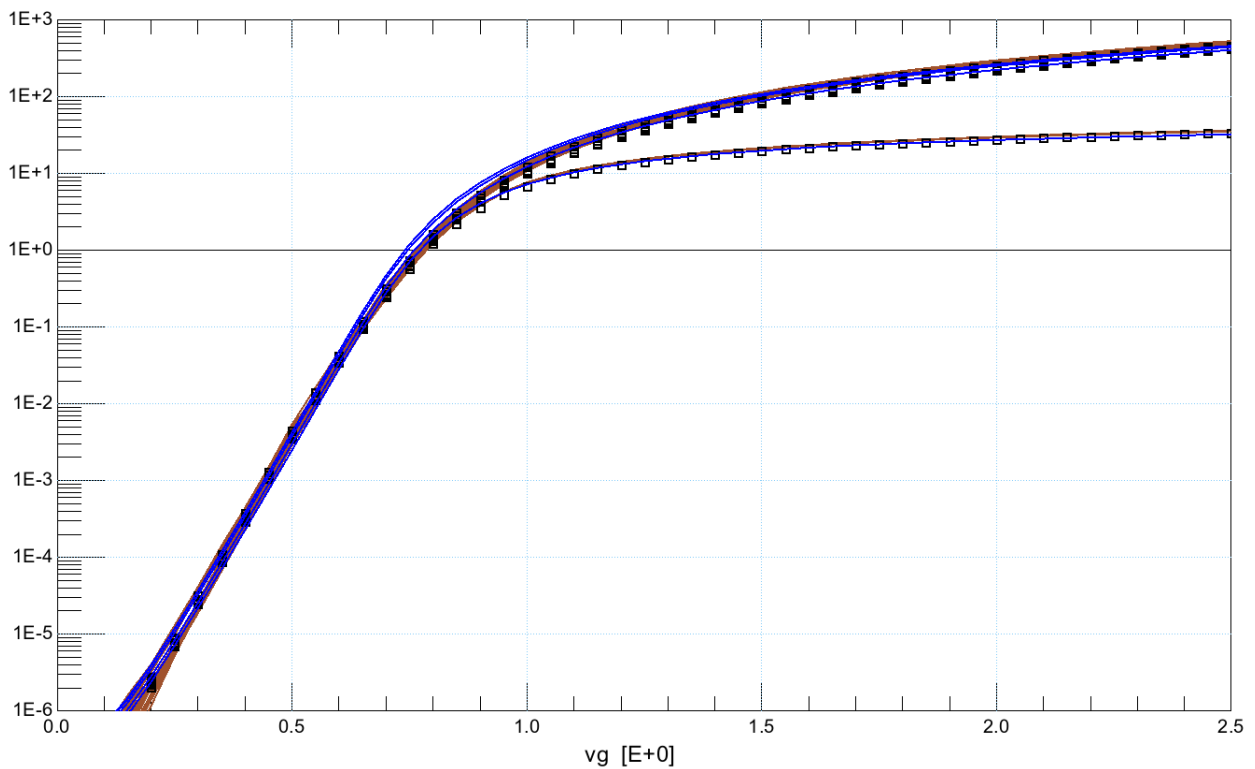
## 4.2 Παρουσίαση Μετρήσεων και μέσοι όροι

Στη συνέχεια παρουσιάζονται τα αποτελέσματα των τεσσάρων DIES με καφέ γραμμές. Με μαύρα τεταγμένα απεικονίζεται ο μέσος όρος αυτών των μετρήσεων και με μπλε γραμμή η καμπύλη που προκύπτει από την εξαγωγή των παραμέτρων, η οποία αναλύεται στο επόμενο κεφάλαιο.

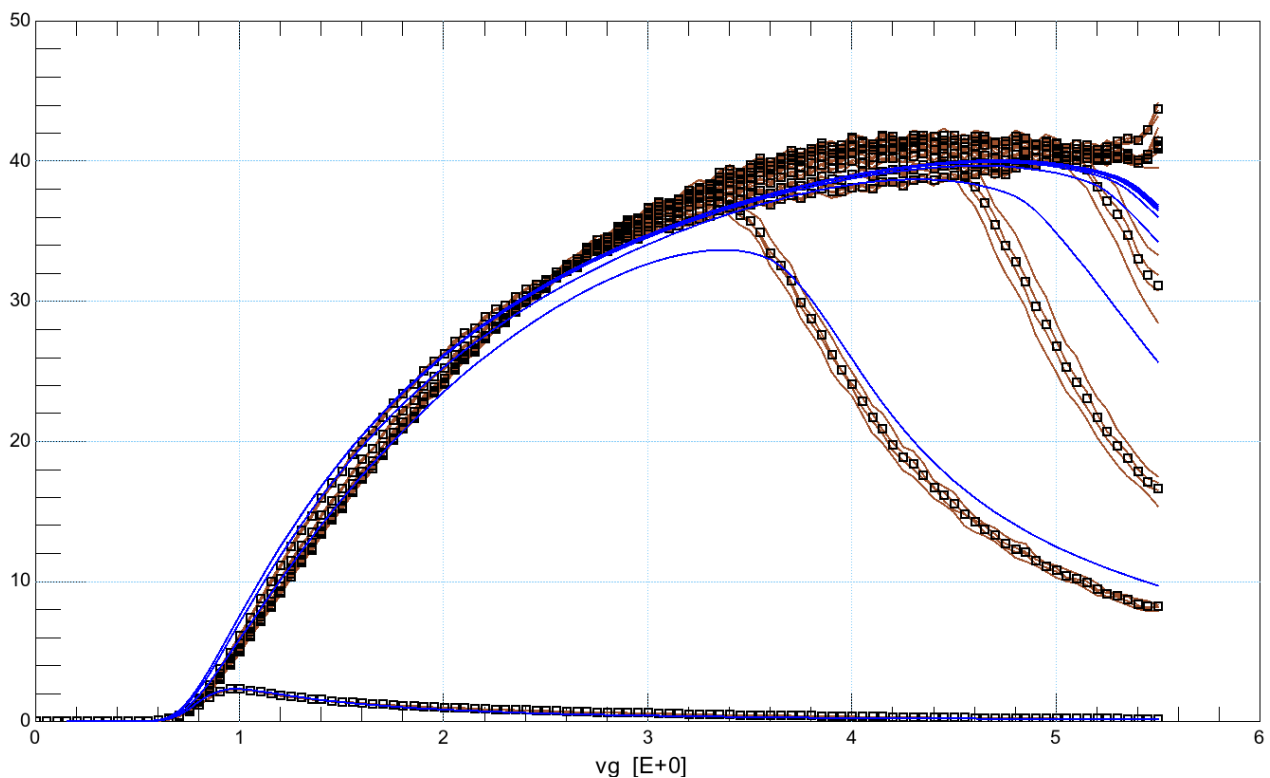
Τα παρακάτω διαγράμματα είναι από διατάξεις nMOS 30V με μήκος  $l=3\ \mu\text{m}$ .



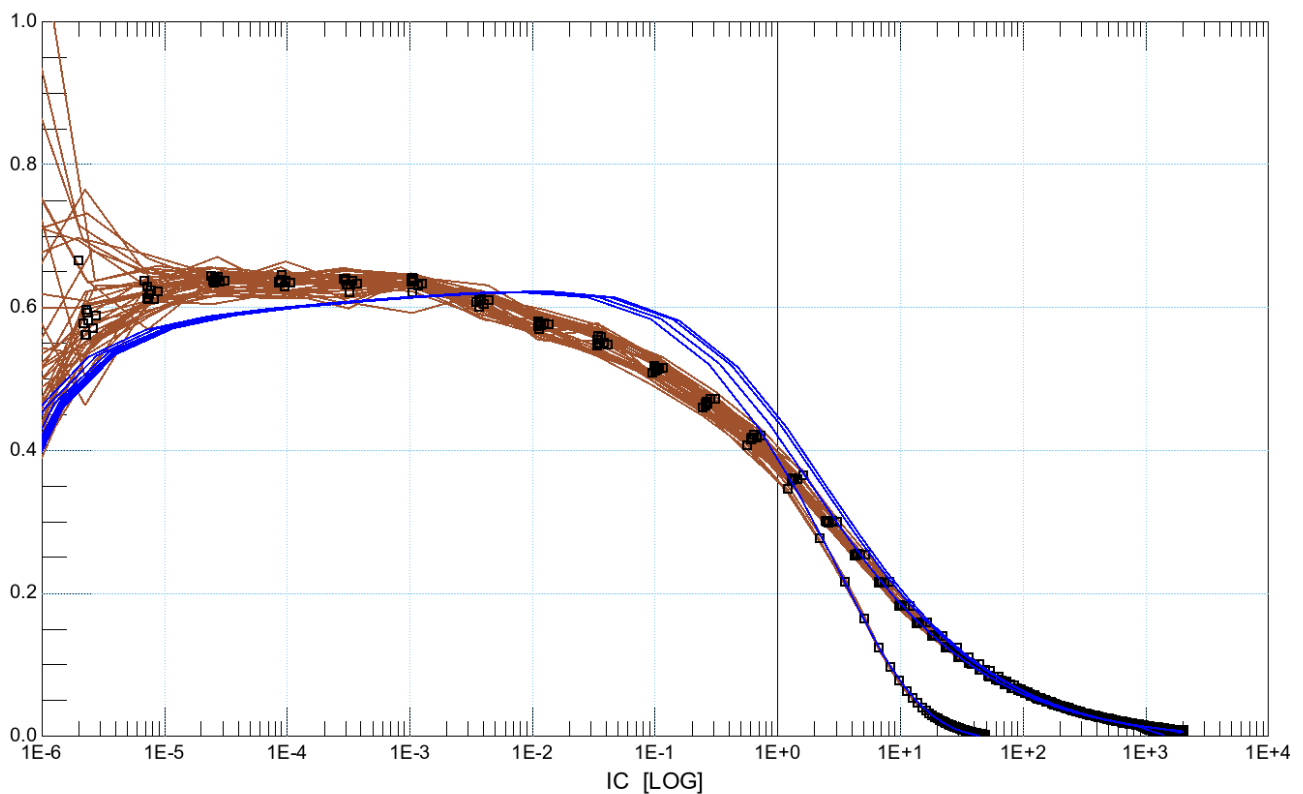
Εικόνα 4.2.1 Χαρακτηριστική εξόδου ( $i_{dvd}$ ) από τρανζίστορ nMOS 30V με  $L=3\mu\text{m}$ . Η μέτρηση έγινε σε θερμοκρασία δωματίου  $T=25^\circ\text{C}$ . Με καφέ γραμμές απεικονίζονται οι μετρήσεις των τεσσάρων DIES, με μαύρα τετράγωνα απεικονίζεται ο μέσος όρος που προκύπτει από αυτές τις μετρήσεις και με μπλε γραμμή απεικονίζεται η εξαγωγή παραμέτρων για αυτή τη διάταξη.



Εικόνα 4.2.2 Χαρακτηριστική μεταφοράς ( $\log(i_{dvg})$ ) από τρανζίστορ nMOS 30V με  $L=3\mu\text{m}$ . Η μέτρηση έγινε σε θερμοκρασία δωματίου  $T=25^\circ\text{C}$ . Με καφέ γραμμές απεικονίζονται οι μετρήσεις των τεσσάρων DIES, με μαύρα τετράγωνα απεικονίζεται ο μέσος όρος που προκύπτει από αυτές τις μετρήσεις και με μπλε γραμμή απεικονίζεται η εξαγωγή παραμέτρων για αυτή τη διάταξη



Εικόνα 4.2.3  $gm/vg$  από τρανζίστορ nMOS 30V με  $L=3\mu m$ . Η μέτρηση έγινε σε θερμοκρασία δωματίου  $T=25^{\circ}C$ . Με καφέ γραμμές απεικονίζονται οι μετρήσεις των τεσσάρων DIES, με μαύρα τετράγωνα απεικονίζεται ο μέσος όρος που προκύπτει από αυτές τις μετρήσεις και με μπλε γραμμή απεικονίζεται η εξαγωγή παραμέτρων για αυτή τη διάταξη.



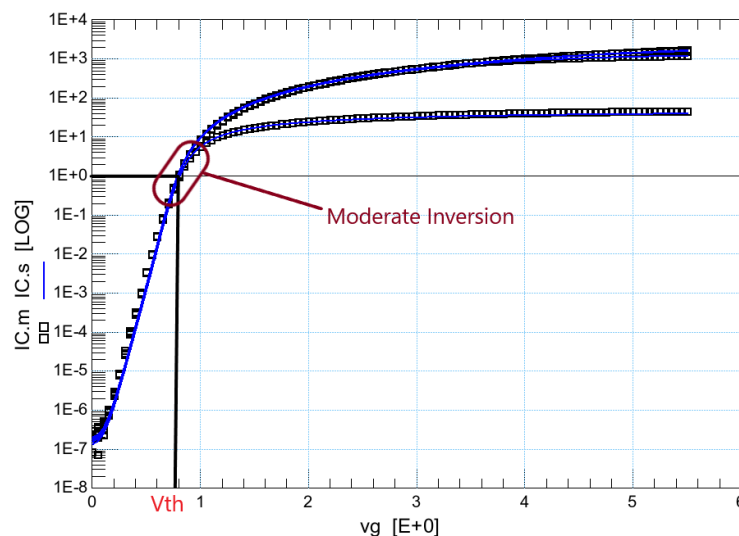
Εικόνα 4.2.4  $gm/utid$  από τρανζίστορ nMOS 30V με  $L=3\mu m$ . Η μέτρηση έγινε σε θερμοκρασία δωματίου  $T=25^{\circ}C$ . Με καφέ γραμμές απεικονίζονται οι μετρήσεις των τεσσάρων DIES, με μαύρα τετράγωνα απεικονίζεται ο μέσος όρος που προκύπτει από αυτές τις μετρήσεις και με μπλε γραμμή απεικονίζεται η εξαγωγή παραμέτρων για αυτή τη διάταξη.

Παρατηρείται ότι η διασπορά των μετρήσεων είναι εξαιρετικά μικρή παρόλο που τα DIES προήλθαν από την περιφέρεια του wafer όπου η διαδικασία κατασκευής παρουσιάζει μεγαλύτερες αποκλίσεις σε σχέση με το κέντρο. Αυτό αποδεικνύει καλό έλεγχο της διαδικασίας κατασκευής του wafer.

### 4.3 Εξαγωγή παραμέτρων

Μέρος αυτής της εργασίας ήταν και η εξαγωγή κάποιων βασικών παραμέτρων, ενδεικτικών της τεχνολογίας, οι οποίες χρίζουν ιδιαίτερης σημασίας στην αναλογική σχεδίαση. Αυτές είναι: η τάση κατωφλίου ( $V_{th}$ ), η κινητικότητα των φορέων (mobility), το slope factor ( $n$ ), το  $I_{on}$  και το  $I_0$ . Η μεθοδολογία εξαγωγής τους παρουσιάζεται παρακάτω.

**Η τάση κατωφλίου  $V_{th}$**  έχει προσδιοριστεί, τόσο στη γραμμική περιοχή όσο και στον κορεσμό, με τη μέθοδο του σταθερού ρεύματος (constant current method). Επιλέχθηκε ρεύμα κατωφλίου  $I_{th}$  στο moderate inversion το οποίο προσαρμόζεται στην κάθε γεωμετρία με το  $W$  και το  $L$  της. Το ρεύμα που επιλέχθηκε είναι κοντά στο  $I_C=1$ . Η τιμή του  $V_g$  που αντιστοιχεί σε αυτό το ρεύμα είναι η τάση κατωφλίου.



Εικόνα 4.3.1 Χαρακτηριστική μεταφοράς ( $\log(I_D)V_g$ ) από nMOS 24V με  $L=3\mu m$  μετρημένο σε θερμοκρασία δωματίου  $T=25^\circ C$  με την οποία περιγράφεται ο τρόπος εξαγωγής της τάσης κατωφλίου.

**Η κινητικότητα των φορέων (mobility)** υποδηλώνει το πόσο γρήγορα τα ηλεκτρόνια μπορούν να κινηθούν μέσω ενός μετάλλου ή ενός ημιαγωγού όταν επιταχύνονται από ένα ηλεκτρικό πεδίο. Τα φαινόμενα που επηρεάζουν περισσότερο την κινητικότητα είναι το Channel Length Modulation (CLM), το velocity saturation και το vertical field mobility reduction.

Η εξαγωγή της κινητικότητας βασίζεται στη σχέση που συνδέει το ρεύμα με την τάση στο Gate στην περιοχή του κορεσμού.



$$ID = \frac{n\beta}{2}(Vp - Vs)^2$$

$$\sqrt{ID} = \sqrt{\frac{n\beta}{2}}(Vp - Vs), \quad (Vp = \frac{VGS - Vto}{n})$$

$$\frac{d\sqrt{ID}}{dVGS} = \sqrt{\frac{n\beta}{2}} \frac{d}{dVGS}(\frac{VGS}{n} - \frac{Vto}{n} - Vs), \quad (Vto, Vs \text{ σταθερά ως προς } VGS)$$

$$= > \frac{d\sqrt{ID}}{dVGS} = \sqrt{\frac{n\beta}{2}} \frac{d}{dVGS}(\frac{VGS}{n})$$

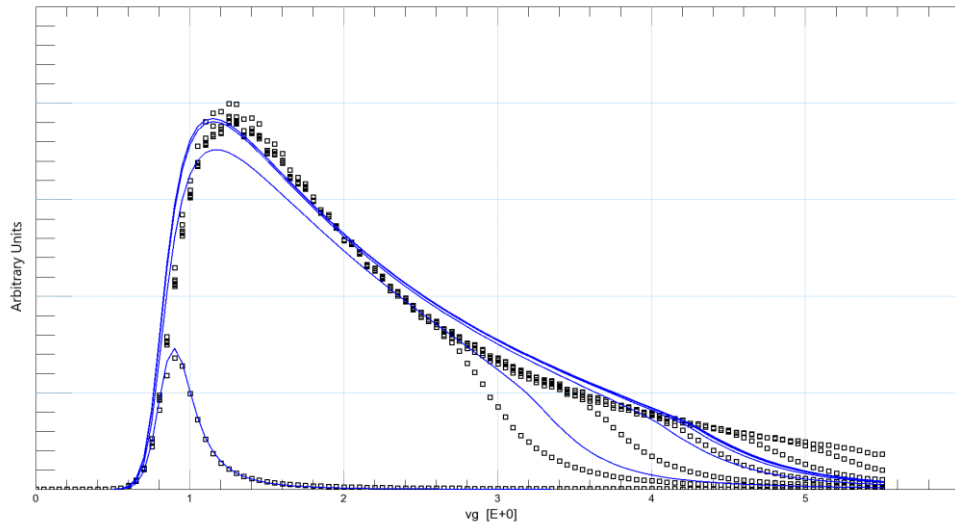
$$= > \frac{d\sqrt{ID}}{dVGS} = \sqrt{\frac{n\beta}{2}} \frac{1}{n} = \sqrt{\frac{n\beta}{2n^2}} = \sqrt{\frac{\beta}{2n}}, \quad (\beta = \mu Cox \frac{W}{L})$$

$$= > (\frac{d\sqrt{ID}}{dVGS})^2 = (\frac{\beta}{2n}) = \frac{\mu Cox W}{2nL}, \quad (\mu Cox = Kp)$$

$$= > Kp = \frac{2nL}{W} (\frac{d\sqrt{ID}}{dVGS})^2$$

$$= > Kp, max = \frac{2nL}{W} (\frac{d\sqrt{ID}}{dVGS})^2_{max}$$

Για να εξάγουμε το  $Kp$  χρειαζόμαστε το γράφημα  $(\frac{d\sqrt{ID}}{dVGS})^2$  ως προς το  $Vg$ .



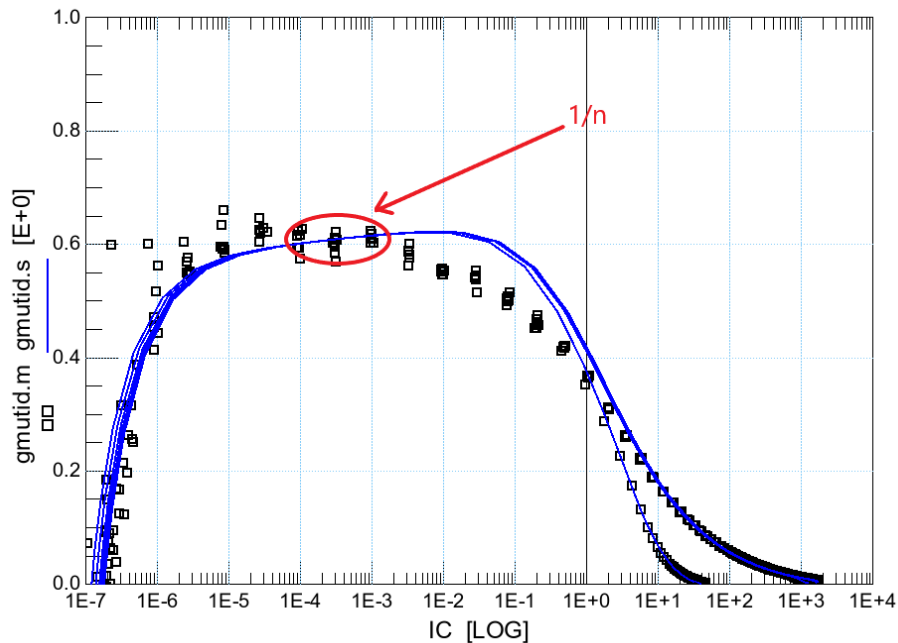
Εικόνα 4.3.2 Γραφική παράσταση της ποσότητας  $(\frac{d\sqrt{ID}}{dVGS})^2$  ως προς το  $Vg$  για την εξαγωγή του mobility.

Το peak της γραφικής παράστασης παραπάνω ισούται με τον όρο:

$$(\frac{d\sqrt{ID}}{dVGS})^2_{max}$$



**To Slope Factor (n)** προκύπτει από την γραφική παράσταση  $gm_{Ut}/I_d$  ως προς  $I_d$ . Σε ασθενή αναστροφή (weak inversion) όπου παρατηρείται τοπική σταθεροποίηση της γραφικής παράστασης κοντά σε κάποια τιμή, επιλέγουμε αυτή την τιμή η οποία είναι ίση με  $1/n$  όπως φαίνεται στο παρακάτω σχήμα.



Εικόνα 4.3.3  $gm_{Ut}/I_d$  από nMOS 24V με  $L=3\mu m$  μετρημένο σε θερμοκρασία δωματίου  $T=25^\circ C$  για την εξαγωγή του slope factor.

Η παραπάνω γραφική παράσταση παράγεται με τον εξής τρόπο:

$$\frac{d \ln(I_d)}{d(V_g)} = \frac{1}{I_d} \times \frac{d(I_d)}{d(V_g)} = \frac{gm}{I_d}$$

**To  $I_{on}$**  είναι το μέγιστο ρεύμα που μπορεί να δώσει ένα τρανζίστορ και προκύπτει από την  $I_d V_d$  για μέγιστο  $V_d$  στο μέγιστο  $V_g$ .

**$I_o$  [7]:**

Για τον υπολογισμό του  $I_o$  ακολουθήθηκε η παρακάτω διαδικασία:

Η σχέση που συνδέει την γενικευμένη διαγωγιμότητα  $G$  με το μέγεθος  $gm_{Ut}/I_d$  είναι η

$$\frac{G(IC)}{n} = \frac{gm_g U_t}{I_d}, \quad G(IC) = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}}$$

Για IC=1, G(1)=0,618 και είναι εμφανές ότι 0,618 x (1/n) θα ισούται με την τιμή του gmUt/Id που αντιστοιχεί στο Id=I<sub>SPEC</sub>, καθώς το 1/n είναι η μέγιστη τιμή της ποσότητας gmUt/Id. Από το I<sub>SPEC</sub> έχουμε το I<sub>0</sub>=I<sub>SPEC</sub> x (L/W).

Αυτή η διαδικασία έγινε τέσσερις φορές, μία για κάθε τύπο συσκευών (nMOS 24V, nMOS 30V, pMOS 24V, pMOS 30V).

#### 4.4 Παρουσίαση αποτελεσμάτων

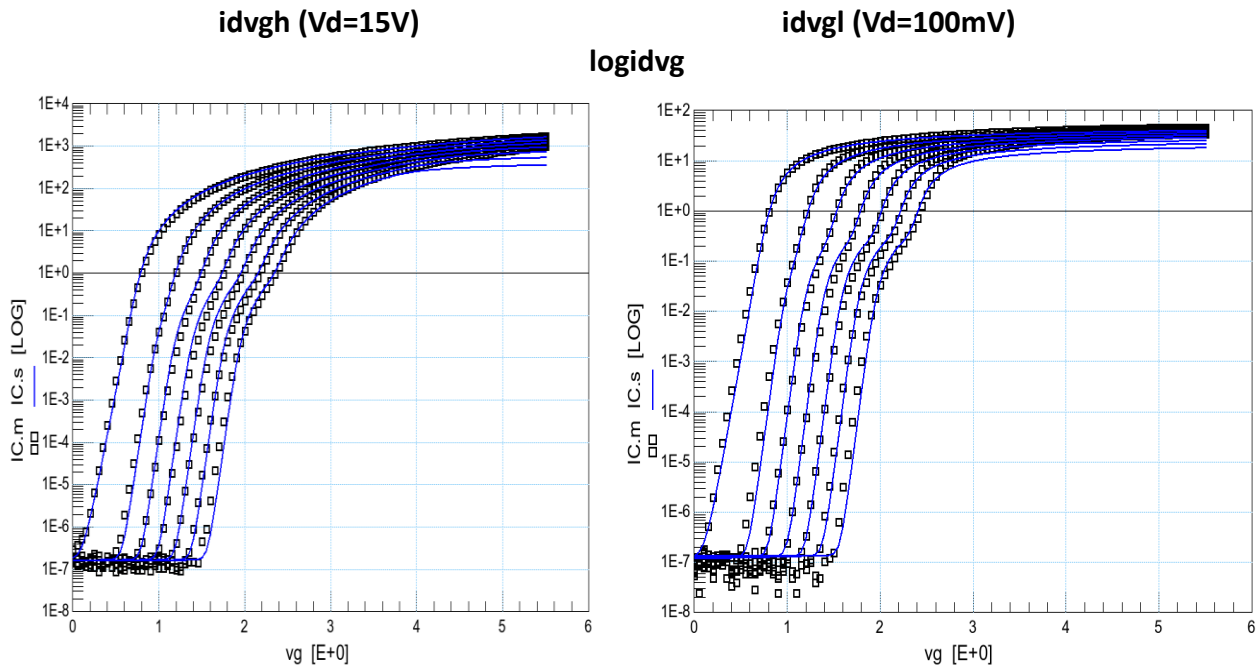
Ακολουθεί η παρουσίαση αποτελεσμάτων κατά την οποία όλα τα ρεύματα είναι κανονικοποιημένα με το  $I_0 \times (W/L)$  και παρουσιάζονται στα διαγράμματα ως το κανονικοποιημένο  $IC$ . Με μαύρα τετράγωνα απεικονίζεται ο μέσος όρος των μετρήσεων και με μπλε γραμμή το αποτέλεσμα της μοντελοποίησης.

Αρχικά, παρουσιάζονται τα αποτελέσματα των nMOS 24V και Pmos 24V. Πρώτα παρουσιάζονται τα διαγράμματα απο το τρανζίστορ με το μακρύτερο κανάλι και ακολουθεί το τρανζίστορ με το βραχύτερο κανάλι στο Array. Τα διαγράμματα που εμφανίζονται πρώτα είναι τα  $IdVg$  για δύο διαφορετικές τιμές του  $V_d$  (high και low). Στη συνέχεια παρουσιάζονται στα αριστερά τα διαγράμματα  $IdVg$  με μηδενική τάση στο Bulk ( $V_b=0$ ), τα οποία παρουσιάζονται ως  $IdVgb$  στα διαγράμματα, και στα δεξιά τα διαγράμματα  $IdVd$ . Στα Pmos έχουν εμφανιστεί τα  $-V_g$  και  $-V_d$  ώστε η μορφή να ομοιάζει με αυτή των nMOS (στο πρώτο τεταρτημόριο).

Έπειτα ακολουθούν τα γραφήματα κλιμάκωσης (Scaling Plots) των παραμέτρων που αναλύθηκαν στην παράγραφο 4.3 με την παρακάτω σειρά:  $V_{th}$ ,  $I_{on}$ ,  $I_{on}$  normalized ( $I_{on} \times (W/L)$ , mobility in saturation, slope factor. Αριστερά παρουσιάζονται τα γραφήματα κλιμάκωσης των nMOS και δεξιά αυτά των pMOS.

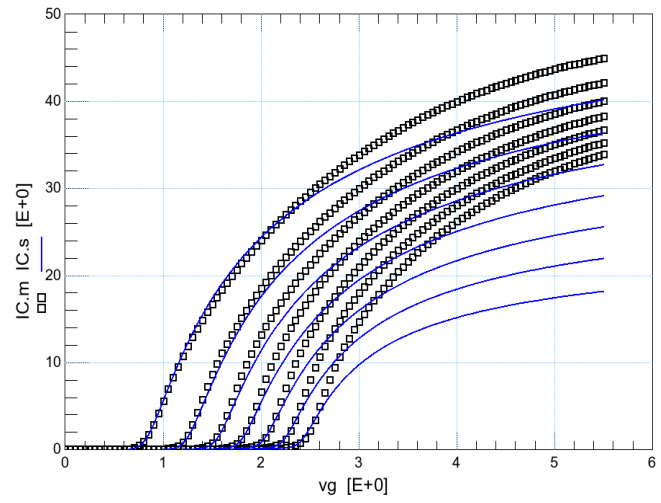
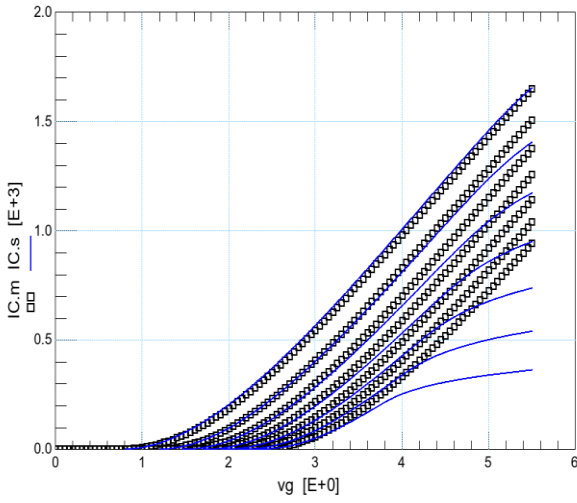
Αντίστοιχη μελέτη παρουσιάζεται και για τα nMOS και pMOS των 30V.

##### nMOS 24V 3 $\mu$ m (long channel)

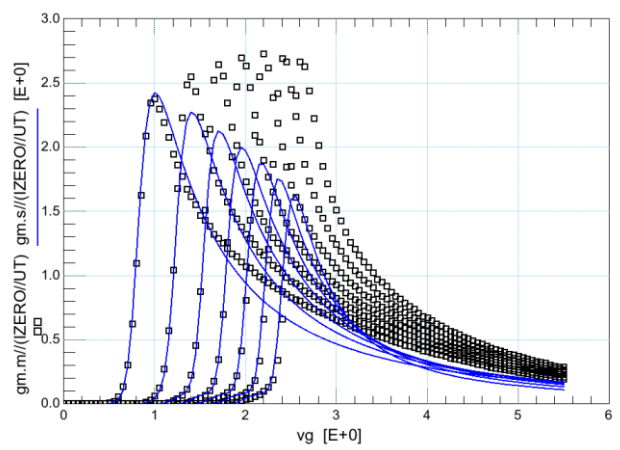
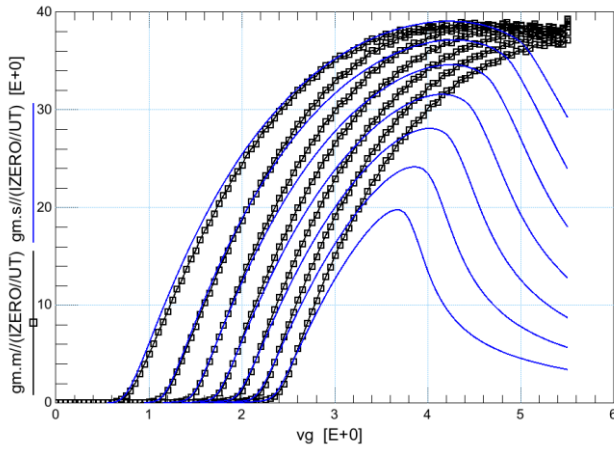


Παρατηρούμε το edge effect του edge transistor στη μετάβαση από τη γραμμική περιοχή στον κόρο.

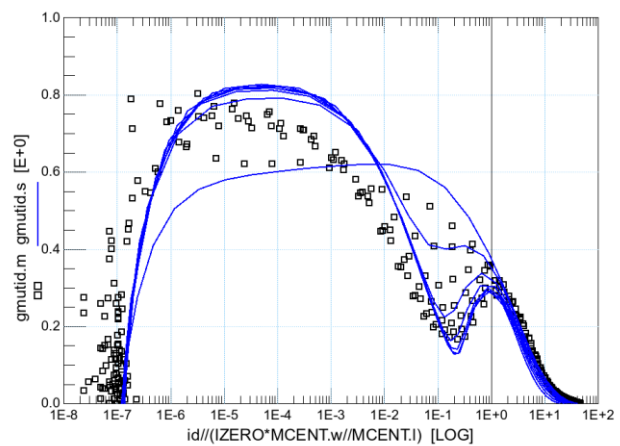
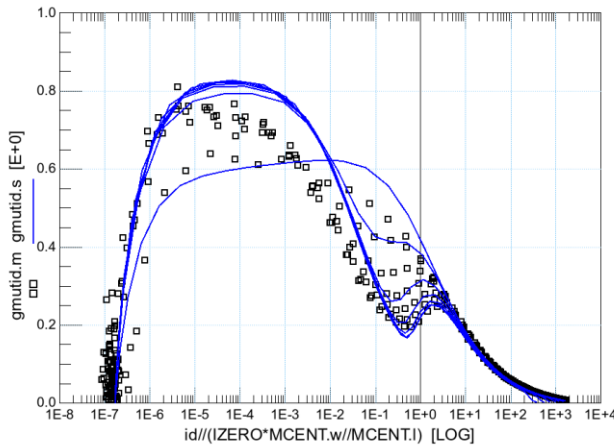
### idvg



### gmvg



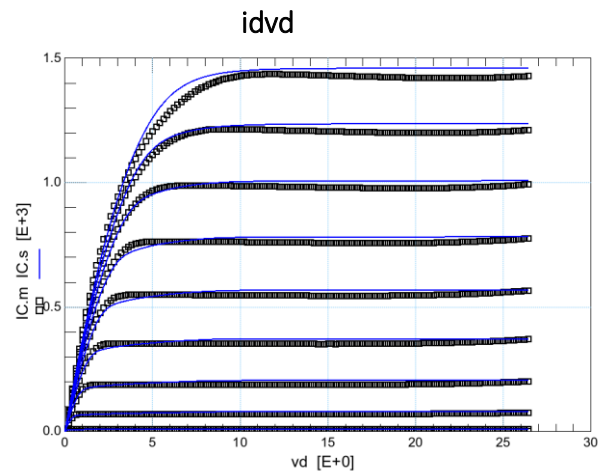
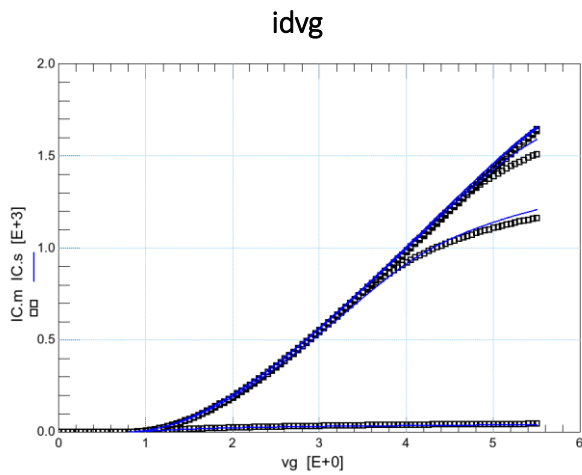
### gmudid



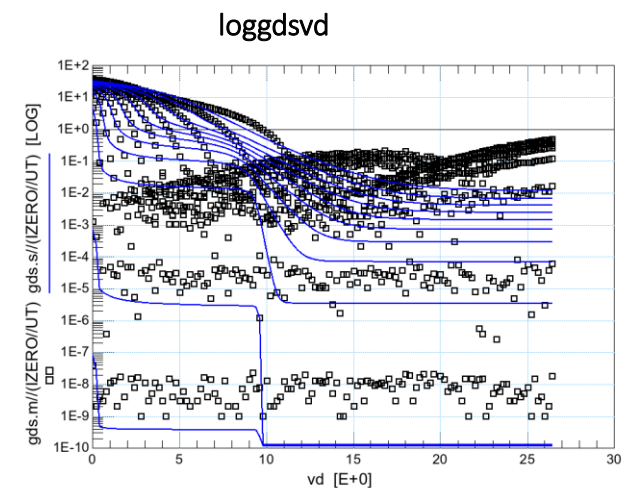
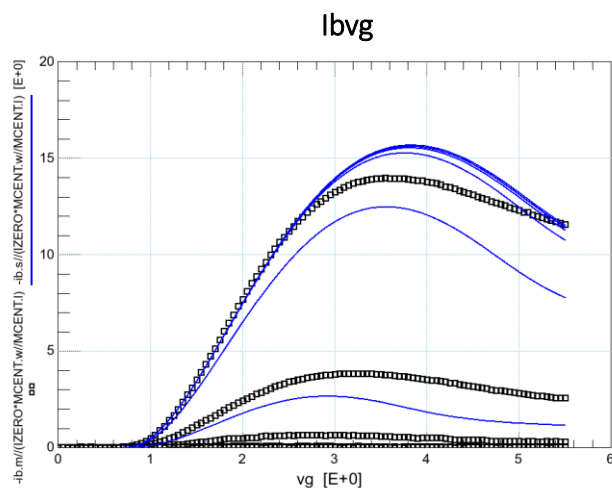
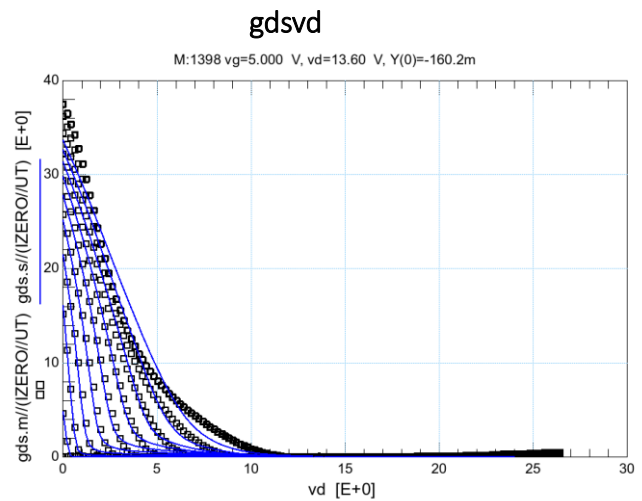
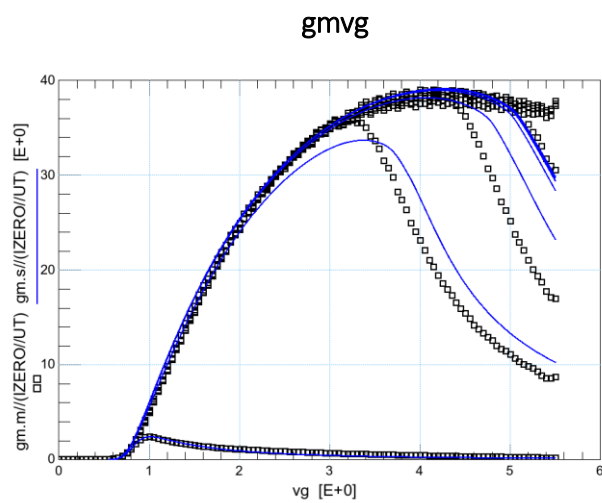
Εικόνες 4.4.1 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d=15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d=100mV$  (δεξιά στήλη), από nMOS 24V με  $L=3\mu m$  σε θερμοκρασία δωματίου ( $T=25^\circ C$ ).

$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_b$ : Από  $0$  έως  $-6V$  με βήμα  $-1V$ .



Στην  $idvd$  παρατηρείται το φαινόμενο του quasi saturation και το self heating. Από το διάγραμμα  $gm_{utid}$  έχει υπολογιστεί ο slope factor.



Εικόνες 4.4.2 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $idvg$  και  $gmvg$  χωρίς τάση στο Bulk ( $V_b=0$ ) από nMOS 24V με  $L=3\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $ibvg$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $idvd$ ,  $gdsvd$  και  $loggdsvd$ .

Για τις γραφικές παραστάσεις  $idvg$  και  $gmvg$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_d$ : Από  $100mV$  έως  $24.10V$  με βήμα  $4V$ .

$V_b=0$ .

Για τις γραφικές παραστάσεις  $i_{dvd}$ ,  $g_{ds}$  και  $\log g_{dsvd}$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

$V_d$ : Από 0 έως 26.4V με βήμα 200mV.

$V_g$ : Από 0 έως 5V με βήμα 0.5V.

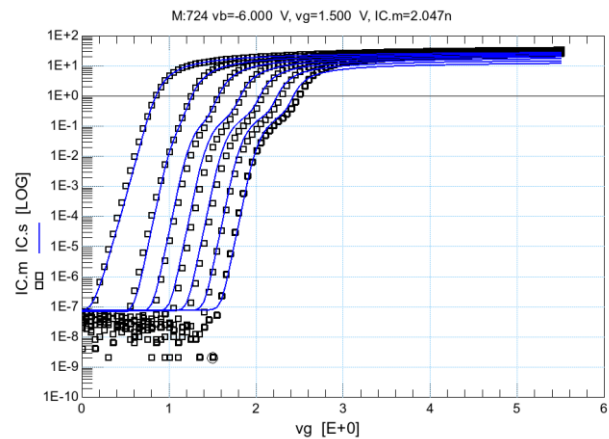
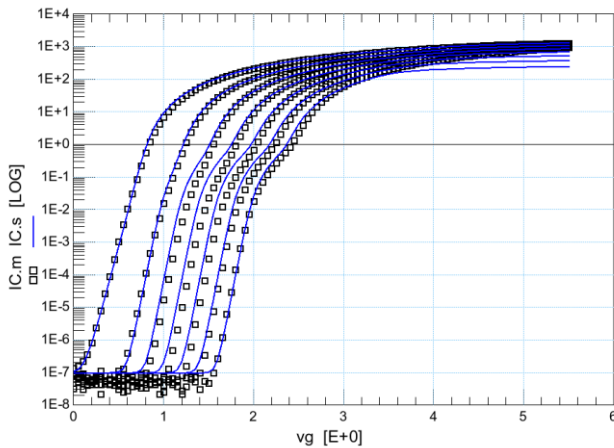
$V_b=0$ .

### nMOS 24V 1.75 $\mu m$ (Short channel)

$i_{dvgh}$  ( $V_d=15V$ )

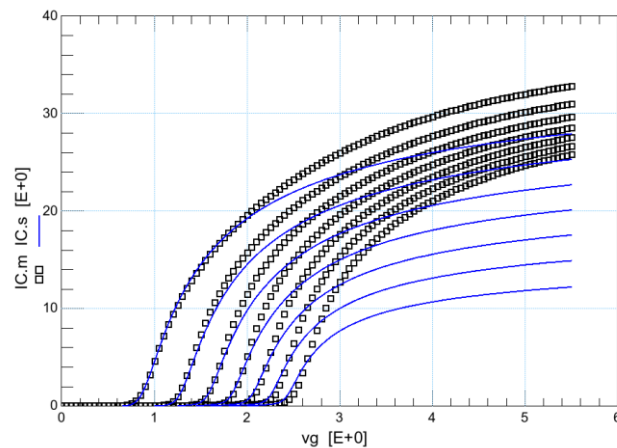
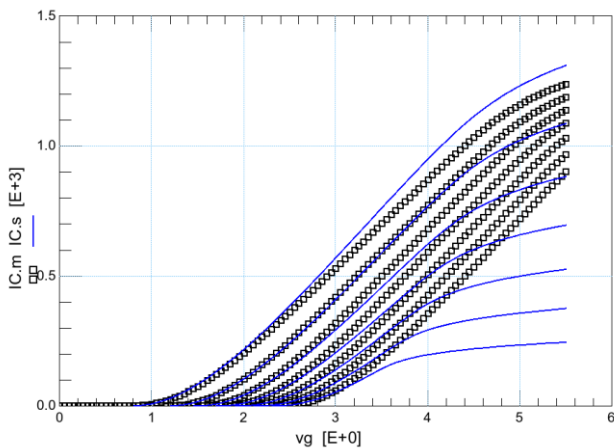
$i_{dvgl}$  ( $V_d=100mV$ )

$\log i_{dv}$

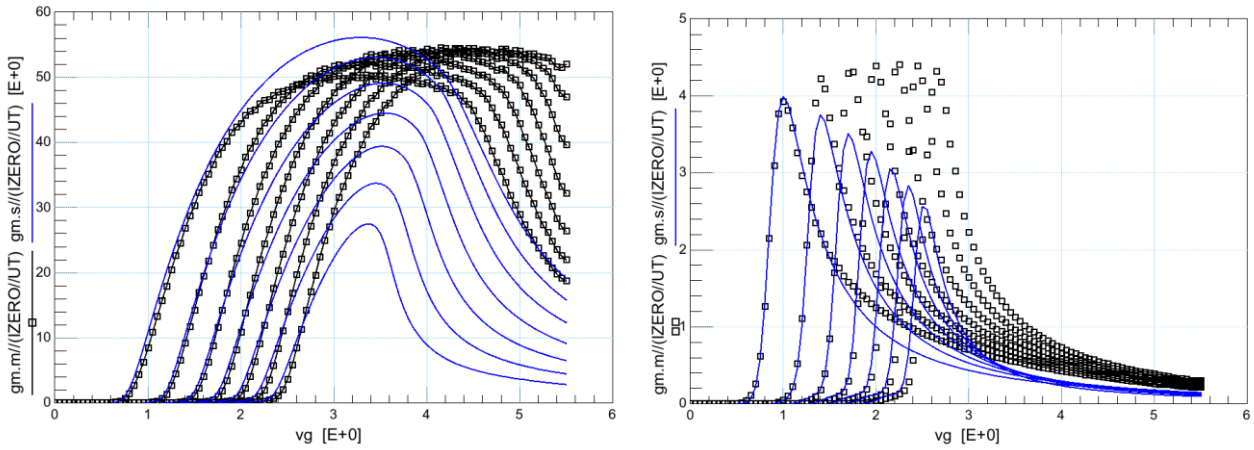


Το body effect παρατηρούμε ότι μοντελοποιείται δυσκολότερα στο short channel, το οποίο στηρίζεται στο scaling για να περιγραφεί σωστά, ενώ στο long channel έχουμε ένα πολύ καλό αποτέλεσμα.

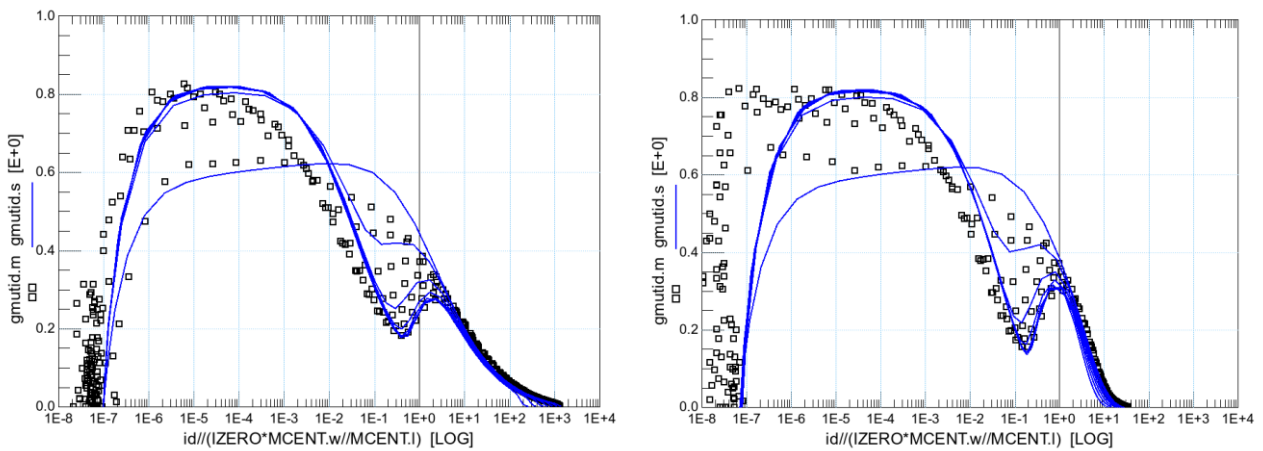
$i_{dv}$



### gmvg



### gmudid

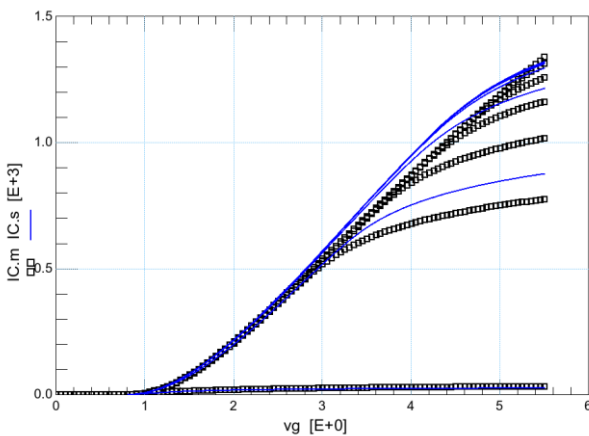


Εικόνες 4.4.3 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d=15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d=100mV$  (δεξιά στήλη), από nMOS 24V με  $L=1.75\mu m$  σε θερμοκρασία δωματίου ( $T=25^\circ C$ ).

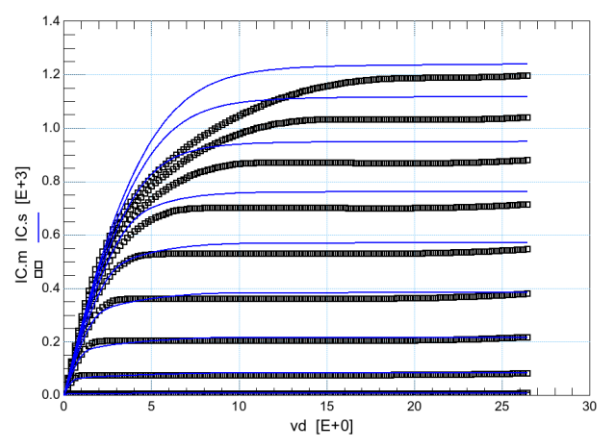
$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_b$ : Από  $0$  έως  $-6V$  με βήμα  $-1V$ .

### idvg

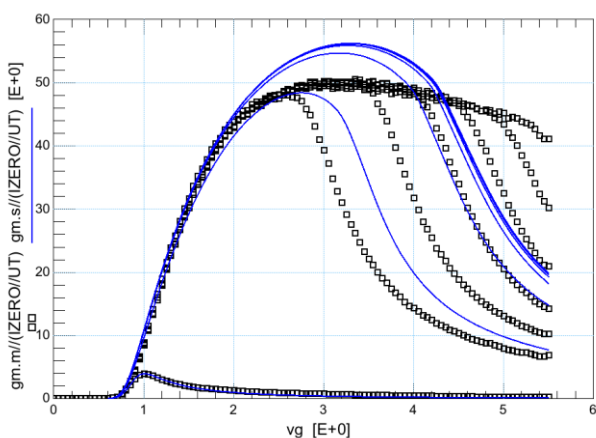


### idvd

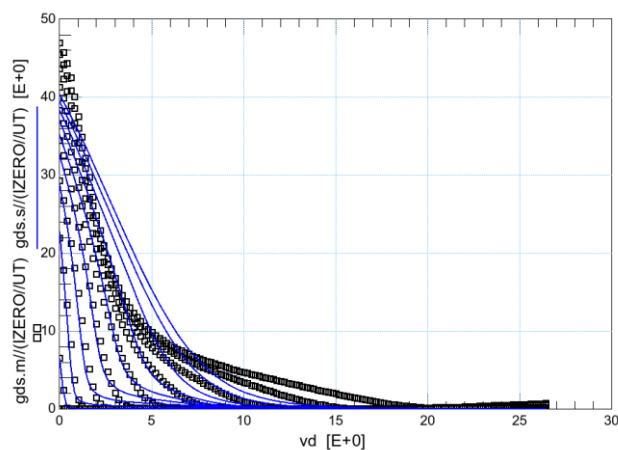




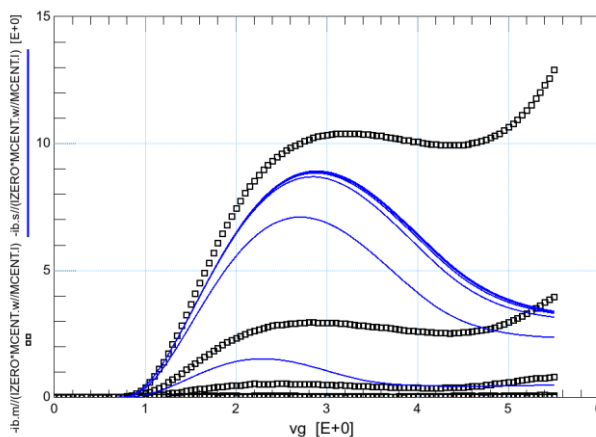
gmvg



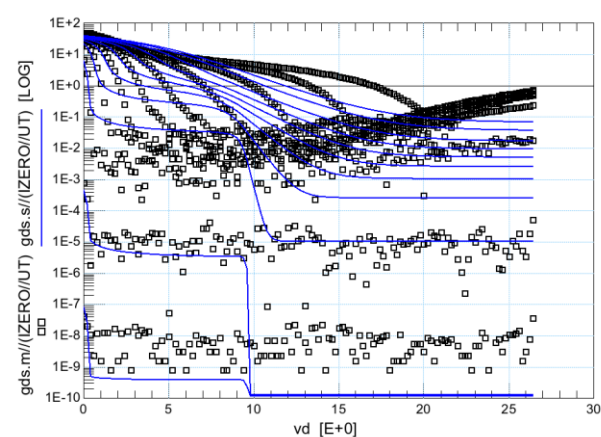
gdsvd



ibvg



loggdsd



Εικόνες 4.4.4 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $idvg$  και  $gmvg$  χωρίς τάση στο Bulk ( $V_b=0$ ) από nMOS 24V με  $L=1.75\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $ibvg$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $idvd$ ,  $gdsd$  και  $loggdsd$ .

Για τις γραφικές παραστάσεις  $idvg$  και  $gmvg$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_d$ : Από  $100mV$  έως  $24.10V$  με βήμα  $4V$ .

$V_b=0$ .

Για τις γραφικές παραστάσεις  $idvd$ ,  $gds$  και  $loggdsd$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

$V_d$ : Από  $0$  έως  $26.4V$  με βήμα  $200mV$ .

$V_g$ : Από  $0$  έως  $5V$  με βήμα  $0.5V$ .

$V_b=0$ .

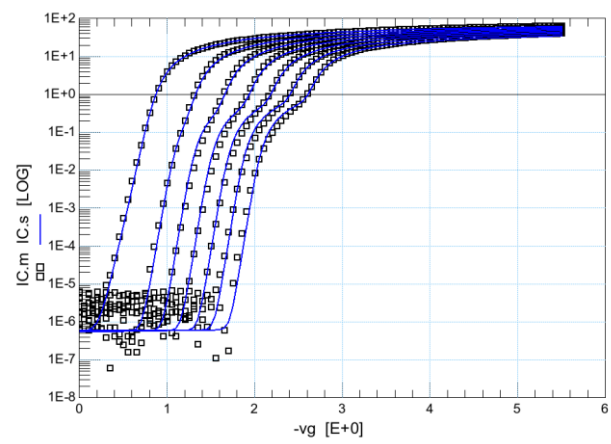
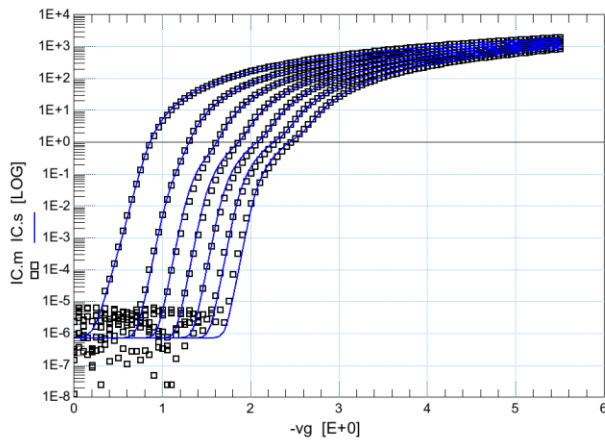


# pMOS 24V 2.5 $\mu$ m (Long channel)

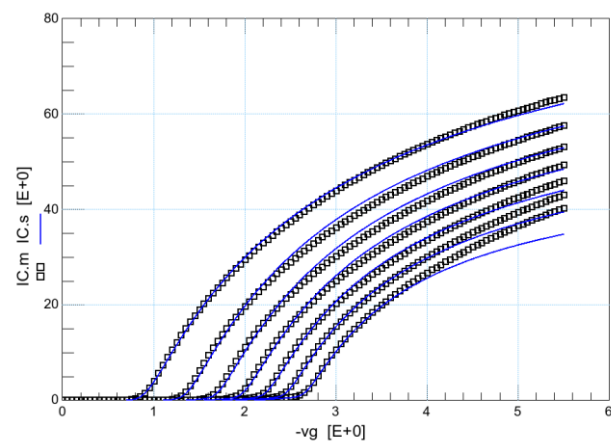
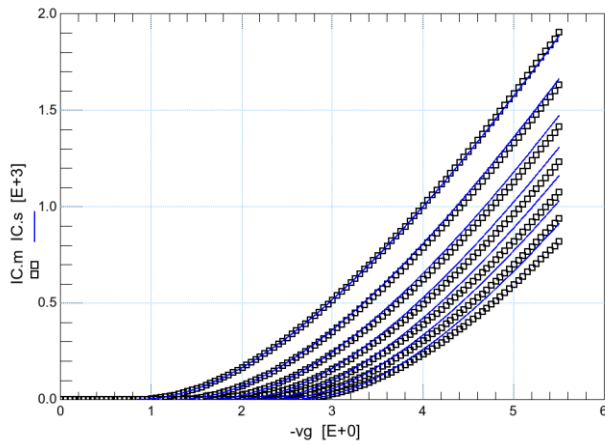
idvgh (Vd=-15V)

idvgl (Vd=-100mV)

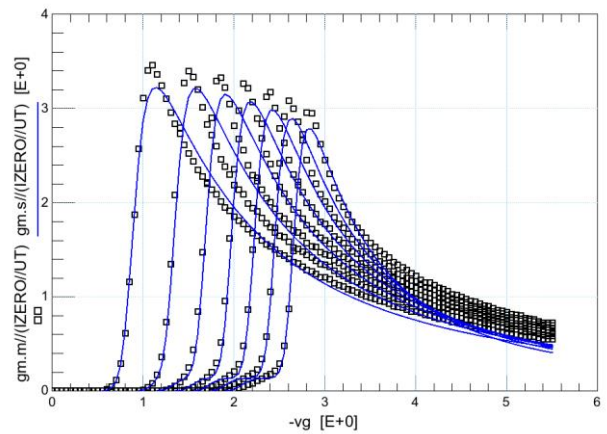
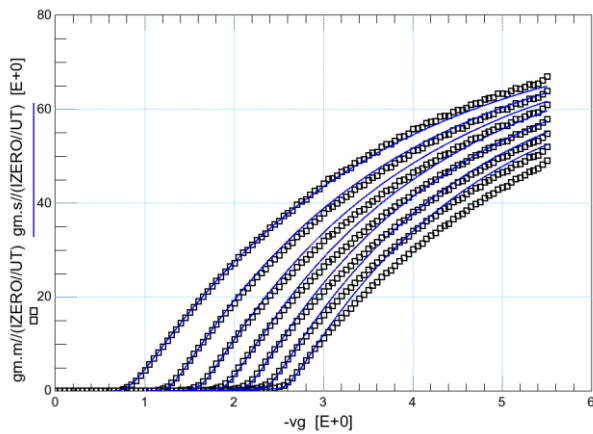
logidvg



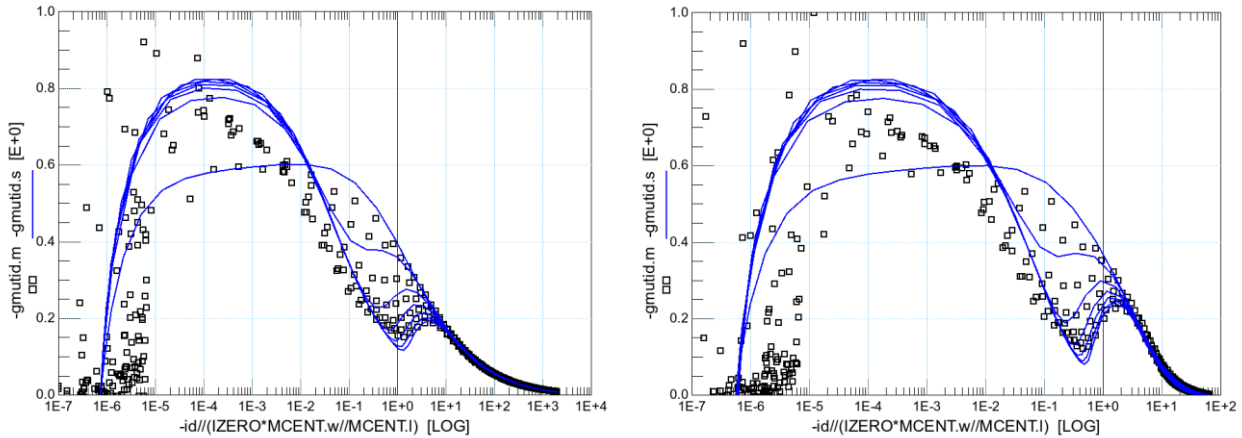
idvg



gmvg



### gmudid

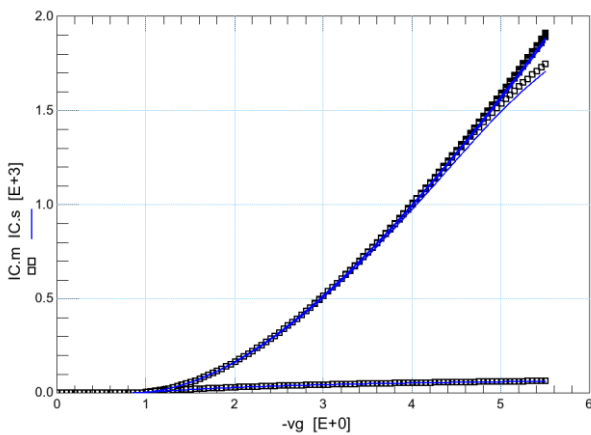


Εικόνες 4.4.5 Χαρακτηριστικές  $\log(id)v_g$ ,  $idv_g$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d = -15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d = -100mV$  (δεξιά στήλη), από pMOS 24V με  $L = 2.5\mu m$  σε θερμοκρασία δωματίου ( $T = 25^\circ C$ ).

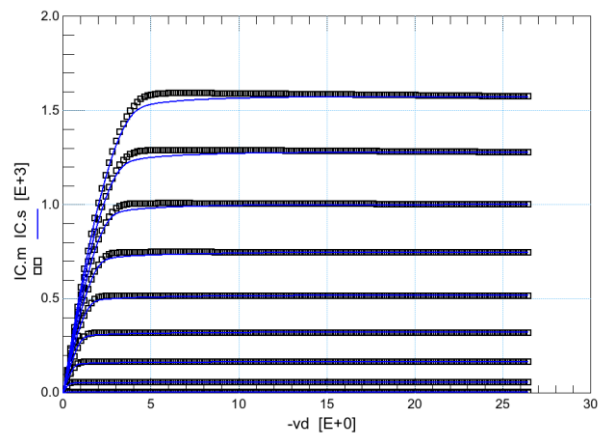
$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_b$ : Από 0 έως 6V με βήμα 1V.

### idvg

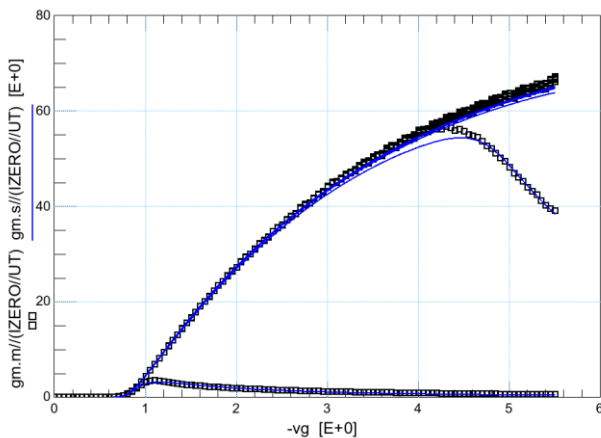


### idvd

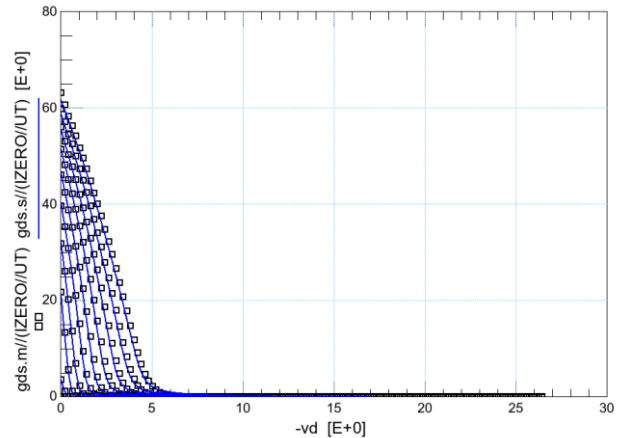


Στα pMOS το φαινόμενο του self heating εμφανίζεται εντονότερο από ότι στα nMOS. Το μοντέλο EKV 2.6 που χρησιμοποιήθηκε δεν περιλαμβάνει παραμέτρους που ρυθμίζουν το φαινόμενο του self heating. Παρόλα αυτά έχουμε μια πολύ καλή προσέγγιση του μοντέλου καλύπτοντας σε αρκετά μεγάλο βαθμό αυτό το φαινόμενο.

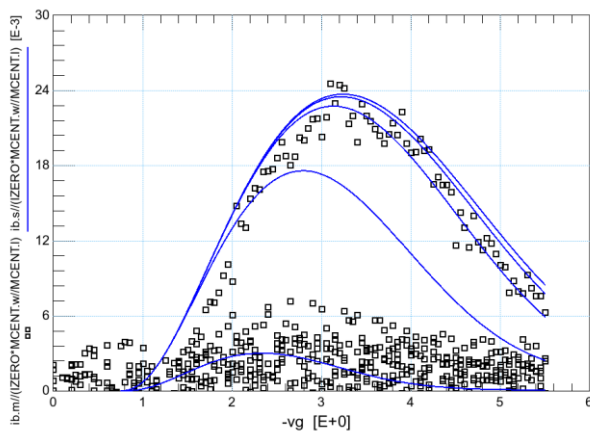
gmvg



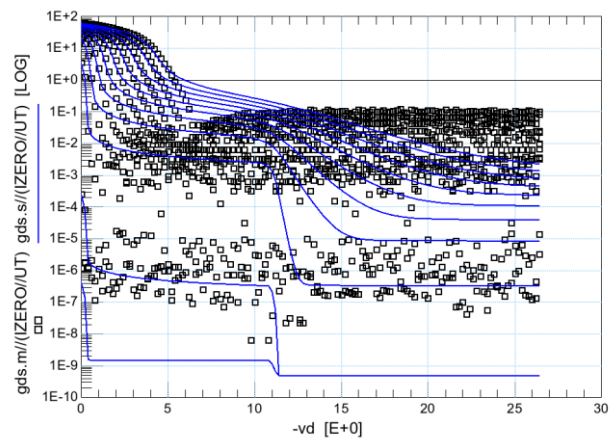
gdsvd



ibvg



loggdsvd



Εικόνες 4.4.6 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές idvg και gmvg χωρίς τάση στο Bulk ( $V_b=0$ ) από pMOS 24V με  $L=2.5\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική ibvg. Στα δεξιά απεικονίζονται οι χαρακτηριστικές idvd, gdsvd και loggdsvd.

Για τις γραφικές παραστάσεις idvg και gmvg (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_d$ : Από -100mV έως -24.10V με βήμα -4V.

$V_b=0$ .

Για τις γραφικές παραστάσεις idvd, gds και loggdsvd (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

$V_d$ : Από 0 έως -26.4V με βήμα -200mV.

$V_g$ : Από 0 έως -5V με βήμα -0.5V.

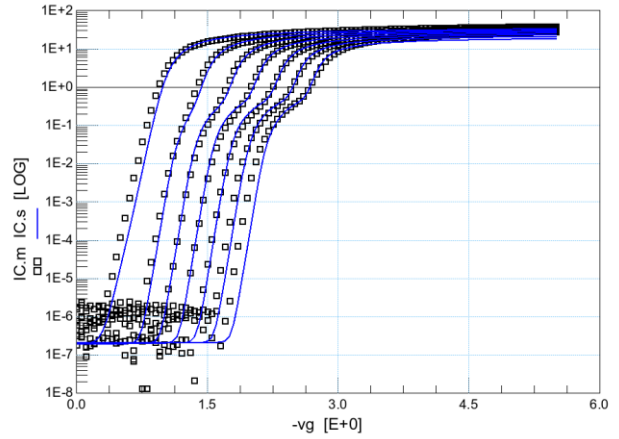
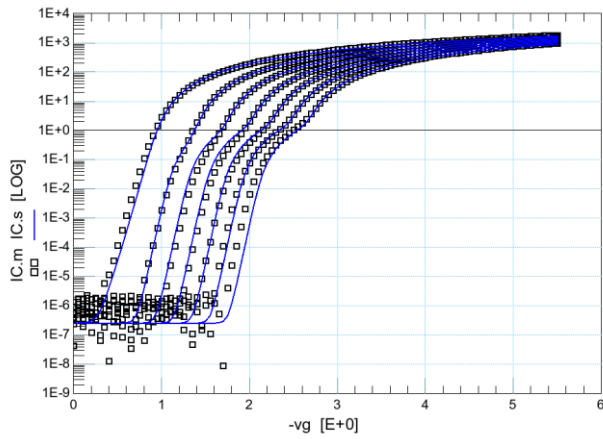
$V_b=0$ .

# pMOS 24V 0.875μm (Short channel)

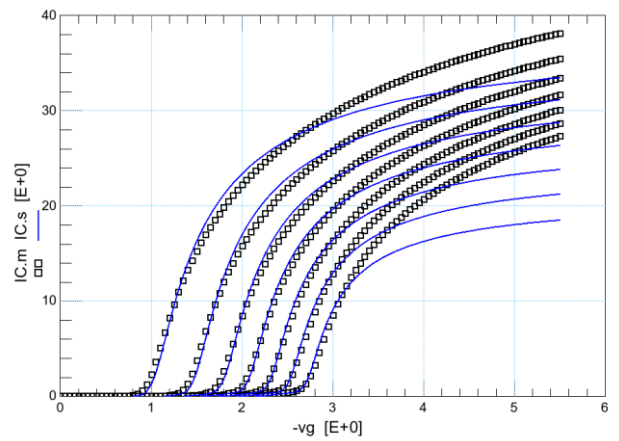
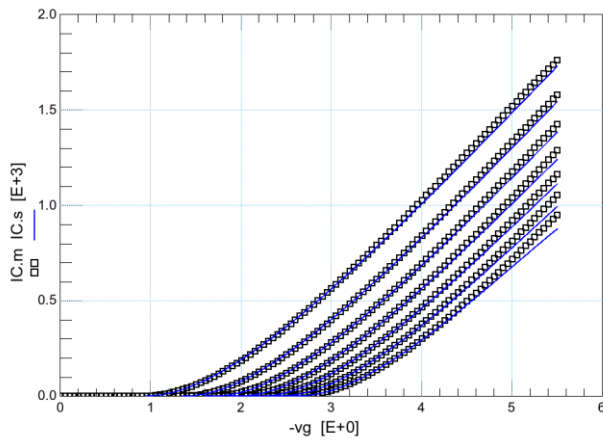
idvgh (Vd= -15V)

idvgl (Vd= -100mV)

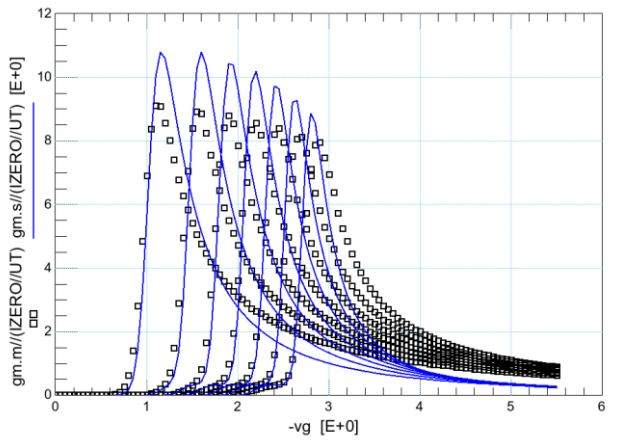
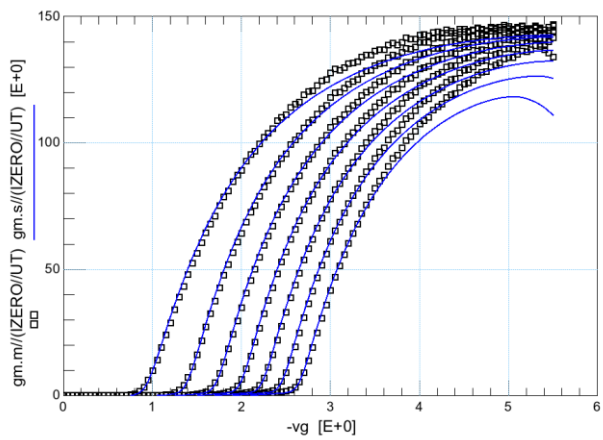
logidvg



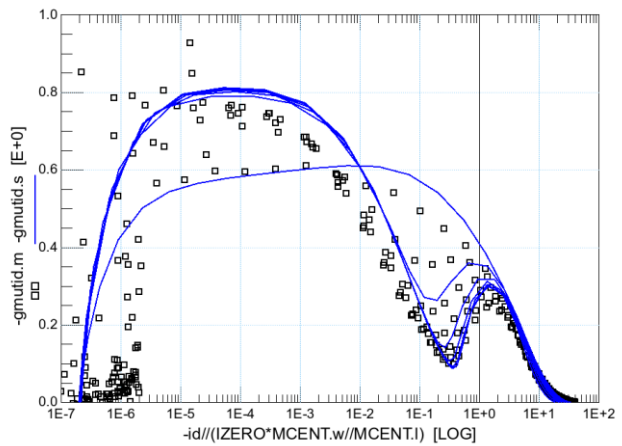
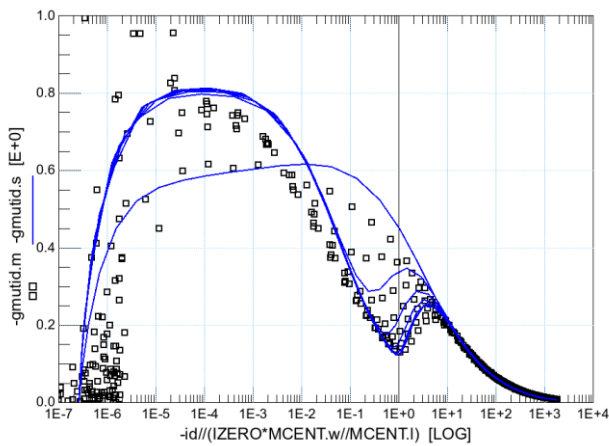
idvg



gmvg



### gmudid

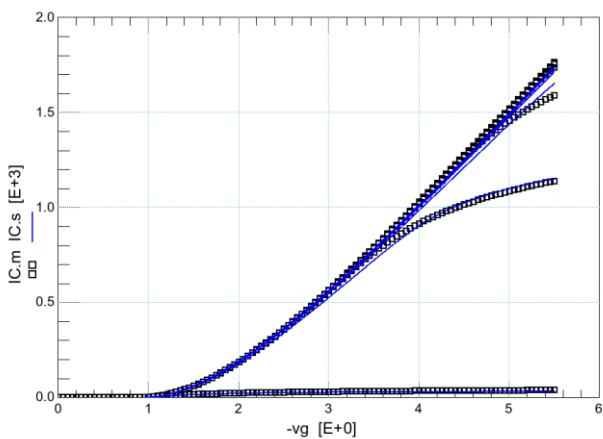


Εικόνες 4.4.7 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d = -15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d = -100mV$  (δεξιά στήλη), από pMOS 24V με  $L = 0.875\mu m$  σε θερμοκρασία δωματίου ( $T = 25^\circ C$ ).

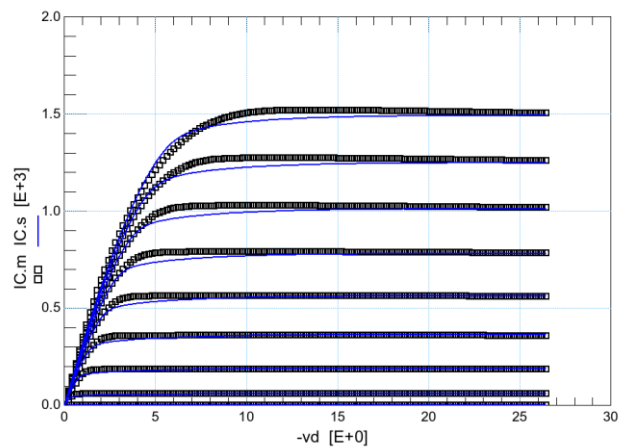
$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_b$ : Από 0 έως 6V με βήμα 1V.

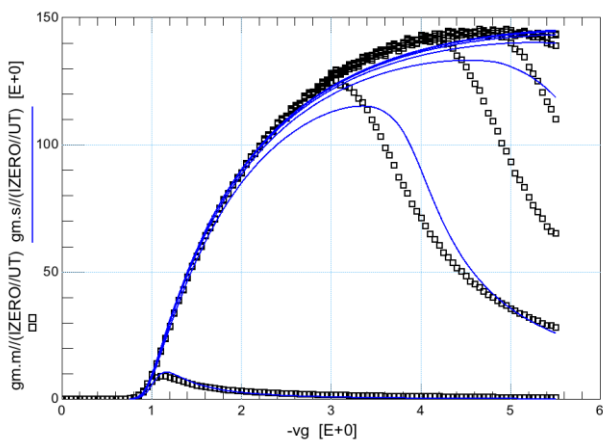
### idvg



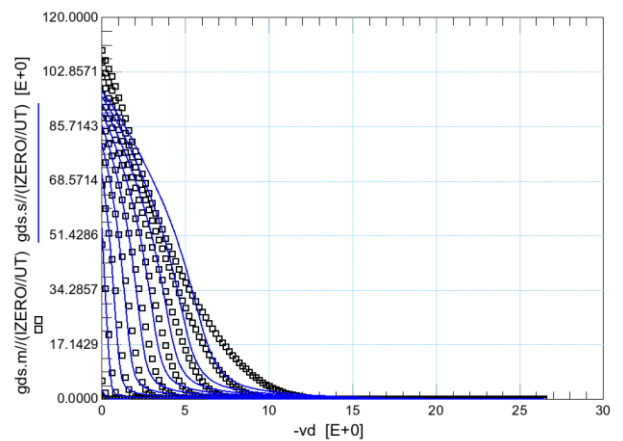
### idvd



### gmvg



### gdsvd





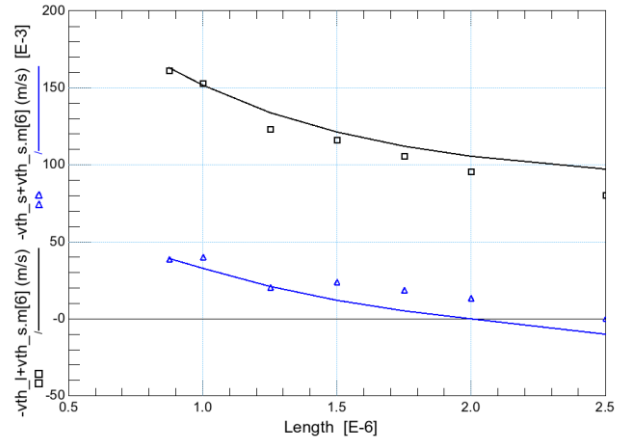
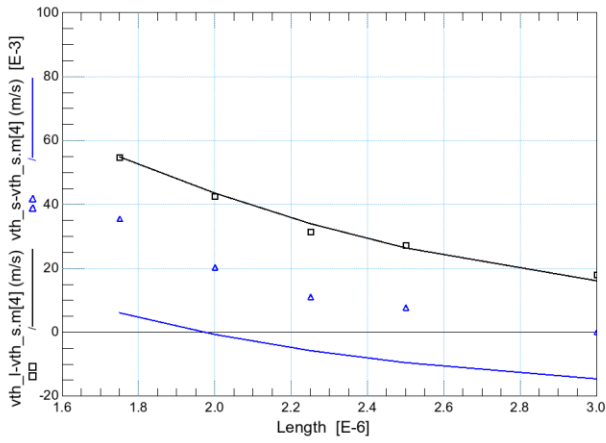


# Scaling Plots 24V

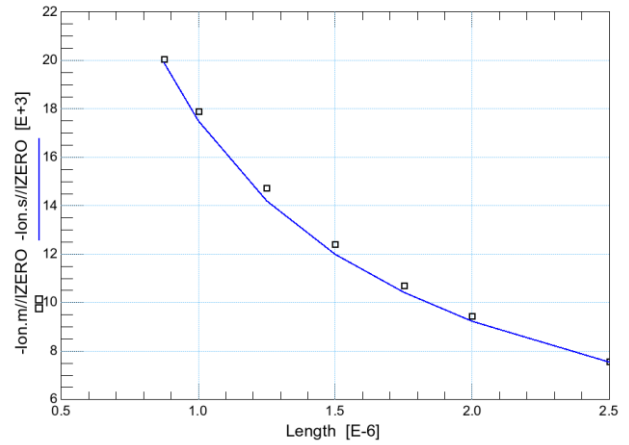
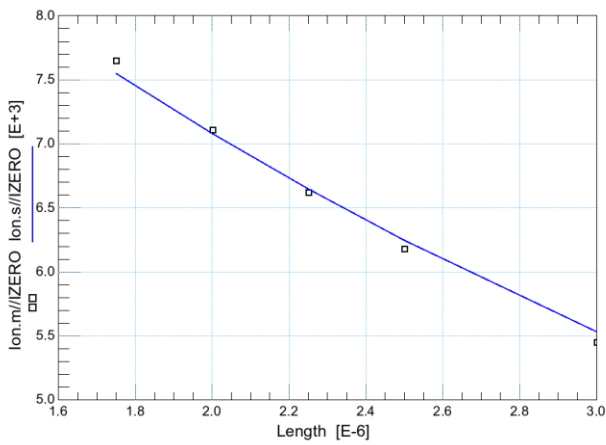
nMOS

pMOS

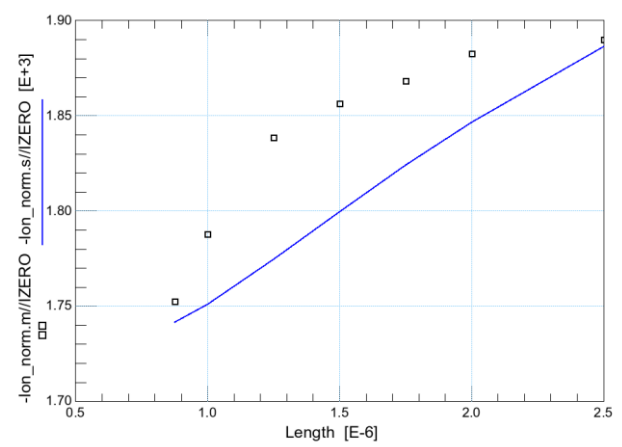
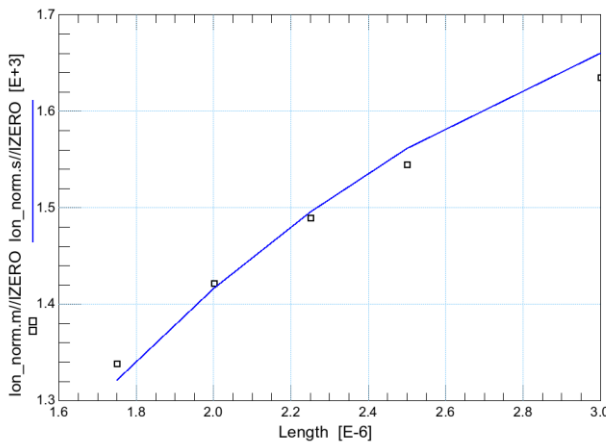
Vth



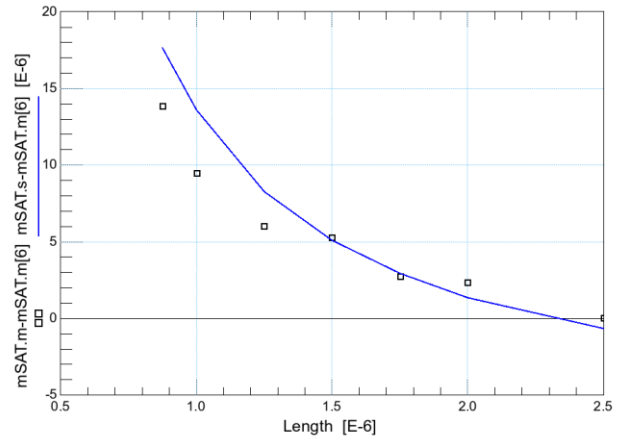
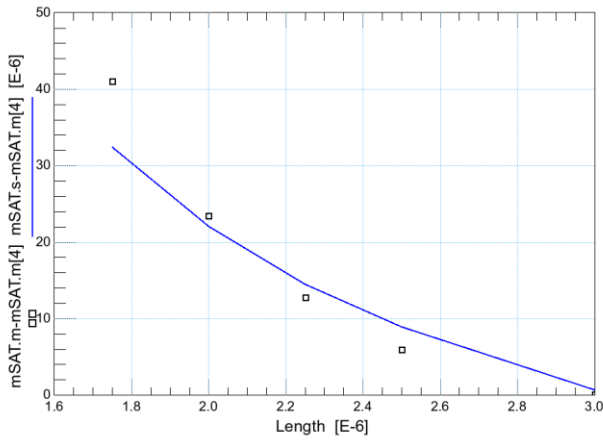
Ion



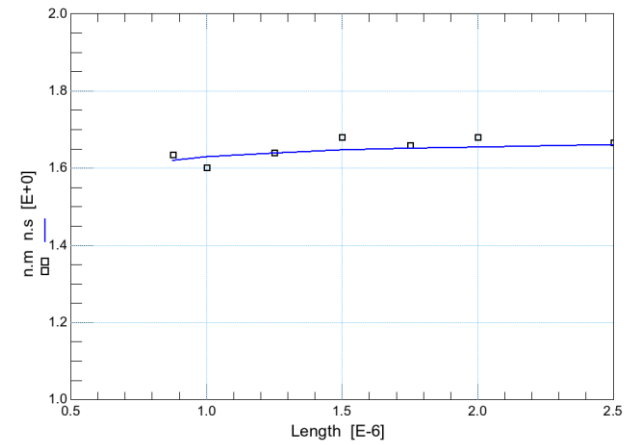
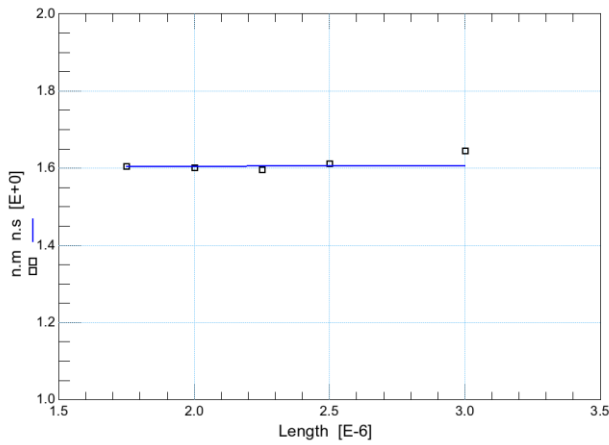
Ion\_normalized



### Mobility in saturation



### n (slope factor)

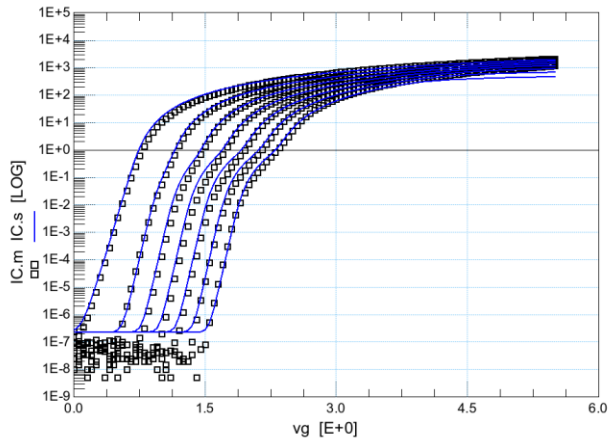


Εικόνες 4.4.9 Γραφήματα κλιμάκωσης (Scaling Plots) nMOS 24V (αριστερά) και pMOS 24V(δεξιά). Στα γραφήματα της τάσης κατωφλίου ( $V_{th}$ ) με μαύρη γραμμή απεικονίζεται η τάση κατωφλίου σε γραμμική περιοχή και με μπλε γραμμή σε κορεσμό. Επίσης, παρουσιάζονται τα γραφήματα του  $I_{on}$ ,  $I_{on\_normalized}$ , mobility in saturation και slope factor.

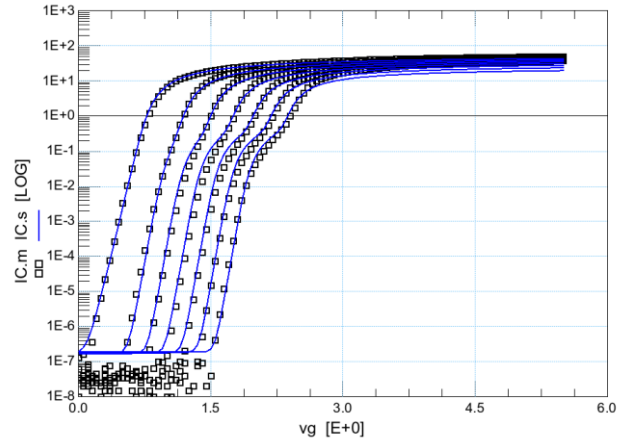


# nMOS 30V 3.5μm (long channel)

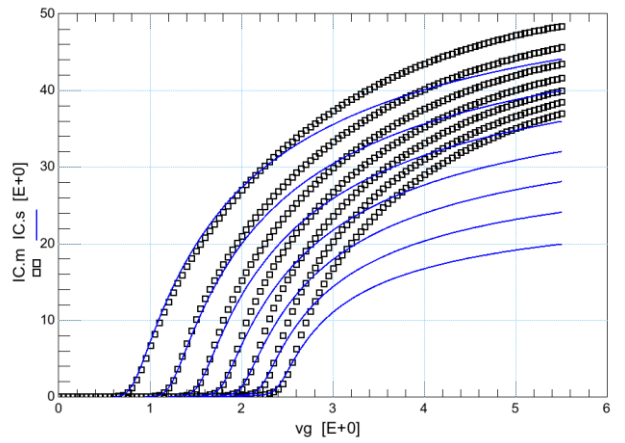
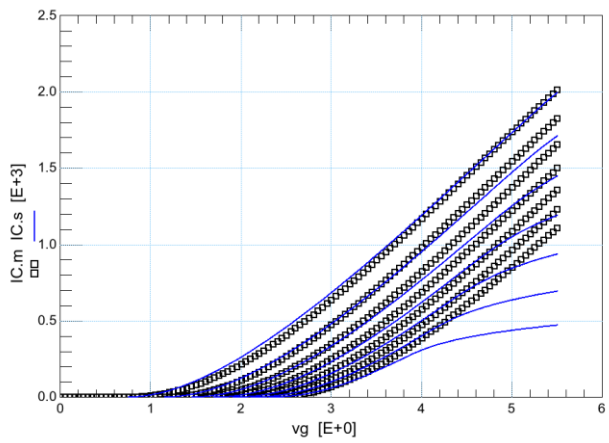
idvgh



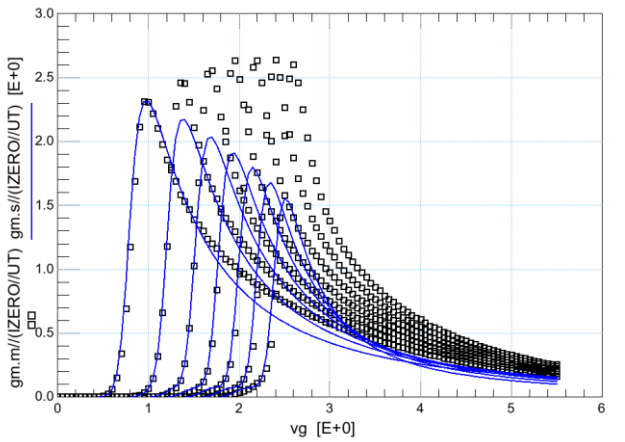
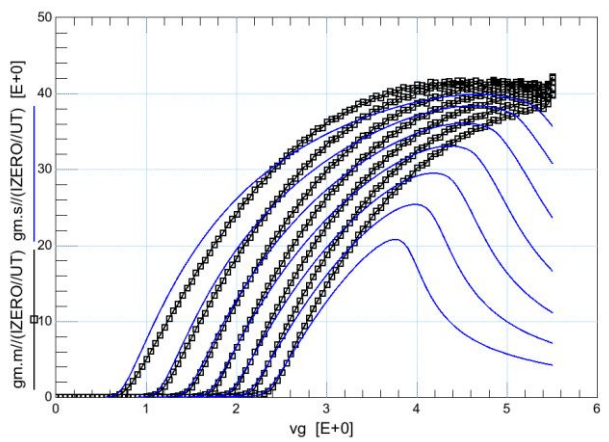
logidvg



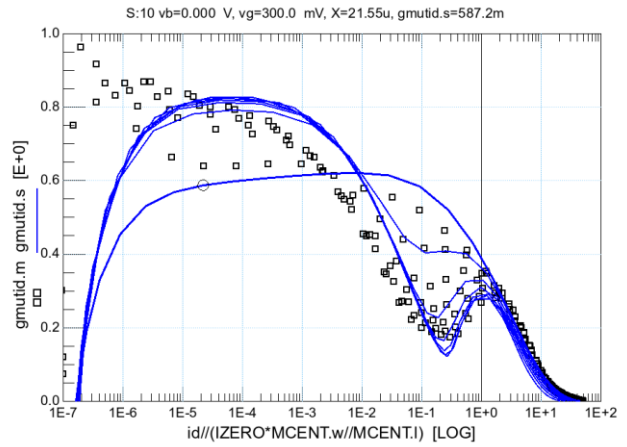
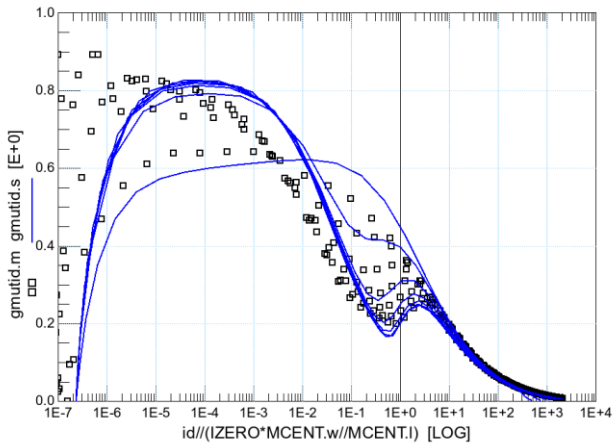
idvg



gmvg



### gmudid

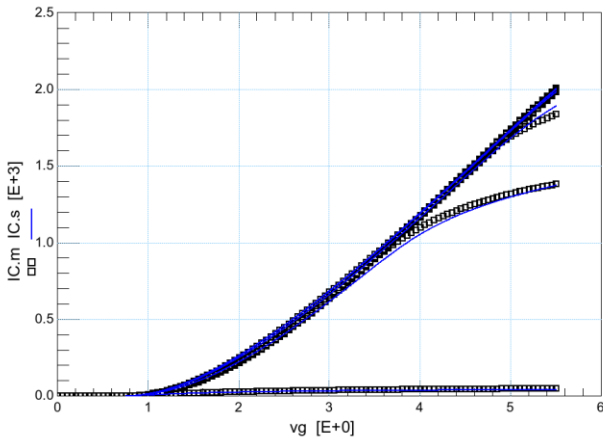


Εικόνες 4.4.10 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d=15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d=100mV$  (δεξιά στήλη), από nMOS 30V με  $L=3.5\mu m$  σε θερμοκρασία δωματίου ( $T=25^\circ C$ ).

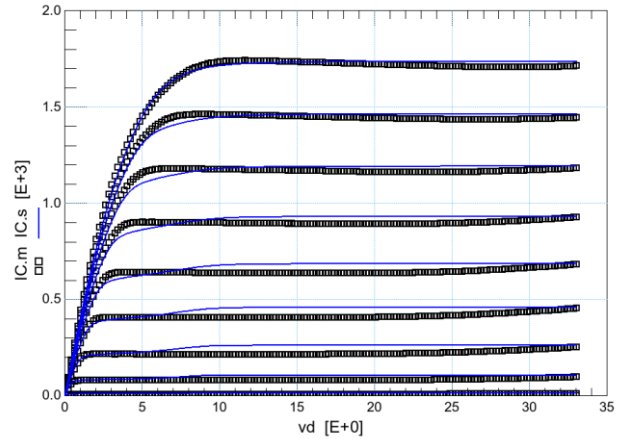
$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_b$ : Από  $0$  έως  $-6V$  με βήμα  $-1V$ .

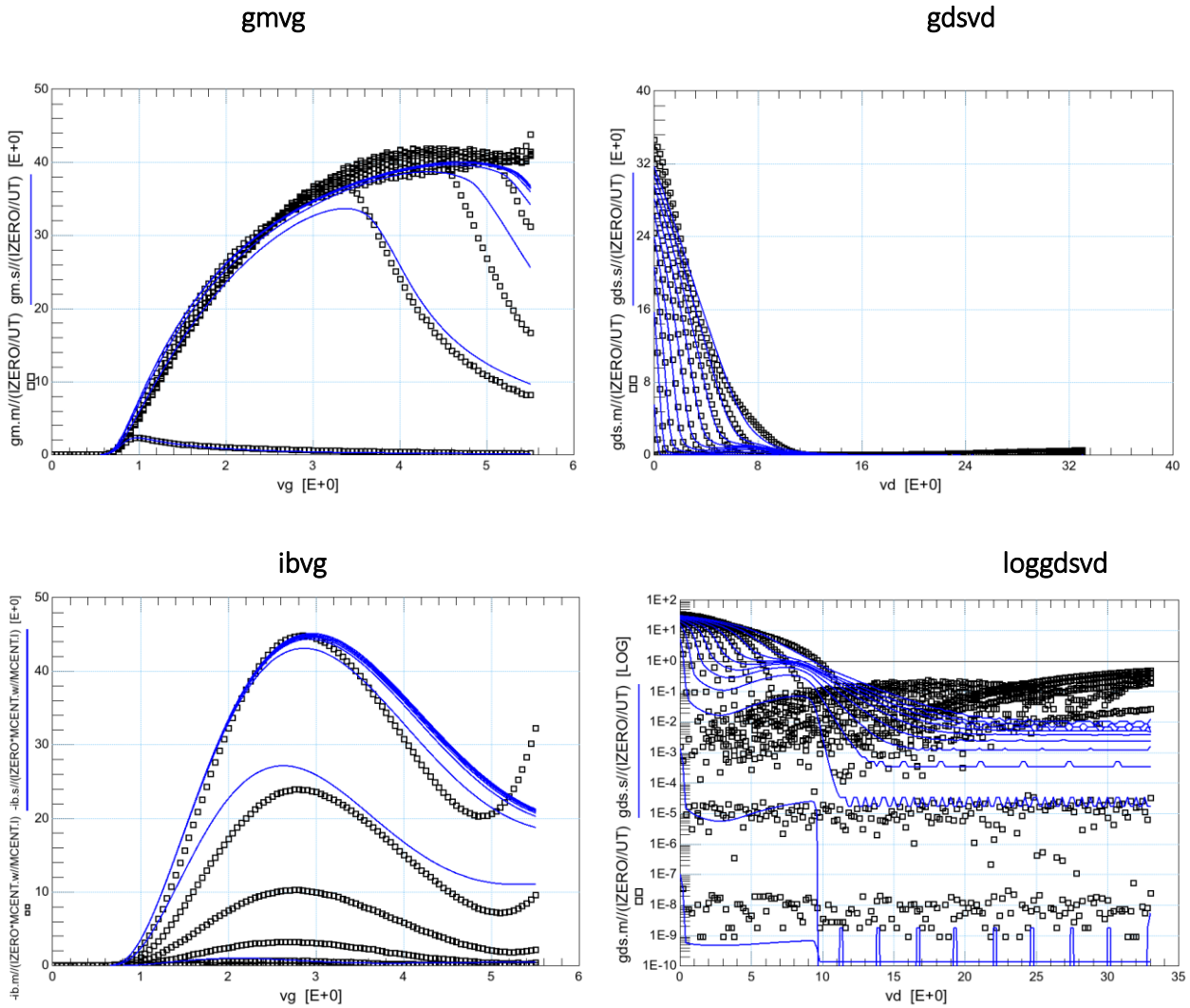
### idvg



### idvd



Παρατηρούμε το φαινόμενο self heating το οποίο αρχίζει να γίνεται αισθητό καθώς το ρεύμα περνάει σε κορεσμό αλλά για υψηλότερες τιμές του  $V_d$  το φαινόμενο CLM αντισταθμίζει την πτώση του ρεύματος.



Εικόνες 4.4.11 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $idvg$  και  $gmvg$  χωρίς τάση στο Bulk ( $V_b=0$ ) από nMOS 30V με  $L=3.5\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $ibvg$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $idvd$ ,  $gdsvd$  και  $loggdsdv$ .

Για τις γραφικές παραστάσεις  $idvg$ ,  $gmvg$  και  $ibvg$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_d$ : Από  $100mV$  έως  $32.10V$  με βήμα  $4V$ .

$V_b=0$ .

Για τις γραφικές παραστάσεις  $idvd$ ,  $gds$  και  $loggdsdv$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

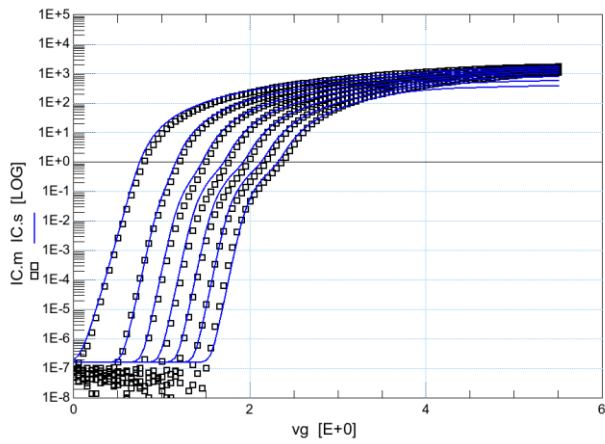
$V_d$ : Από  $0$  έως  $33V$  με βήμα  $200mV$ .

$V_g$ : Από  $0$  έως  $5V$  με βήμα  $0.5V$ .

$V_b=0$ .

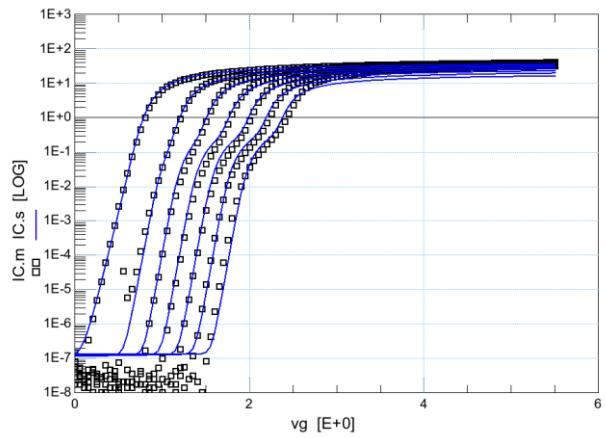
# nMOS 30V 2.5 $\mu$ m (short channel)

idvgh

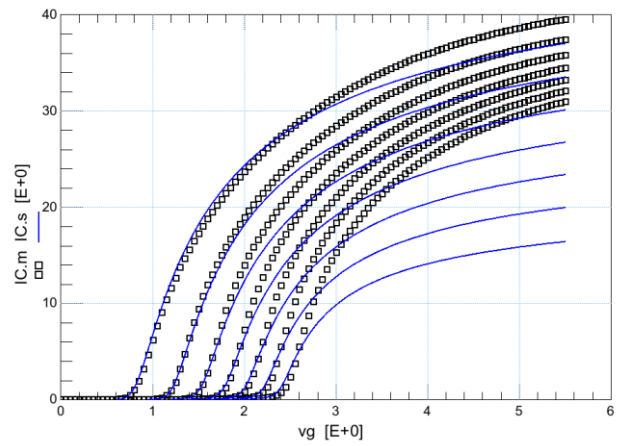
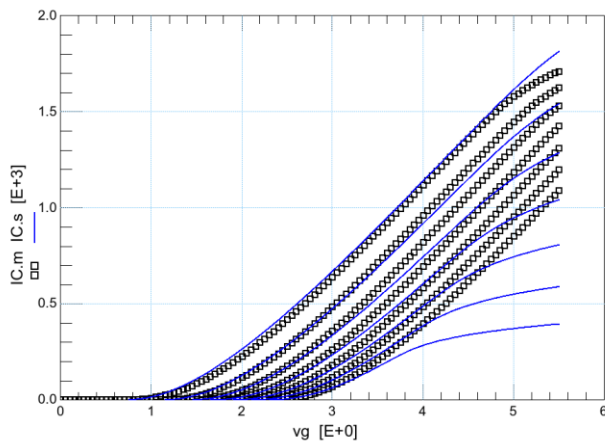


idvgl

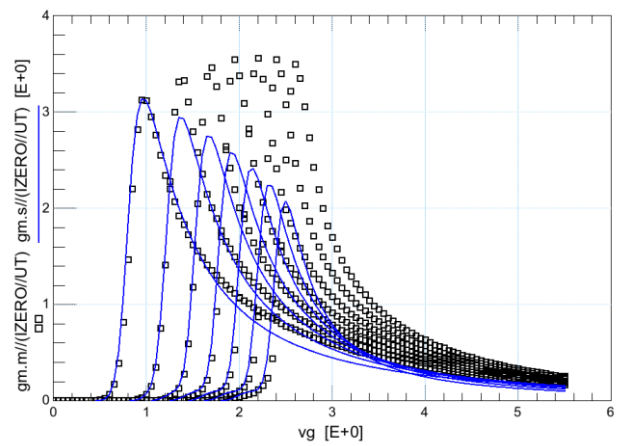
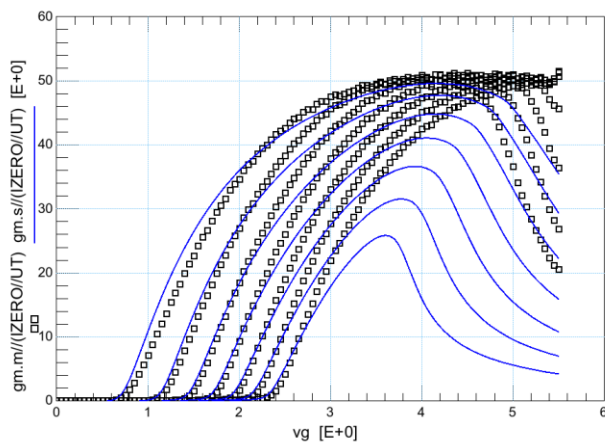
logidvg



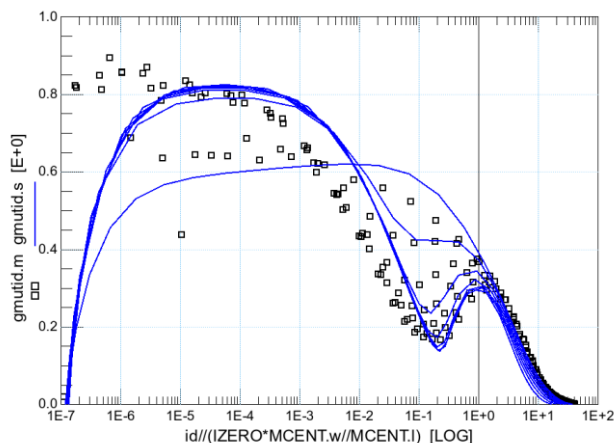
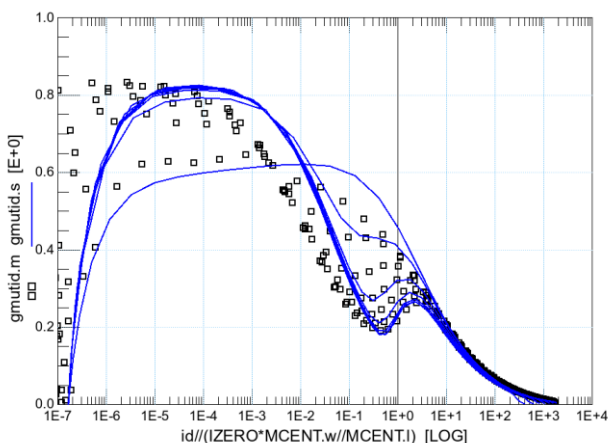
idvg



gmvg



### gmudid

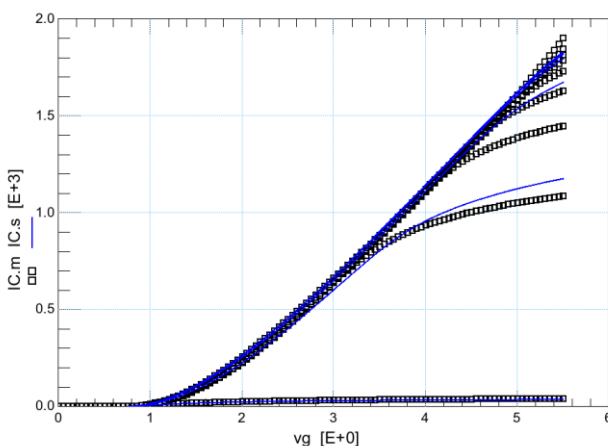


Εικόνες 4.4.12 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d=15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d=100mV$  (δεξιά στήλη), από nMOS 30V με  $L=2.5\mu m$  σε θερμοκρασία δωματίου ( $T=25^\circ C$ ).

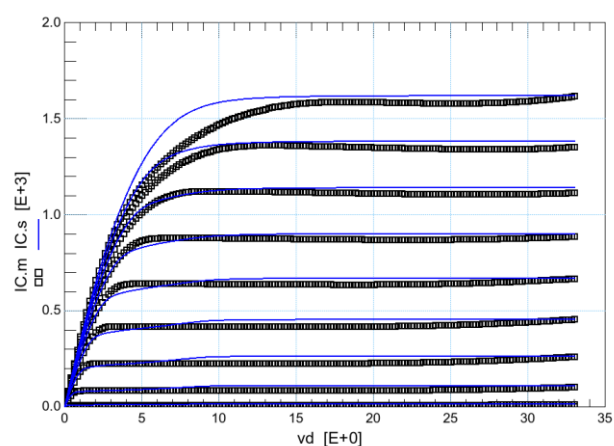
$V_g$ : Από  $-200mV$  έως  $5.5V$  με βήμα  $50mV$ .

$V_b$ : Από  $0$  έως  $-6V$  με βήμα  $-1V$ .

### idvgb

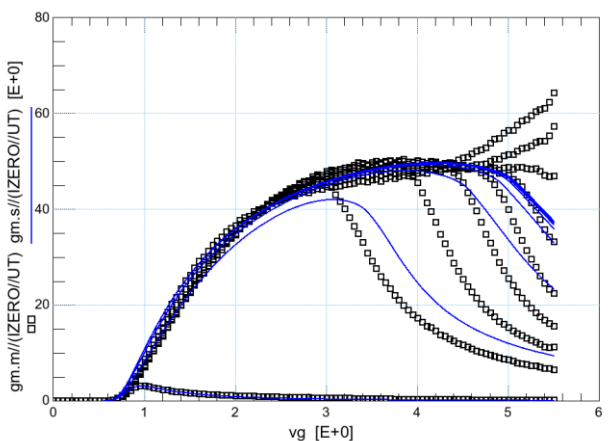


### idvd

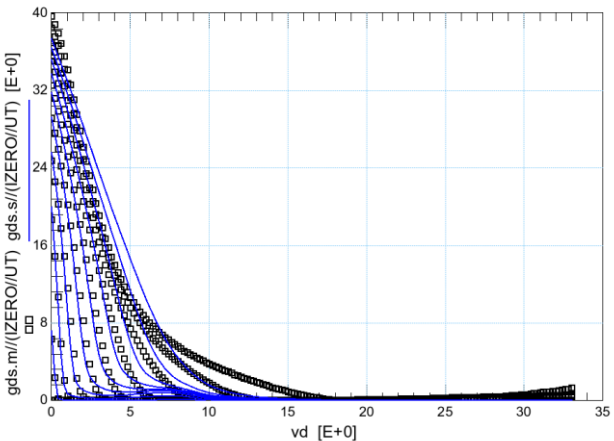


Παρατηρούμε ότι στην γραφική παράσταση  $idvg$  το CLM επικρατεί του self heating διότι βρισκόμαστε σε βραχύ κανάλι.

### gmvg

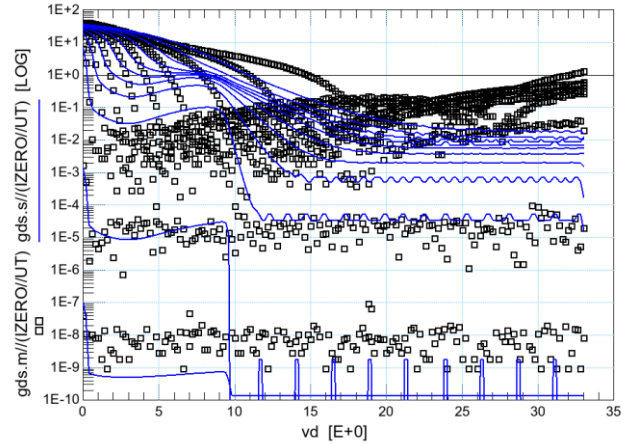
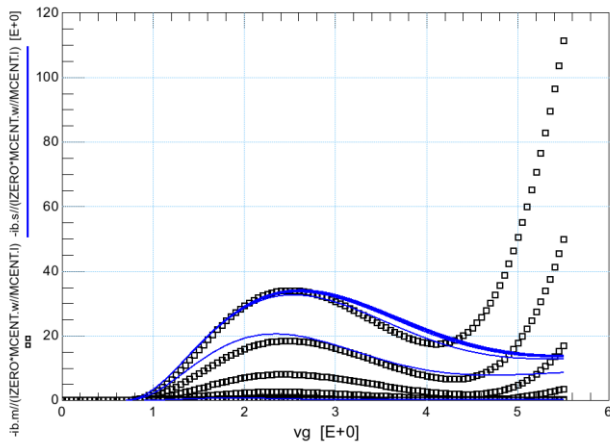


### gdsvd



ibvg

loggdsvd



Εικόνες 4.4.13 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $i_{dvg}$  και  $g_{mvg}$  χωρίς τάση στο Bulk ( $V_b=0$ ) από nMOS 30V με  $L=2.5\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $i_{bvg}$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $i_{dvd}$ ,  $g_{dsvd}$  και  $loggdsvd$ .

Για τις γραφικές παραστάσεις  $i_{dvg}$ ,  $g_{mvg}$  και  $i_{bvg}$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από -200mV έως 5.5V με βήμα 50 mV.

$V_d$ : Από 100mV έως 32.10V με βήμα 4V.

$V_b=0$ .

Για τις γραφικές παραστάσεις  $i_{dvd}$ ,  $g_{ds}$  και  $loggdsvd$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

$V_d$ : Από 0 έως 33V με βήμα 200mV.

$V_g$ : Από 0 έως 5V με βήμα 0.5V .

$V_b=0$ .

Παρατηρούμε ότι στην  $i_{bvg}$  εμφανίζεται το φαινόμενο του impact ionization στην περιοχή μετατόπισης (Drift region).

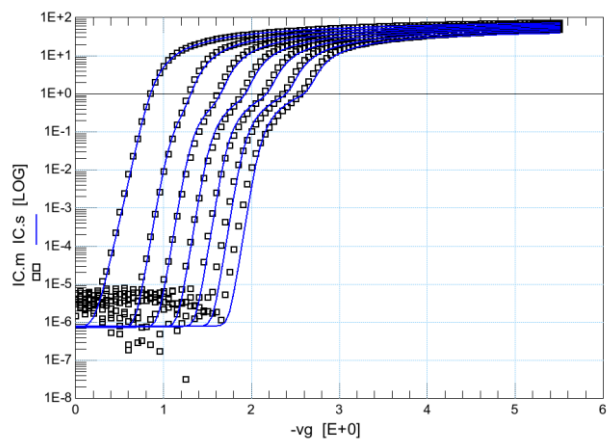
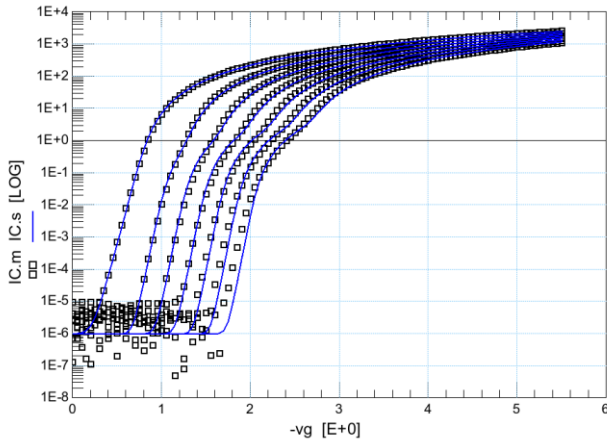


# pMOS 30V 2.5 $\mu$ m (long channel)

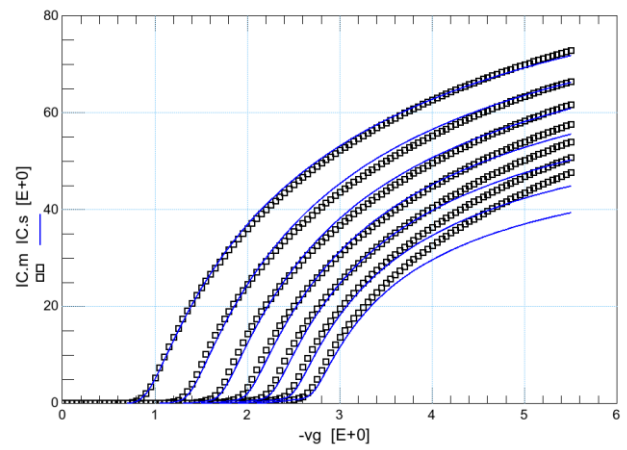
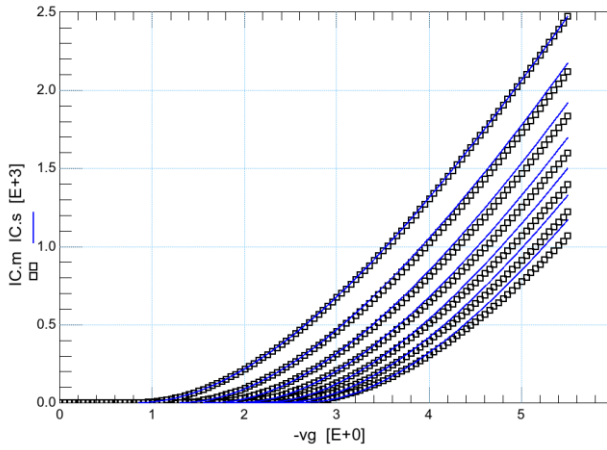
idvgh (Vd=-15V)

idvgl (Vd=-100mV)

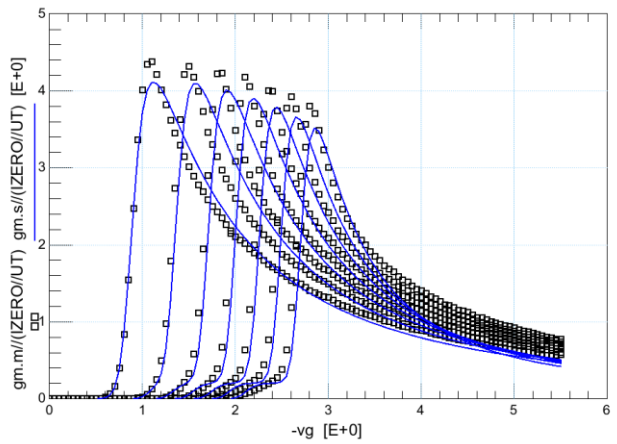
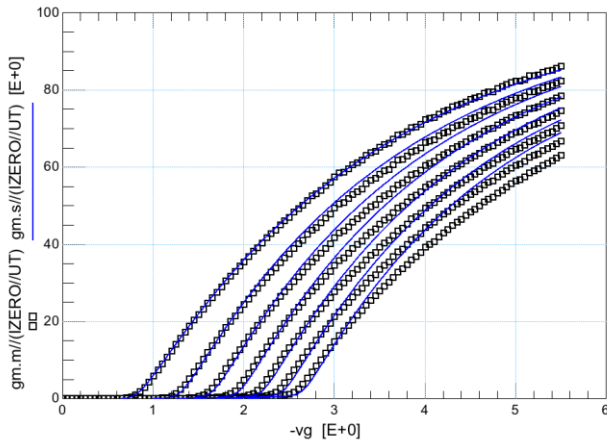
logidvg



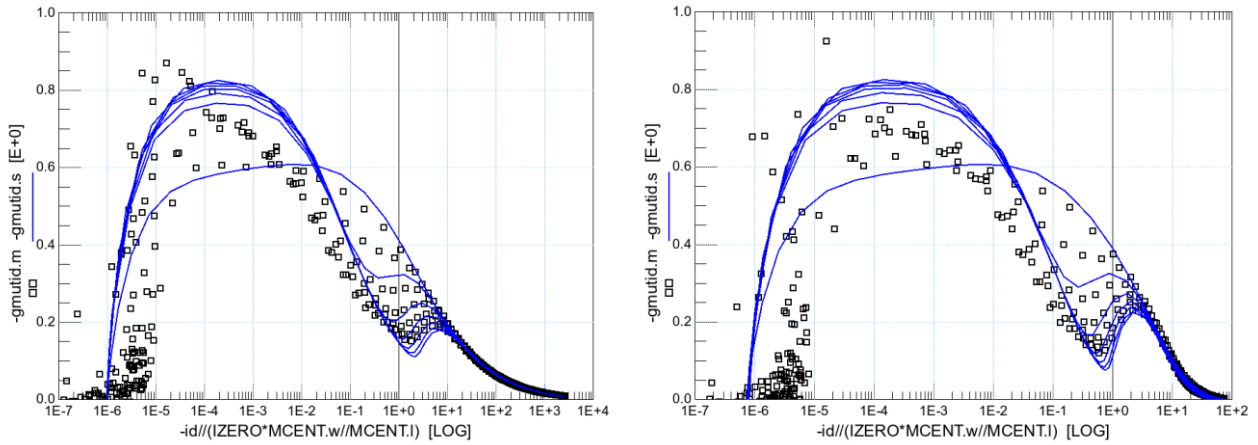
idvg



gmvg



### gmudid

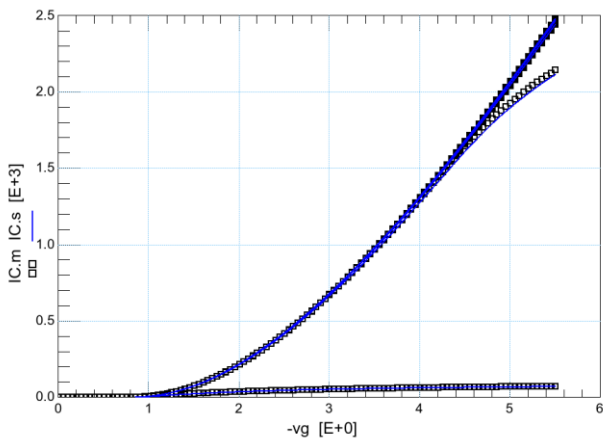


Εικόνες 4.4.14 Χαρακτηριστικές  $\log(id)v_g$ ,  $idv_g$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d = -15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d = -100mV$  (δεξιά στήλη), από pMOS 30V με  $L = 2.5\mu m$  σε θερμοκρασία δωματίου ( $T = 25^\circ C$ ).

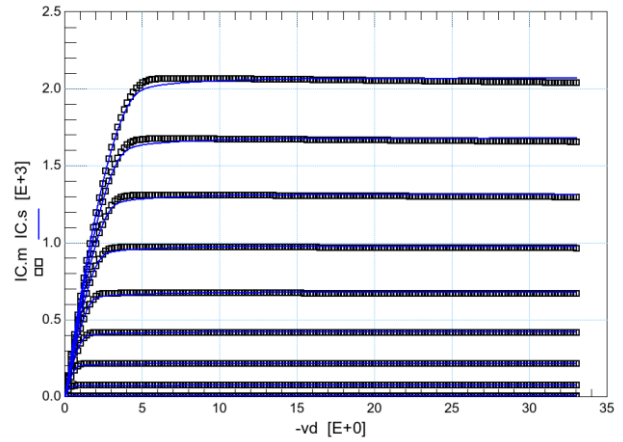
$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_b$ : Από 0 έως 6V με βήμα 1.

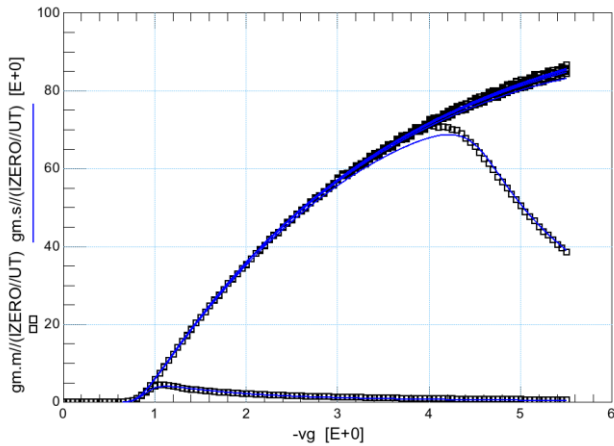
### idvg



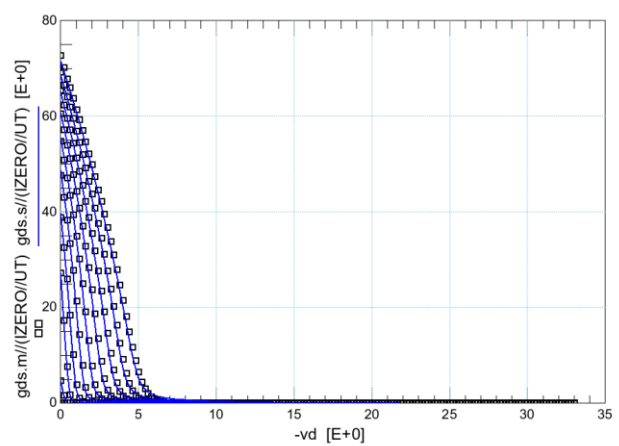
### idvd



### gmvg

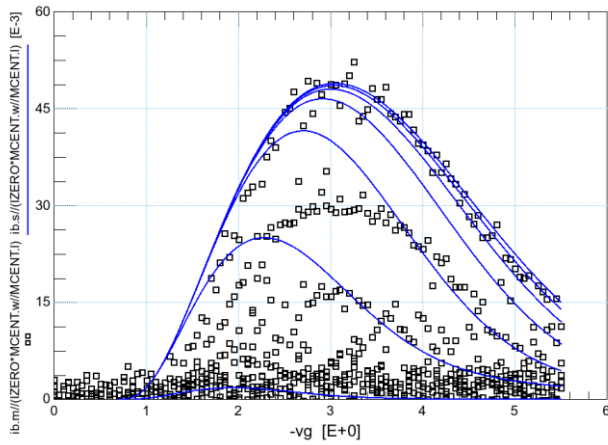


### gdsvd

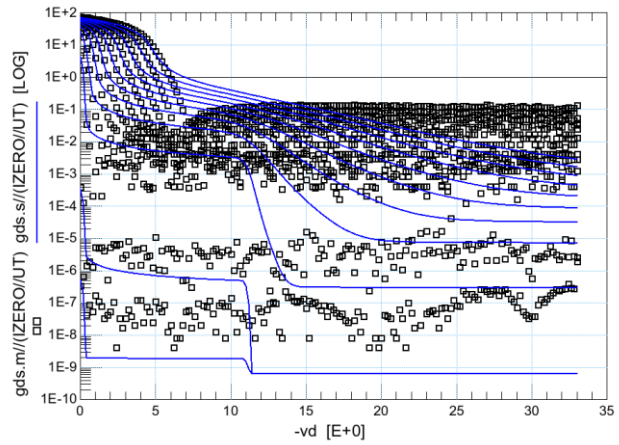




ibvg



loggdsvd



Εικόνες 4.4.15 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $i_{dvg}$  και  $g_{mvg}$  χωρίς τάση στο Bulk ( $V_b=0$ ) από nMOS 30V με  $L=2.5\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $i_{bvg}$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $i_{dvd}$ ,  $g_{dsvd}$  και  $loggdsvd$ .

Για τις γραφικές παραστάσεις  $i_{dvg}$ ,  $g_{mvg}$  και  $i_{bvg}$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_d$ : Από -100mV έως -32.10V με βήμα -4V.

$V_b=0$ .

Για τις γραφικές παραστάσεις  $i_{dvd}$ ,  $g_{ds}$  και  $loggdsvd$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

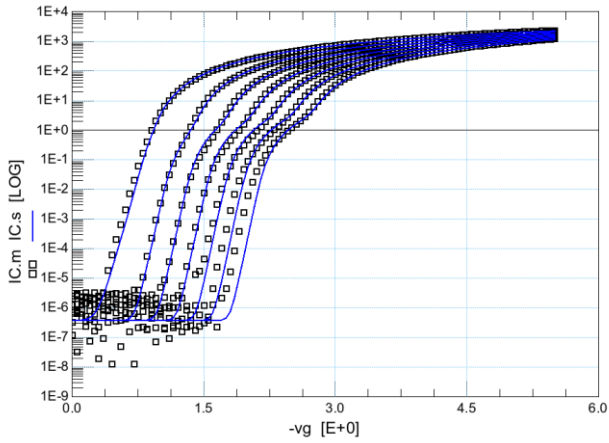
$V_d$ : Από 0 έως -33V με βήμα -200mV.

$V_g$ : Από 0 έως -5V με βήμα -500mV.

$V_b=0$ .

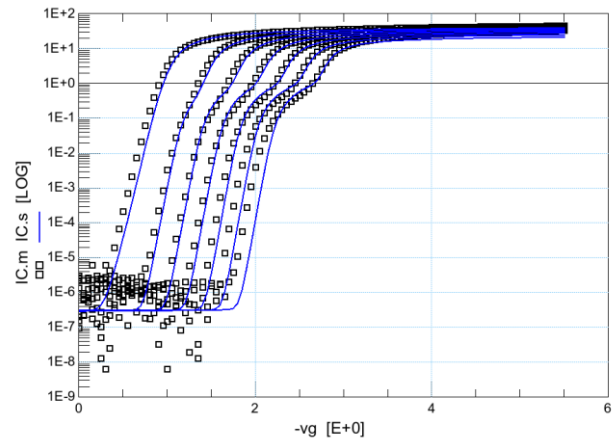
# pMOS 30V 1 $\mu$ m (short channel)

idvgh

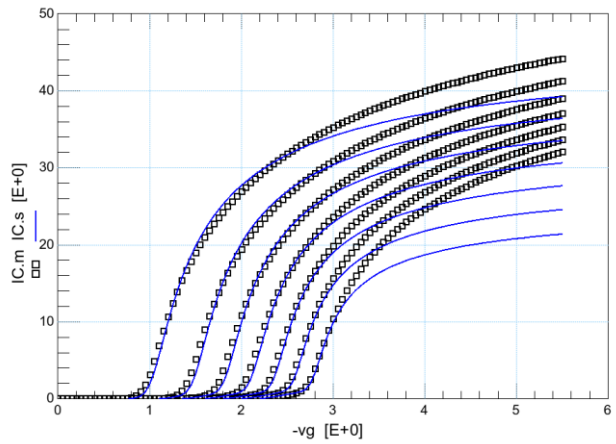
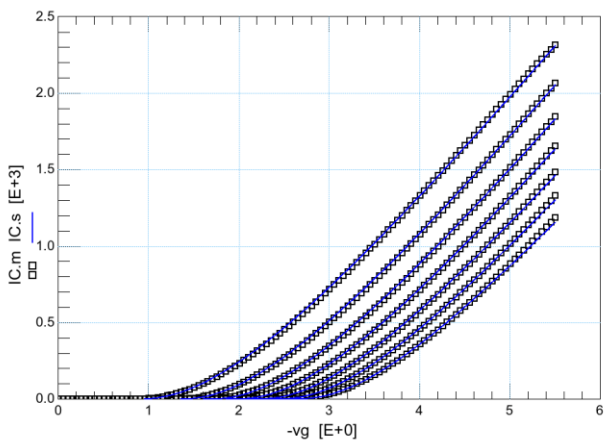


idvgl

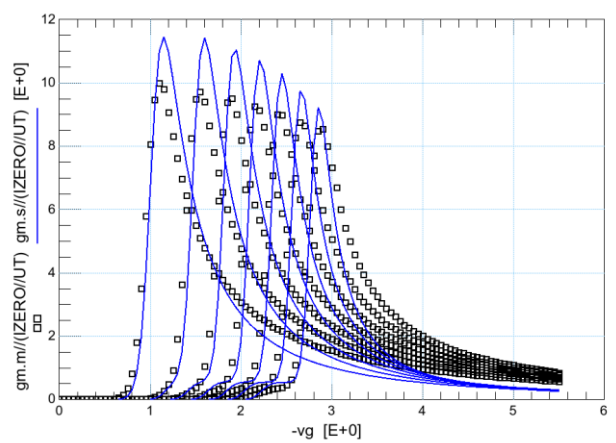
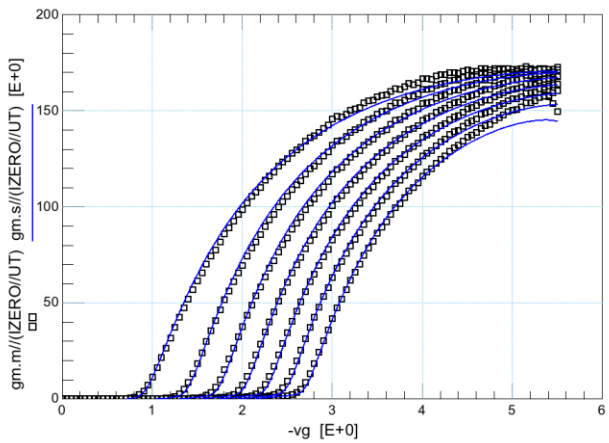
logidvg



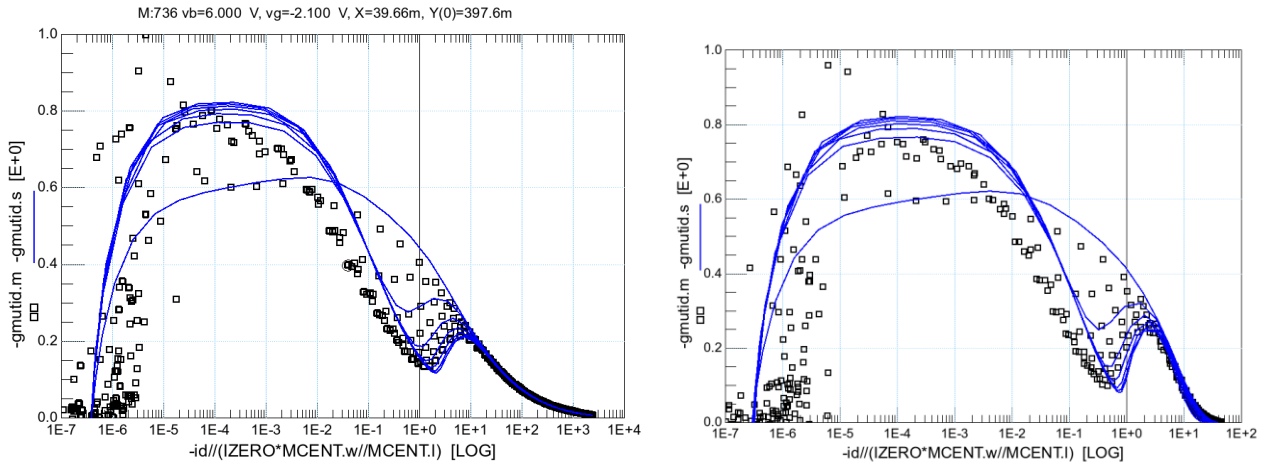
idvg



gmvg



## gmudid

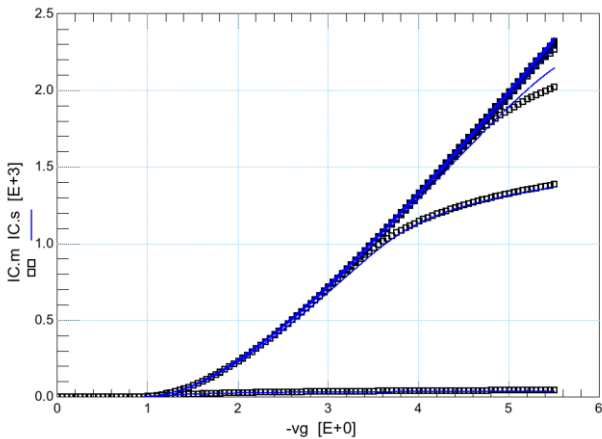


Εικόνες 4.4.16 Χαρακτηριστικές  $\log(id)vg$ ,  $idvg$ ,  $gmvg$ ,  $gmudid$  με τάση στο Bulk, σε κορεσμό με  $V_d=-15V$  (αριστερή στήλη) και σε γραμμική περιοχή με  $V_d=-100mV$  (δεξιά στήλη), από pMOS 30V με  $L=1\mu m$  σε θερμοκρασία δωματίου ( $T=25^\circ C$ ).

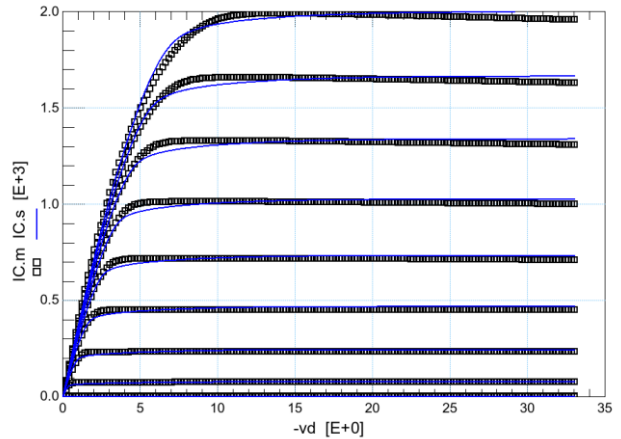
$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_b$ : Από 0 έως 6V με βήμα 1.

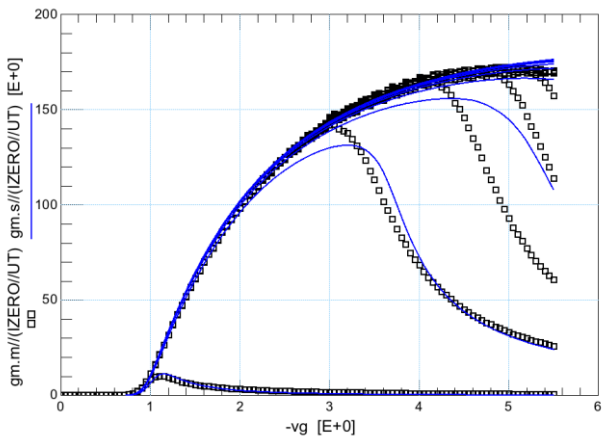
## idvg



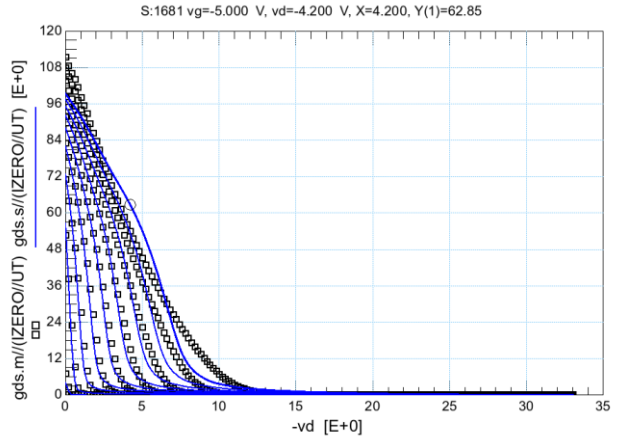
## idvd



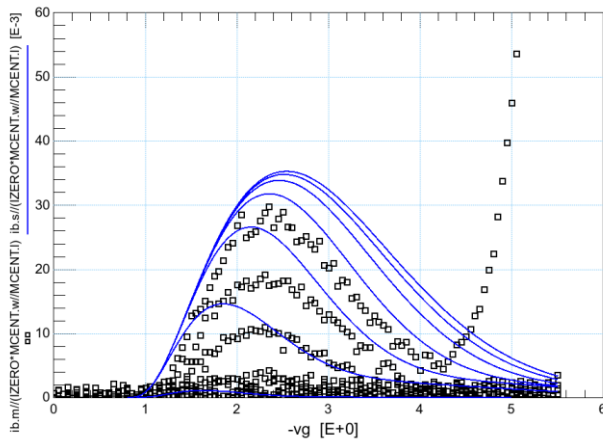
## gmvg



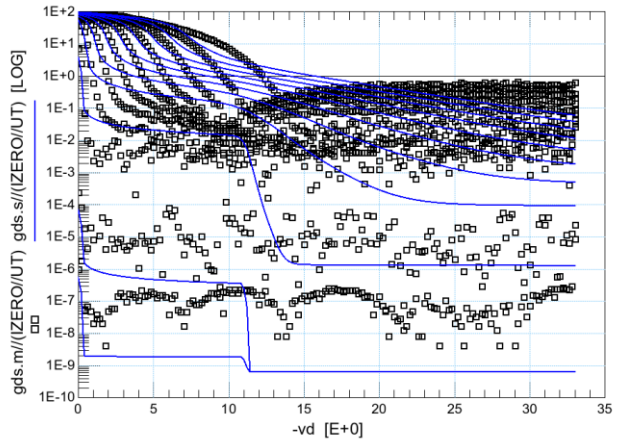
## gdsvd



ibvg



loggdsvd



Εικόνες 4.4.17 Στη αριστερή στήλη απεικονίζονται οι χαρακτηριστικές  $i_{dvg}$  και  $g_{mvg}$  χωρίς τάση στο Bulk ( $V_b=0$ ) από pMOS 30V με  $L=1\mu m$ ,  $T=25^\circ C$  και η χαρακτηριστική  $i_{bvg}$ . Στα δεξιά απεικονίζονται οι χαρακτηριστικές  $i_{dvd}$ ,  $g_{dsvd}$  και  $loggdsvd$ .

Για τις γραφικές παραστάσεις  $i_{dvg}$ ,  $g_{mvg}$  και  $i_{bvg}$  (αριστερή στήλη) ισχύουν οι εξής συνθήκες:

$V_g$ : Από 200mV έως -5.5V με βήμα -50mV.

$V_d$ : Από -100mV έως -32.10V με βήμα -4V.

$V_b=0$ .

Για τις γραφικές παραστάσεις  $i_{dvd}$ ,  $g_{ds}$  και  $loggdsvd$  (δεξιά στήλη) ισχύουν οι εξής συνθήκες:

$V_d$ : Από 0 έως -33V με βήμα -200mV.

$V_g$ : Από 0 έως -5V με βήμα -500mV.

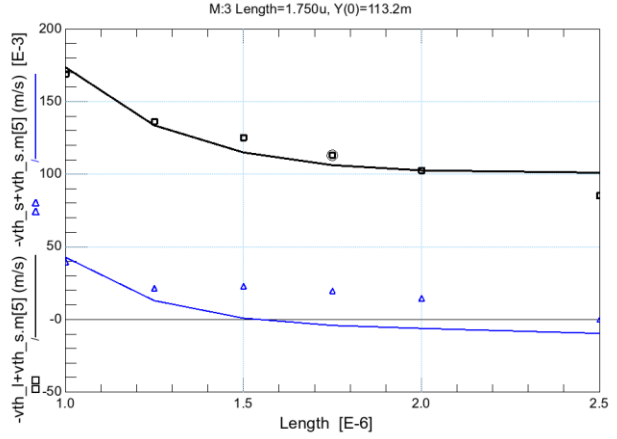
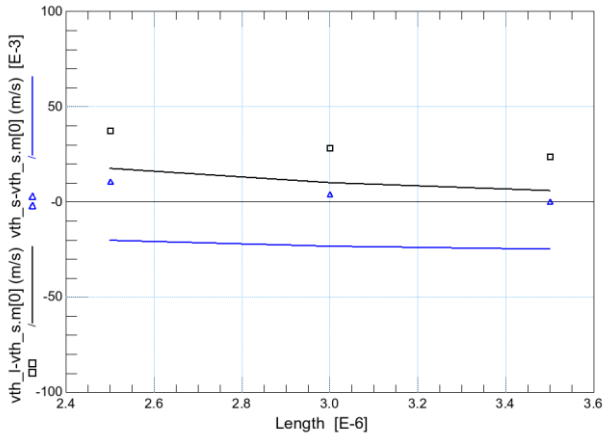
$V_b=0$ .

# Scaling Plots 30V

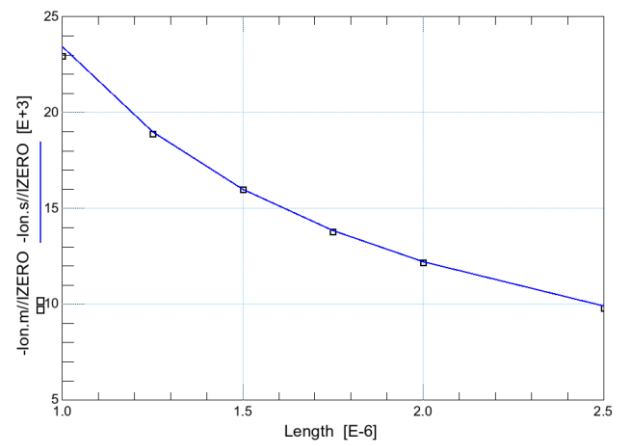
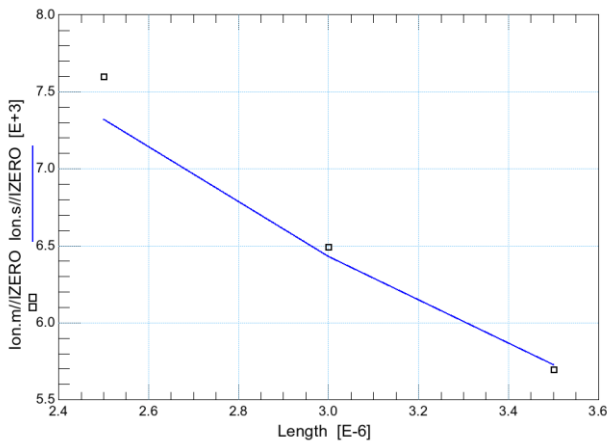
nMOS

pMOS

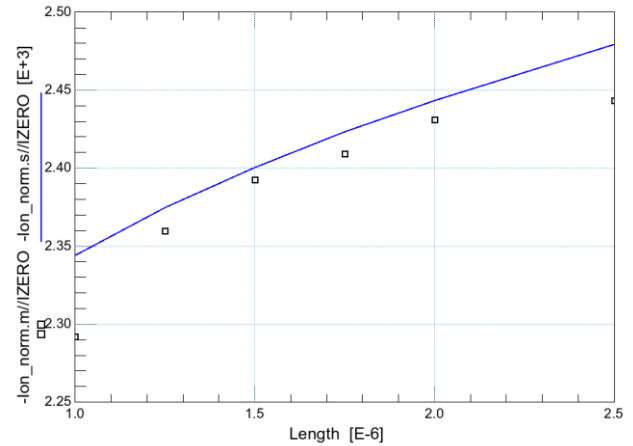
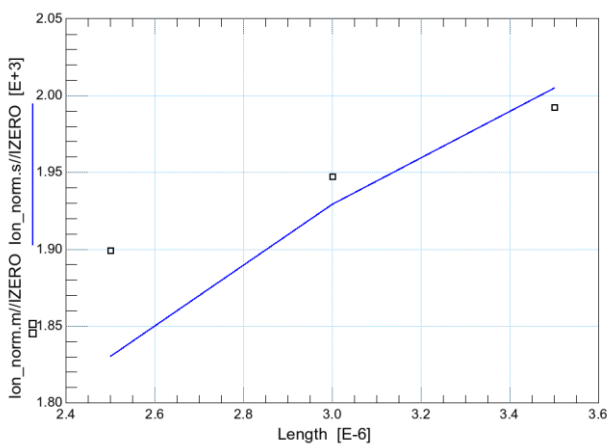
Vth



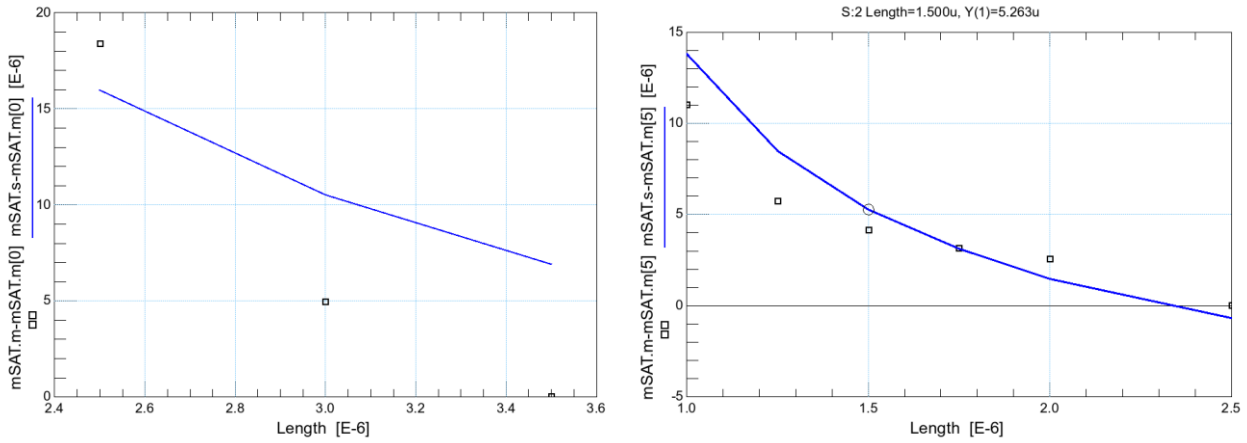
Ion



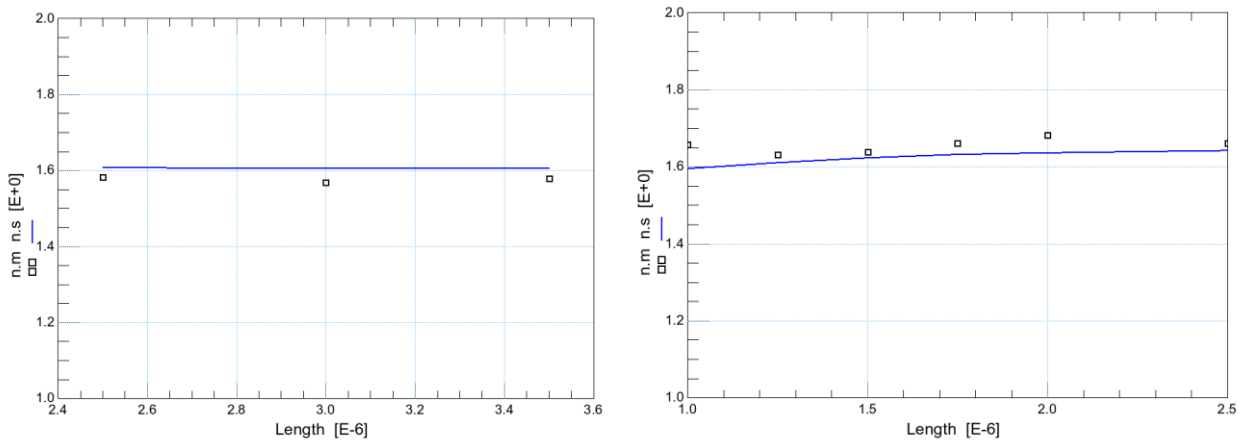
Ion normalized



### Mobility in saturation



### Slope factor (n)



Εικόνες 4.4.9 Γραφήματα κλιμάκωσης (Scaling Plots) nMOS 30V (αριστερά) και pMOS 30V (δεξιά). Στα γραφήματα της τάσης κατωφλίου ( $V_{th}$ ) με μαύρη γραμμή απεικονίζεται η τάση κατωφλίου σε γραμμική περιοχή και με μπλε γραμμή σε κορεσμό. Επίσης, παρουσιάζονται τα γραφήματα του  $I_{on}$ ,  $I_{on\_normalized}$ , mobility in saturation και slope factor.

## 4.5 Σχολιασμός αποτελεσμάτων

Έπειτα από μελέτη των αποτελεσμάτων παρατηρούμε ότι εμφανίζονται τα ειδικά φαινόμενα των High Voltage MOSFET όπως αναλύθηκαν στο κεφάλαιο 2.8.

Για τα **nMOS 24V** μπορούν να γίνουν οι εξής παρατηρήσεις:

Πιο συγκεκριμένα, το edge effect [10] εμφανίζεται στα διαγράμματα  $I_dV_g$  με τάση στο Bulk (high και Low) με λογαριθμικό άξονα γ. Στα nMOS 24V στο τρανζίστορ με το πιο μακρύ κανάλι παρατηρούμε ότι το edge effect προσεγγίζεται πολύ καλά από το μοντέλο σε αντίθεση με το τρανζίστορ που έχει το βραχύτερο κανάλι της τεχνολογίας (nMOS 24V) για το οποίο το edge effect δεν προσεγγίζεται σε τόσο μεγάλο βαθμό. Στις  $I_dV_g$  και στην  $G_mV_g$  σε γραμμικούς άξονες έχουμε απόκλιση του μοντέλου από τις μετρήσεις τόσο στο short όσο και στο long τρανζίστορ.

Στις γραφικές παραστάσεις  $I_dV_g$ ,  $\log(I_d)V_g$  χωρίς τάση στο Bulk ( $V_b=0$ ) παρατηρούμε πολύ καλή προσέγγιση του μοντέλου. Επίσης, οι γραφικές παραστάσεις του  $I_bV_g$  χωρίς τάση στο Bulk δεν προσεγγίζονται σε μεγάλο βαθμό τόσο στο βραχύ όσο και στο μακρύ τρανζίστορ. Στις γραφικές παραστάσεις του  $I_bV_g$  παρατηρούμε το φαινόμενο του impact ionization όπως περιγράφηκε στο κεφάλαιο 2.8. Έχουμε πολύ καλή προσέγγιση του μοντέλου όσον αφορά το impact ionization του low voltage κομματιού ενώ το μοντέλο αδυνατεί να προσεγγίσει το φαινόμενο αυτό για την περιοχή μετατόπισης (Drift region).

Στη χαρακτηριστική εξόδου ( $I_dV_d$ ) παρατηρείται το φαινόμενο του Quasi-saturation. Στο τρανζίστορ με το μακρύ κανάλι έχουμε πολύ καλή προσέγγιση του μοντέλου ενώ στο τρανζίστορ με το βραχύ κανάλι το μοντέλο δεν μπορεί να περιγράψει το φαινόμενο σε καλό βαθμό. Επίσης, δόθηκε προσοχή ώστε να προσεγγιστεί η  $G_{ds}$  σε γραμμική περιοχή καθώς είναι μια σημαντική περιοχή λειτουργίας των LDMOS.

Για τα **pMOS 24V** μπορούν να γίνουν οι εξής παρατηρήσεις:

Όσον αφορά τα Pmos 24V, παρατηρούμε ότι στις γραφικές παραστάσεις  $I_dV_g$  (high και low) με τάση στο Bulk, το μοντέλο προσεγγίζει πολύ καλά τις γραφικές  $\log(I_d)V_g$ , περιγράφοντας με μεγάλη ακρίβεια το φαινόμενο του edge effect όπως και στο long channel των nMOS 24V. Σε αντίθεση με το long channel των nMOS 24V, στα Pmos 24V σε long channel το μοντέλο προσεγγίζει πολύ καλά τις γραφικές παραστάσεις  $I_dV_g$  και  $G_mV_g$  ιδιαίτερα στον κορεσμό αλλά και στην γραμμική περιοχή.

Επίσης, στα pMOS το φαινόμενο του self heating είναι πιο εύκολα παρατηρήσιμο σε σχέση με τα nMOS. Το self heating παρατηρείται στις γραφικές παραστάσεις  $I_dV_d$  καθώς τα φαινόμενα CLM και velocity saturation είναι λιγότερο έντονα στα pMOS από ότι στα nMOS. Όπως βλέπουμε το μοντέλο το περιγράφει πλήρως το self heating στα pMOS παρόλο που το EKV 2.6 δεν περιλαμβάνει παραμέτρους που ρυθμίζουν το self heating.

Στα pMOS 24V σε βραχύ κανάλι έχουμε επίσης μια πολύ καλή γενική προσέγγιση σε όλες τις γραφικές παραστάσεις όπως και στο μακρύ τρανζίστορ, σε αντίθεση με τα

nMOS 24V στα οποία παρόλο που έχουμε καλή προσέγγιση και μακρύ κανάλι, το βραχύ κανάλι δεν προσεγγίζεται από το μοντέλο στον ίδιο βαθμό.

Γενικά, παρατηρούμε ότι στα pMOS 24V το μοντέλο πετυχαίνει ένα πολύ καλο αποτέλεσμα σε όλες τις γραφικές παραστάσεις που μελετήθηκαν και περιγράφει σε μεγάλο βαθμό τα φαινόμενα που εμφανίζονται σε τέτοιου είδους τρανζίστορς.

Η ίδια δουλειά έχει γίνει και για την τεχνολογία των 30V.

Έπειτα, ακολουθεί η παρουσίαση των γραφημάτων κλιμάκωσης (Scaling Plots). Από αυτά παρατηρείται ότι έγινε προσαρμογή του μοντέλου σε όλες τις ενδιαμέσες γεωμετρίες. Έχουμε καλή προσαρμογή του  $V_{th}$  σε linear και λιγότερο καλή σε saturation. Αυτό οφείλεται σε παραμέτρους που επηρέασαν το φαινόμενο DIBL των οποίων η τιμή επιλέχθηκε ζυγίζοντας τα θετικά που προσέφερε σε άλλα σημεία του μοντέλου με την αρνητική επίπτωση που είχε στο  $V_{th,sat}$ . Επίσης, παρατηρούμε εν γένει καλό  $I_{on}$ , mobility και slope factor.

Πιο αισθητές μεταβολές παρατηρούνται στα Scaling Plots των 30V όπου ενδεχομένως λόγω κακής εφαρμογής του φαινομένου DIBL ή λόγω του μικρού εύρους μηκών που είχαμε στο Array δεν υπήρχαν αρκετά δείγματα για να γίνει πολύ καλή προσαρμογή του  $V_{th}$ . Παρόλα αυτά έχει γίνει πολύ καλή προσαρμογή του  $I_{on}$  και του mobility όπως φαίνεται στα γραφήματα αυτά.

Συνολικά το μοντέλο που μελετήθηκε σε αυτή την εργασία, παρά την απλότητά του (στηρίζεται στο EKV 2.6 και ένα απλό JFET μοντέλο με συνολικά λιγότερες από 20 παραμέτρους) μπορεί να προσεγγίσει ως ένα βαθμό όπως φαίνεται παραπάνω την λειτουργία σύνθετων συσκευών (LDMOS) για τις οποίες χρησιμοποιούνται στην βιομηχανία αρκετά πιο σύνθετα μοντέλα για να περιγραφεί η λειτουργία τους. Η λογική του έχει στηριχτεί στην φυσική κατασκευή και τον τρόπο λειτουργίας των LDMOS που εμφανίζουν edge effect και η δομή του είναι αρκετά απλή ώστε να μπορεί να εφαρμοστεί εύκολα σε αρκετές περιπτώσεις DMOS τρανζίστορ. Εναλλακτικά, λόγω της απλής δομής του, είναι εύκολο να αντικατασταθούν τα εσωτερικά μοντέλα με πιο σύνθετα που θα επιτρέψουν καλύτερη προσαρμογή των σύνθετων φαινομένων των DMOS τρανζίστορ.



## Βιβλιογραφία

- [1] A. Bazigos, F. Krummenacher, J. Sallese, M. Bucher, E. Seebacher, W. Posch, K. Molnar, M. Tang "A Physics-Based Analytical Compact Model for the Drift Region of the HV-MOSFET," in *IEEE Transactions on Electron Devices*, vol. 58, no. 6, pp. 1710-1721, June 2011.
- [2] Y. S. Chauhan, F. Krummenacher, R. Gillon, B. Bakeroot, M. J. Declercq and A. M. Ionescu, "Compact Modeling of Lateral Nonuniform Doping in High-Voltage MOSFETs," in *IEEE Transactions on Electron Devices*, vol. 54, no. 6, pp. 1527-1539, June 2007.
- [3] High-Voltage MOSFET compact modelling  
The nano-tera.ch Workshop on the Next Generation MOSFET Compact Models  
Antonios Bazigos, François Krummenacher, Jean-Michel Sallese École Polytechnique Fédérale de Lausanne 15.12.2011
- [4] I-V and C-V Results of the EPFL-High Voltage MOSFET Model  
COMpact MODelling Network Work Group 2 High Voltage MOSFET Modeling  
Spring MOS-AK/GSA Workshop, UPMC - LIP6, Paris, 7-8 April 2011
- [5] A. Bazigos. (2008). "Modelling of MOS transistor in High frequencies", Ph.D. Thesis, National Technical University of Athens
- [6] M. Bucher, "Analytical MOS Transistor Modelling for Analog Circuit Simulation", Ph.D. Thesis No. 2114 (1999), Swiss Federal Institute of Technology, Lausanne (EPFL).
- [7] A. Bazigos, M. Bucher, J. Assenmacher, S. Decker, W. Grabinski, Y. Papananos. (2011). "An Adjusted Constant-Current Method to Determine Saturated and Linear Mode Threshold Voltage of MOSFETs". *IEEE Transactions on Electron Devices* vol.58, no. 11, pp3751-3758, November 2011.
- [8] C. C. Enz, E. A. Vittoz. "Charge-based MOS Transistor Modeling. The EKV model for lowpower and RF IC design". John Wiley 2006
- [9] Y. S. Chauhan "Compact Modeling of High Voltage MOSFETs", Ph.D. Thesis No. 3915 (2007), Swiss Federal Institute of Technology, Lausanne (EPFL)
- [10] M. Bucher, N. Makris, L. Chevas. (2020). "Generalized Constant Current Method in Weak and Moderate Inversion for Determining MOSFET Threshold Voltage". *IEEE International Conference on Microelectronic Test Structures*

(ICMTS).

**[11]** W. Grabinski, T. Gneiting. "POWER/HVMOS devices compact modeling". Springer Publications 2010.

**[12]** Asif, Ali & Richter, Harald & Burghartz, J.N.. (2009). High-voltage (100 V) Chipfilm™ single-crystal silicon LDMOS transistor for integrated driver circuits in flexible displays. *Advances in Radio Science - Kleinheubacher Berichte*. 7. 10.5194/ars-7-237-2009.

**[13]** W. Yao, G. Gildenblat, C. C. McAndrew and A. Cassagnes, "Compact Model of Impact Ionization in LDMOS Transistors," in *IEEE Transactions on Electron Devices*, vol. 59, no. 7, pp. 1863-1869, July 2012.

**[14]** Y. Oritsuki *et al.*, "HiSIM-HV: A Compact Model for Simulation of High-Voltage MOSFET Circuits," in *IEEE Transactions on Electron Devices*, vol. 57, no. 10, pp. 2671-2678, Oct. 2010.