

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
Σχολή Ηλεκτρονικών Μηχανικών και Μηχανικών
Υπολογιστών



**Σχεδίαση μεικτών αναλογικών/ψηφιακών ολοκληρωμένων
κυκλωμάτων χαμηλής τάσης και κατανάλωσης για
βιοϊατρικές εφαρμογές**

**Design of low-voltage low-power mixed analog/digital
integrated circuits for biomedical applications**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΕΥΑΓΓΕΛΙΟΥ ΝΙΚΟΛΑΟΣ

Επιβλέπων Καθηγητής: Bucher Matthias
Αναπληρωτής Καθηγητής

Χανιά, Ιούλιος 2015

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
Σχολή Ηλεκτρονικών Μηχανικών και Μηχανικών
Υπολογιστών



**Σχεδίαση μεικτών αναλογικών/ψηφιακών ολοκληρωμένων
κυκλωμάτων χαμηλής τάσης και κατανάλωσης για
βιοϊατρικές εφαρμογές**

**Design of low-voltage low-power mixed analog/digital
integrated circuits for biomedical applications**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΕΥΑΓΓΕΛΙΟΥ ΝΙΚΟΛΑΟΣ

Επιβλέπων Καθηγητής: Bucher Matthias
Αναπληρωτής Καθηγητής

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 28η Αυγούστου 2015.

.....

Bucher Matthias
Αναπληρωτής Καθηγητής

.....

Μπάλας Κωνσταντίνος
Καθηγητής

.....

Πνευματικός Διονύσιος
Καθηγητής

Περίληψη

Κυκλώματα με χαμηλή ισχύ και χαμηλή τάση τροφοδοσίας θεωρούνται υποχρεωτικά για βιοϊατρικές εφαρμογές με σκοπό την ενίσχυση του συστήματος για μακρά διάρκεια ζωής και λιγότερη κατανάλωση ενέργειας. Συνεπώς, η επιλογή της σωστής αρχιτεκτονικής ADC (Analog-to-Digital Converter) είναι πολύ σημαντική. Στην παρούσα διπλωματική εργασία γίνεται εκτενής παρουσίαση των δομών και της λειτουργίας των ADC, αναλογικών σε ψηφιακών μετατροπών. Ιδιαίτερα μελετάται η σχεδίαση αναλογικών κυκλωμάτων του Successive Approximation ADC για βιοϊατρικές εφαρμογές σε τεχνολογία CMOS. Παρουσιάζονται οι τεχνικές σχεδίασης, οι προδιαγραφές σχεδίασης ανάλογα με την εκάστοτε εφαρμογή και οι διαφορές αυτές που κάνουν την κάθε υλοποίηση ADC ξεχωριστή. Συγκεκριμένα, η χαμηλή κατανάλωση ισχύος, η ταχύτητα, η ακρίβεια και το μικρό κόστος κατασκευής είναι από τα κριτήρια που μας έχουν απασχολήσει στη συγκεκριμένη εργασία. Το κύριο τμήμα της εργασίας αποτελεί η σχεδίαση του Συγκριτή (Comparator), του τελεστικού ενισχυτή και του DAC (R2R Ladder με MOSFET) σε τεχνολογία CMOS 180nm με τη βοήθεια του πακέτου σχεδίασης CADENCE DESIGN SYSTEM, χρησιμοποιώντας το EKV3 MOSFET συμπαγές μοντέλο. Τα σχεδιασμένα κυκλώματα εμφανίζουν αποτελέσματα συγκρίσιμα με υπάρχουσες υλοποιήσεις δίνοντας κίνητρο για εξέλιξη της εργασίας.

Λέξεις Κλειδιά: Αναλογικός σε Ψηφιακός Μετατροπέας (ADC), Διαδοχικός μετατροπέας ADC προσέγγισης, Συγκριτής, Τελεστικός ενισχυτής, Ψηφιακός σε Αναλογικό Μετατροπέας (DAC), Cadence, 180nm, CMOS.

Abstract

Circuits with low power and low voltage operation are considered mandatory for biomedical applications in order to strengthen the system for longer life and less power consumption. Therefore, selecting the right ADC (Analog-to-Digital Converter) architecture is very important. This thesis is an extensive presentation of the structure and the operation of ADCs, analog to digital converters and studied design of analog circuits for Successive Approximation ADC for biomedical applications in CMOS technology. Design techniques and specifications are presented depending on the intended application and these differences make each ADC implementation unique. Specifically, low power consumption, speed, accuracy, and low cost of construction is one of the criteria we've addressed in this paper. The main part of the thesis is the design of the comparator (Comparator), the operational amplifier and DAC (R2R Ladder with MOSFET) at 180nm CMOS technology, using the electronic design automation software CADENCE DESIGN SYSTEM in conjunction with the EKV3 MOSFET compact model. The designed circuits show results comparable to existing implementations giving incentive job progress.

Keywords: ADC (Analog-to-Digital-Converter), Successive Approximation ADC, Operational Amplifier, Track-and-Latch Comparator, DAC (Digital-to-Analog Converter), Cadence Virtuoso, 180nm, CMOS

Ευχαριστίες

Η εργασία αυτή εκπονήθηκε στο Εργαστήριο Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών του Πολυτεχνείου Κρήτης υπό την επίβλεψη του Αναπληρωτή Καθηγητή κ. Matthias Bucher, κατά την διάρκεια του ακαδημαϊκού έτους 2014-2015.

Αρχικά, θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Matthias Bucher όχι μόνο για την ευκαιρία που μου έδωσε να ασχοληθώ με ένα τόσο επίκαιρο και ενδιαφέρον θέμα αλλά και για όλη τη βοήθεια που μου παρείχε, τις συμβουλές του και την εμπιστοσύνη του. Επίσης, θα ήθελα να ευχαριστήσω τα μέλη της εξεταστικής επιτροπής και καθηγητές, κ. Κωνσταντίνο Μπάλα και κ. Διονύσιο Πνευματικάτο.

Ευχαριστώ τον Διδάκτορα Άγγελο Αντωνόπουλο και τους Επιστημονικούς Συνεργάτες του Εργαστηρίου Ηλεκτρονικής Κώστα Παπαθανασίου και Νίκο Μακρή που δημιούργησαν ένα ευχάριστο περιβάλλον κατά τη διάρκεια της παραμονής μου στο εργαστήριο και για τις σωστές οδηγίες που μου έδιναν από την αρχή έως και το τέλος αυτής της εργασίας.

Όσον αφορά του φίλους μου και τους συναδέλφους μου, τους ευχαριστώ που με βοήθησαν σε κάθε δυσκολία όλα αυτά τα χρόνια.

Τέλος, δε γίνεται να παραλείψω την οικογένεια μου Γιάννη, Ειρήνη, Ευαγγελία για την ευγνωμοσύνη, τη βοήθεια και γενικότερα την ηθική και υλική στήριξη τους σε όλη τη διάρκεια των σπουδών μου.

Περιεχόμενα

1	Εισαγωγή.....	7
1.1	Κίνητρο για την εργασία.....	7
1.2	Ο καθοριστικός ρόλος της τεχνολογίας CMOS.....	8
1.3	Επιλογές του Μετατροπέα για τις εκάστοτε εφαρμογές.....	9
1.4	Οργάνωση της Διπλωματικής εργασίας.....	11
2	Μετατροπείς Αναλογικού Σήματος σε Ψηφιακό.....	12
2.1	Διαδικασία Μετατροπής Αναλογικού σε Ψηφιακό Σήμα.....	12
2.2	Παράμετροι των ADC.....	14
2.3	Αρχιτεκτονικές ADC.....	15
3	Υλοποίηση Συγκριτή.....	23
3.1	Περιοχές Λειτουργίας του MOSFET.....	23
3.2	Τεχνολογίες Υλοποίησης-Παράμετροι.....	25
3.3	Συγκριτής (Comparator).....	26
3.3.1	Αρχιτεκτονικές Συγκριτών (Comparator Architectures).....	29
3.3.2	Ανάλυση του Συγκριτή.....	31
4	Υλοποιήσεις Τελεστικού Ενισχυτή και Ψηφιακού/Αναλογικού Μεατροπέα.....	39
4.1	Τελεστικός Ενισχυτής (Operational Amplifier).....	39
4.1.1	Ανάλυση του Τελεστικού Ενισχυτή.....	40
4.2	Ψηφιακός σε Αναλογικό Μετατροπέα.....	54
4.2.1	Ανάλυση του Μετατροπέα.....	54
5	Συμπεράσματα-Μελλοντικές Επεκτάσεις.....	72
6	Βιβλιογραφία.....	73

1

ΕΙΣΑΓΩΓΗ

1.1 ΚΙΝΗΤΡΟ ΓΙΑ ΤΗΝ ΕΡΓΑΣΙΑ

Τα τελευταία χρόνια, η εξέλιξη της τεχνολογίας διαδραματίζει σημαντικό ρόλο στην κοινωνία αποτελώντας ένα αναπόσπαστο κομμάτι στην εξέλιξη της Ιατρικής. Χάρη στις εφαρμογές της νανοτεχνολογίας στην Ιατρική πολλές παθήσεις αντιμετωπίζονται σήμερα ευκολότερα και υπόσχονται στο μέλλον πολλά περισσότερα. Τα διάφορα προβλήματα που παρατηρούνται, ο σύγχρονος τρόπος ζωής, οι προκλήσεις της σύγχρονης εποχής και γενικότερα η ραγδαία αύξηση της τεχνολογίας αντιμετωπίζονται σήμερα με επιτυχία από τη σύζευξη επιστημονικών πεδίων. Η παροχή υπηρεσιών υγείας βασίζεται στην τεχνολογία, η οποία και αποτελεί την κινητήρια δύναμη πίσω από την εξέλιξη της ιατρικής. Συνεπώς, ο κλάδος της Βιοϊατρικής Τεχνολογίας, βασισμένος στο συνδυασμό των εφαρμογών των επιστημών υγείας με τις θετικές επιστήμες αλλά και στο περιεχόμενο του γνωστικού αντικείμενου του μηχανικού καθίσταται ως χρήσιμος και αναγκαίος. Με τη βοήθεια αυτού πολλά προβλήματα από το χώρο της Ιατρικής βρήκαν λύση. Συνεπώς, οι μηχανικοί που ασχολούνται σε αυτόν τον τομέα θεωρούνται καθοριστικοί, τόσο στη βιομηχανία όσο και στην παροχή υγειονομικής φροντίδας. Οι εφαρμογές είναι ποικίλες και ο μηχανικός καλείται με βάση τις γνώσεις να επιλύσει όλες τις ανάγκες της Ιατρικής. Συγκεκριμένα, ο μηχανικός καλείται να <<επινοήσει>> και να δημιουργήσει κάποια ικανοποιητικά αποτελέσματα σε βάρος της Ιατρικής ώστε να θεωρηθούν αναγκαία για την αντιμετώπιση διαφόρων ασθενειών. Συνεπώς αν οι ιατροί κρίνουν μέσα από μία διαδικασία αξιολόγησης ότι τα αποτελέσματα είναι ικανοποιητικά τότε οι διαδικασίες επισπεύδονται εξετάζοντας τυχόν προβλήματα των εν λόγω μεθόδων. Τέτοιοι μέθοδοι είναι η δημιουργία συστημάτων υποστήριξης ζωής, ο σχεδιασμός και η δημιουργία τεχνητών οργάνων όπως τεχνητή καρδιά αλλά και η δημιουργία συσκευών και συστημάτων π.χ για άτομα με ειδικές ανάγκες με σκοπό την εκπαίδευση τους με ηλεκτρονικούς υπολογιστές και την επανένταξη και απασχόληση τους μέσα στο κοινωνικό σύνολο. Η συμβολή των μηχανικών είναι τεράστια καθώς αποσκοπούν στην αντιμετώπιση ιατρικών προβλημάτων μέσω θετικών επιστημών. Η αντιμετώπιση δε και λύση τέτοιων προβλημάτων πρέπει να γίνεται με τέτοιο τρόπο ώστε η λύση τους να ικανοποιεί και την ιατρική αλλά και την τεχνολογία. Έτσι, οι βιοϊατρικοί μηχανικοί αποτελούν και τον πυρήνα της βιοϊατρικής τεχνολογίας. Η Βιολογία και η Ιατρική είναι οι δύο βασικοί τομείς της Βιοϊατρικής τεχνολογίας. Με τη ραγδαία εξέλιξη της τεχνολογίας όμως, και κυρίως της Ηλεκτρονικής, έχει διευρύνει τους ορίζοντές της στην τεχνολογία ιατρικών οργάνων, κλινική μηχανική, τεχνητά μέλη, όργανα κ.α. Εμπεριέχει ένα ιδιαίτερα ευρύ φάσμα εφαρμογών. Ως ορισμό για την βιοϊατρική τεχνολογία (biotechnological engineering/bioengineering) μπορούμε να αναφέρουμε εδώ ότι είναι η επιστήμη η οποία συνδυάζει τις μεθόδους της επιστήμης της βιολογίας μαζί με τις μεθοδολογίες ανάλυσης της

επιστήμης του μηχανικού με σκοπό την επίλυση προβλημάτων που σχετίζονται με βιολογικά συστήματα. Επομένως, στόχος της είναι να αναπτύσσει τεχνολογίες και συστήματα αποδοτικά για την κάλυψη αναγκών όπως διάγνωσης, πρόληψης και θεραπείας ασθενειών, την ανάπτυξη υλικών, συσκευών και διαδικασιών. Έτσι, κάθε μηχανικός μπορεί να αντιμετωπίζει το πρόβλημα με μεθόδους από τις επιστήμες της φυσικής και όχι από την πραγματική φύση του. Κατά συνέπεια, η εφαρμογή του τρόπου σκέψης ενός μηχανικού στα προβλήματα αυτά, μπορεί να επιφέρει ταχύτερη ανάπτυξη.

1.2 Ο ΚΑΘΟΡΙΣΤΙΚΟΣ ΡΟΛΟΣ ΤΗΣ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

Την τελευταία δεκαετία, η δυνατότητα μονολιθικής υλοποίησης συντέλεσε στην ενσωμάτωση των ηλεκτρονικών συστημάτων σε πολλές εφαρμογές. Με τη βοήθεια της Βιοϊατρικής Τεχνολογίας σήμερα αποτελούν σημαντικά και χρήσιμα εργαλεία για την καταπολέμηση πολλών ασθενειών και προβλημάτων στη σύγχρονη κοινωνία μας. Καθοριστικό ρόλο έπαιξε η τεχνολογία CMOS η οποία προσέφερε ενεργά στοιχεία με καλές επιδόσεις, μεγάλη σταθερότητα και επαναληψιμότητα καθώς και μικρό κόστος κατασκευής. Αναλογικά και ψηφιακά κυκλώματα ενσωματώθηκαν στην ίδια ψηφίδα πυριτίου και αυτό είχε σαν αποτέλεσμα την ανάπτυξη ολοκληρωμένων συστημάτων μέτρησης, καταγραφής και επεξεργασίας του σήματος. Όσον αφορά τα ηλεκτρονικά ανάγνωσης, στο πρώτο στάδιο επεξεργάζονται το σήμα μετά την παραγωγή του από την ανιχνευτική διάταξη ή τον αισθητήρα. Η λειτουργία των αναλογικών κυκλωμάτων στηρίζεται σε φυσικά μεγέθη με αποτέλεσμα να χρησιμοποιούνται ως πρώτα στην αλυσίδα επεξεργασίας. Η επεξεργασία μπορεί να περιλαμβάνει μετατροπή του σήματος (από ρεύμα σε τάση, από φορτίο σε τάση κ.λ.π), ενίσχυση, βελτίωση του λόγου σήματος σημάτων που παρουσιάζουν ενδιαφέρον για περαιτέρω επεξεργασία και τέλος μετατροπή του αναλογικού σήματος σε ψηφιακό. Η συνεχή μείωση των ελάχιστων διαστάσεων στις τεχνολογίες των ολοκληρωμένων κυκλωμάτων και η αύξηση στις μέγιστες συχνότητες λειτουργίας των τεχνολογιών CMOS αποτελούν αναγκαία κριτήρια της ραγδαίας ανάπτυξης της τεχνολογίας. Τα μικρά μεγέθη είναι χαρακτηριστικό αυτής της τεχνολογίας όπου καθιστούν δυνατή την ένταξη περισσότερο πολύπλοκων συστημάτων σε ένα ολοκληρωμένο κύκλωμα. Λόγω της μικρής επιφάνειας που απαιτούν, της χαμηλής κατανάλωσης και του μικρού μεγέθους αποτελούν ισχυρά κίνητρα ώστε αναλογικά και ψηφιακά κυκλώματα, συμβατά με την τεχνολογία να ολοκληρώνονται μαζί. Αυτό έχει σαν αποτέλεσμα την δημιουργία επεξεργασίας των σημάτων με ψηφιακό τρόπο. Για το λόγο αυτό, τα κυκλώματα απαιτούνται να αξιοποιηθούν με βάση την παρακάτω μετατροπή:

1) ΜΕΤΑΤΡΟΠΕΑΣ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ (ADC)

Χρησιμοποιεί ως είσοδο ένα αναλογικό σήμα και στην έξοδο παράγει την δυαδικά κωδικοποιημένη αναπαράστασή του.

2) ΜΕΤΑΤΡΟΠΕΑΣ ΨΗΦΙΑΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΑΝΑΛΟΓΙΚΟ (DAC)

Εκτελεί την αντίστροφη διαδικασία μετατρέποντας το ψηφιακό σήμα σε αναλογικό.

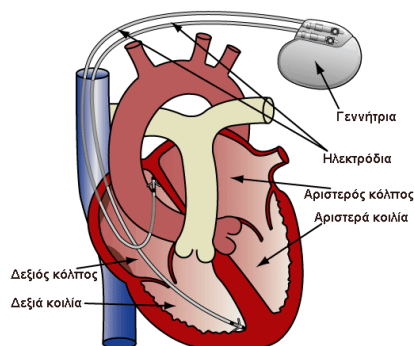
Ωστόσο, ο σύγχρονος τρόπος ζωής και οι απαιτήσεις του καθιστούν απαραίτητο την χαμηλή κατανάλωση ισχύος, την υψηλή ταχύτητα, ακρίβεια και ανάλυση των μετατροπών. Βέβαια, η ανάλυση των αντιστροφών είναι αντιστρόφως ανάλογη της ταχύτητας και όσο αυξάνεται η μία μειώνεται η άλλη και αντίστροφα. Η ταυτόχρονη επιτυχία και των δύο αποτελεί μελλοντικό κίνητρο.

1.3 ΕΠΙΛΟΓΗ ΤΟΥ ΜΕΤΑΤΡΟΠΕΑ ΓΙΑ ΤΙΣ ΕΚΑΣΤΟΤΕ ΒΙΟΙΑΤΡΙΚΕΣ ΕΦΑΡΜΟΓΕΣ

Ανάλογα με τις απαιτήσεις των εφαρμογών επιλέγεται και ο κατάλληλος μετατροπέας. Οι εφαρμογές καλύπτουν ένα ευρύ φάσμα από επιστημονικούς τομείς έως εμπορικές εφαρμογές καθημερινής χρήσης. Οι μετατροπείς αναλογικού σήματος σε ψηφιακό είναι απαραίτητοι για τις παραπάνω εφαρμογές. Η κατανάλωση ηλεκτρικής ενέργειας αποτελεί κρίσιμο παράγοντα για τις βιοϊατρικές εφαρμογές τα τελευταία χρόνια. Τα ασύρματα συστήματα ή οι εμφυτεύσιμες συσκευές βασίζονται στη χαμηλή κατανάλωση ενέργειας και αποτελεί σημαντικό κίνητρο για τις εφαρμογές. Αυτό με τη σειρά του δημιουργεί περαιτέρω ανάγκες και απαιτήσεις. Συγκεκριμένα, οι αυστηρές απαιτήσεις για την κατανάλωση ενέργειας αυξάνουν την ανάγκη για την ανάπτυξη τεχνικών χαμηλής ισχύος και χαμηλής τάσης. Για να διατηρηθεί η χαμηλή κατανάλωση ενέργειας, οι μετατροπείς αυτοί είναι σημαντικά δομικά στοιχεία για τη δημιουργία και το σχεδιασμό περιορισμένης ισχύος συστημάτων.

Ενδεικτικά αναφέρονται κάποια παραδείγματα όπου με τη βοήθεια των ολοκληρωμένων και της τεχνολογίας CMOS μέσω των ADC έχουν συντελέσει στη δημιουργία σημαντικών εξελίξεων με σκοπό την αντιμετώπιση των προβλημάτων:

- **Καρδιακοί βηματοδότες**



Εικόνα 1.1:Καρδιακός Βηματοδότης

Σε εφαρμογές όπως ο βηματοδότης καρδιάς, κυκλώματα με χαμηλή ισχύ και χαμηλή τάση είναι απαραίτητα, ώστε το σύστημα να έχει μικρότερη κατανάλωση και μακρύτερη διάρκεια ζωής, κυρίως στα κυκλώματα ADC. Η υψηλή αξιοπιστία, η λειτουργικότητα και το μέγεθος της συσκευής αποτελούν τις κύριες απαιτήσεις του βηματοδότη. Συγκεκριμένα, η συσκευή θα πρέπει να είναι μικρή ώστε να μπορεί να τοποθετηθεί δίπλα στην καρδιά, να έχει βιοσυμβατότητα και αποτελεσματική διαχείριση της ενέργειας ώστε να υπάρχει μακρόχρονη σταθερότητα. Για το λόγο αυτό ο αναλογικός σε ψηφιακό μετατροπέα είναι απαραίτητος για ένα εμφυτεύσιμο βηματοδότη, δεδομένου ότι καταναλώνει μεγάλη ποσότητα ενέργειας ως διεπαφή. Αποτελεί ένα από τα πιο σημαντικά παραδείγματα εφαρμογών των μικροτεχνολογιών.

- **Βοηθήματα ακοής**



Εικόνα 1.2:Βοήθημα ακοής

Τα βοηθήματα ακοής είναι σχεδιασμένα για εμφύτευση στο αυτί. Χιλιάδες άνθρωποι που πάσχουν από απώλεια ακοής υποβάλλονται σε τέτοια επέμβαση. Οι αναλογικοί σε ψηφιακούς μετατροπείς θεωρούνται κρίσιμοι καθώς τα παραπάνω μηχανήματα απαιτούν ένα καθορισμένο επίπεδο ενίσχυσης και απόκρισης συχνότητας με χαμηλή κατανάλωση ισχύος και ενέργειας. Συνεπώς, η τεχνολογία CMOS κρίνεται αναγκαία για την κάλυψη αυτών των αναγκών.

- **Αισθητήρες Πίεσης του Αίματος**



Εικόνα 1.3:Αισθητήρας Πίεσης του Αίματος

Θεωρείται ένα από τα μεγαλύτερα προϊόντα των ιατρικών εφαρμογών. Η διάρκεια ζωής, η χαμηλή ισχύ, η χαμηλή κατανάλωση ενέργειας και η χαμηλή τάση είναι απαραίτητα κριτήρια για το συγκεκριμένο εμφυτεύσιμο αισθητήρα που περιέχει. Οι αναλογικοί σε ψηφιακούς μετατροπείς είναι απαραίτητοι για την επίλυση αυτών των προβλημάτων, όπου με την τεχνολογία CMOS όλα γίνονται ευκολότερα.

- Αισθητήρες γλυκόζης



Εικόνα 1.4: Αισθητήρας γλυκόζης

Ο διαβήτης είναι μία από τις μεγαλύτερες ασθένειες παγκοσμίως. Οι ασθενείς που πάσχουν από αυτή την ασθένεια είναι αναγκασμένοι να κάνουν καθημερινά ενέσεις ινσουλίνης ώστε να παρακολουθείται καθημερινά το επίπεδο γλυκόζης του αίματος. Η ραγδαία εξέλιξη της τεχνολογίας, η νανοηλεκτρονική, η τεχνολογία CMOS οδήγησε στη δημιουργία αισθητήρων. Ωστόσο η χαμηλή κατανάλωση ενέργειας και ισχύος, η ταχύτητα και η ακρίβεια κρίνονται απαραίτητα για αυτά τα μηχανήματα. Οι αναλογικοί σε ψηφιακούς μετατροπείς είναι ικανοί να βελτιώσουν τις παραπάνω προδιαγραφές που απαιτούνται.

1.4 ΟΡΓΑΝΩΣΗ ΤΗΣ ΔΙΠΛΩΜΑΤΙΚΗΣ ΕΡΓΑΣΙΑΣ

Στο πρώτο κεφάλαιο γίνεται μία εισαγωγή ως προς το περιεχόμενο της εργασίας αυτής και τι πρόκειται να δούμε.

Στο δεύτερο κεφάλαιο αυτής της εργασίας θα γίνει μία εκτενής μελέτη και παρουσίαση όλων των μορφών Αναλογικού σε Ψηφιακού Μετατροπέα (ADC) με σκοπό τη σωστή κατανόηση των κριτηρίων των μετατροπέων για την κατάλληλη επιλογή τους στις βιοϊατρικές εφαρμογές.

Στο τρίτο και τέταρτο κεφάλαιο επισημάνεται ο κατάλληλος μετατροπέας που θα χρησιμοποιηθεί για την διπλωματική αυτή με σκοπό τις εκάστοτε βιοϊατρικές εφαρμογές, η σχεδίαση των κυκλωμάτων των building blocks αυτού του μετατροπέα στο Cadence Design System με τα κατάλληλα χαρακτηριστικά και τις προδιαγραφές.

Στο πέμπτο και τελευταίο κεφάλαιο αναφέρονται συμπεράσματα και μελλοντικές επεκτάσεις αυτής της εργασίας που μπορούν να δημιουργηθούν για περαιτέρω βελτίωση.

Στο έκτο κεφάλαιο αναφέρεται η βιβλιογραφία (πηγές) από όπου αντλήσαμε μερικές πληροφορίες.

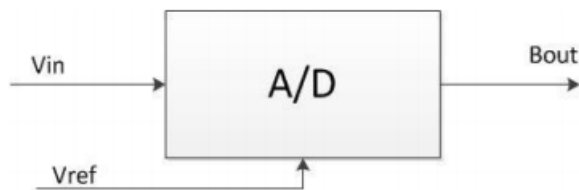
2

ΜΕΤΑΤΡΟΠΕΙΣ ΑΝΑΛΟΓΙΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΨΗΦΙΑΚΟ

2.1 ΔΙΑΔΙΚΑΣΙΑ ΜΕΤΑΤΡΟΠΗΣ ΑΝΑΛΟΓΙΚΟΥ ΣΕ ΨΗΦΙΑΚΟ ΣΗΜΑ

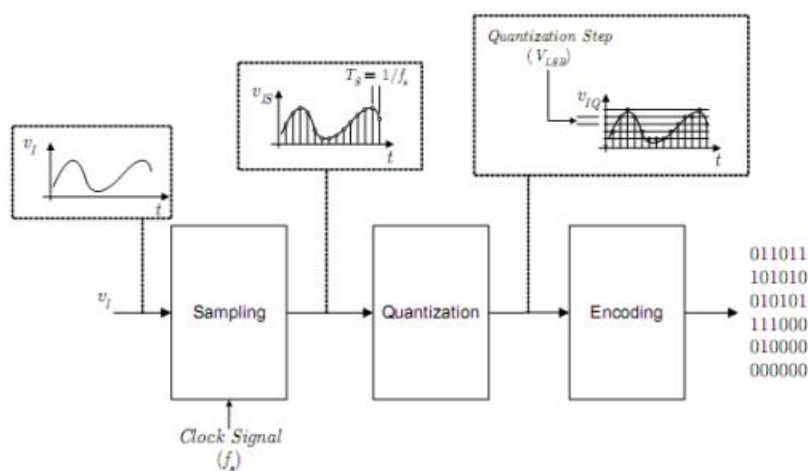
Σε ένα ψηφιακό σύστημα στον πραγματικό κόσμο η μετατροπή του αναλογικού σήματος σε ψηφιακό (A/D conversion) κρίνεται αναγκαία και απαραίτητη. Φυσικά μεγέθη όπως πίεση, θερμοκρασία, τάση μεταβάλλονται με αναλογικό τρόπο. Το αναλογικό σήμα που προκύπτει υφίσταται μία επεξεργασία κωδικοποίησης για την εισαγωγή του σε κάποιο ψηφιακό σύστημα. Για την κωδικοποίηση αυτή χρησιμοποιούμε το μετατροπέα A/D.

Παρακάτω απεικονίζεται το πλήρες διάγραμμα του μετατροπέα (ADC):



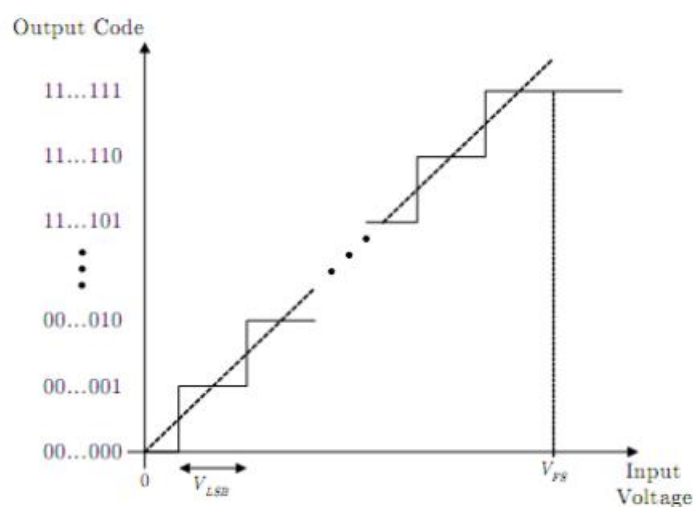
Εικόνα 2.1: Σχηματική αναπαράσταση του μετατροπέα A/D

Παρατηρούμε ότι ο συγκεκριμένος μετατροπέας εμπεριέχει μία τάση εισόδου, V_{in} , μία τάση αναφοράς V_{ref} και την ψηφιακή λέξη εξόδου όπου γίνεται η μετατροπή B_{out} . Συγκεκριμένα, η τάση εισόδου συγκρίνεται με την τάση αναφοράς και προκύπτει η ψηφιακή λέξη ύστερα από μία διαδικασία κωδικοποίησης. Έτσι, οι μετατροπείς συνδέουν το αναλογικό με το ψηφιακό σήμα δειγματοληπτώντας την αναλογική κυματομορφή εισόδου στο χρόνο και την ψηφιοποιούν κβαντίζοντάς την στο πλάτος. Παρακάτω φαίνεται η μετατροπή αυτή με πλήρες διάγραμμα.



Εικόνα 2.2: Διάγραμμα μετατροπής αναλογικού σε ψηφιακό σήμα

Τα δομικά στοιχεία του παραπάνω σχήματος δομούν τον μετατροπέα. Όπως παρατηρούμε, αρχικά γίνεται η δειγματοληψία με το αναλογικό σήμα να μετατρέπεται σε διακριτό στο χρόνο. Σε κάθε περίοδο ρολογιού δειγματοληπτείται η είσοδος μία φορά με συχνότητα δειγματοληψίας f_s . Έτσι, το φάσμα του αρχικού σήματος υφίσταται αλλαγές και προκύπτει η δειγματοληψία. Σύμφωνα με το θεώρημα Nyquist, ισχύει ότι $f_s = 2f_{\max}$, δηλαδή η συχνότητα δειγματοληψίας είναι διπλάσια από τη μέγιστη συχνότητα. Για την ακρίβεια της μετατροπής του αναλογικού σε ψηφιακό σήμα θα πρέπει το σήμα να μη μεταβάλλεται κατά τη διάρκεια της μέτρησης. Βέβαια, πολλά φυσικά σήματα δε γίνεται να παραμείνουν σταθερά και για το λόγο αυτό η βαθμίδα δειγματοληψίας και συγκράτησης (Sample and Hold) είναι απαραίτητη ώστε να δίνει την τιμή της αναλογικής εξόδου στην έξοδό της. Στη συνέχεια, το σήμα περνάει από τη βαθμίδα κβαντισμού (quantization) κατά το οποίο το πλάτος του σήματος εισόδου μετατρέπεται σε ψηφιακή λέξη. Συνεπώς, δημιουργούνται διαστήματα, τα λεγόμενα βήματα που έχουν πλάτος V_{LSB} . Τα επίπεδα κβαντισμού καθορίζουν την ακρίβεια του μετατροπέα. Όπως φαίνεται στο παρακάτω σχήμα, τα επίπεδα κβαντισμού προσεγγίζονται από την τάση εξόδου και έτσι το κβαντισμένο σήμα με το αρχικό είναι πανομοιότυπα [1].



Εικόνα 2.3: Ιδανική απόκριση μετατροπέα αναλογικού σήματος σε ψηφιακό N bits

Όπως παρατηρούμε το κβαντισμένο σήμα μοιάζει με το αρχικό σήμα. Ωστόσο, η διαφορά που εμφανίζεται είναι το λεγόμενο σφάλμα κβαντισμού ή αλλιώς θόρυβος. Η τιμή του εκφράζεται ως εξής:

$$e_{q\max} = V_{\text{LSB}}/2$$

Τέλος, ακολουθεί το τελικό στάδιο αυτής της μετατροπής όπου γίνεται η κωδικοποίηση του σήματος. Σε αυτό το στάδιο παράγεται η κωδικοποιημένη αναπαράσταση του κβαντισμένου σήματος από την έξοδο του ADC. Τα βήματα του κβαντισμού είναι 2^N , όπου N η ανάλυση του μετατροπέα που αντιστοιχεί στον αριθμό των bits της εξόδου. Επομένως, από τη σχέση: $V_{\text{LSB}} = V_{\text{FS}}/2^N$ παρατηρούμε ότι αυξάνοντας την ανάλυση (αριθμό των bits), το πλάτος V_{LSB} και η μέγιστη τιμή του σφάλματος κβαντισμού $e_{q\max} = V_{\text{LSB}}/2$ μειώνονται [2]. Από τα παραπάνω συμπεραίνουμε ότι η ταχύτητα του μετατροπέα είναι αντιστρόφως ανάλογη της ανάλυσης καθώς όσο πιο αργός είναι τόσο πιο καλύτερη ανάλυση έχουμε και

αντίστροφα. Μετά την ολοκλήρωση της παραπάνω διαδικασίας, της μετατροπής του αναλογικού σήματος σε ψηφιακό με τη χρήση του DAC(Digital-to-Analog Converter) η έξοδος του κβαντιστή μετατρέπεται ξανά σε αναλογικό σήμα και η διαδικασία αυτή συνεχίζεται.

2.2 ΠΑΡΑΜΕΤΡΟΙ ΤΩΝ ADC

Ωστόσο, ο κάθε μετατροπέας χρησιμοποιείται για συγκεκριμένη εφαρμογή. Δηλαδή, ανάλογα με τα χαρακτηριστικά που χρειάζεται η κάθε συσκευή για την εκάστοτε εφαρμογή απαιτείται και η κατάλληλη αρχιτεκτονική. Μία συσκευή μπορεί να απαιτεί ταχύτητα, ανάλυση, ακρίβεια, χαμηλή κατανάλωση ισχύος και χαμηλή τάση.

Οι παράμετροι των ADC μετατροπέων αναλύονται παρακάτω:

- **Διαφορική μη γραμμικότητα(Differential Nonlinearity-DNL)**

Επειδή τα επίπεδα κβαντοποίησης δεν είναι τα κατάλληλα πολλές φορές, η παράμετρος της διαφορικής μη γραμμικότητας ορίζεται ως η διαφορά μεταξύ του πλάτους ενός βήματος κβαντοποίησης του μετατροπέα από τον ιδανικό.

- **Απόλυτη μη γραμμικότητα(Integral Nonlinearity-INL)**

Αυτή η παράμετρος απεικονίζει το σφάλμα της συνάρτησης μεταφοράς του ADC. Η παράμετρος INL προκύπτει από την ολοκλήρωση καθενός σφάλματος DNL της συνάρτησης μεταφοράς.

- **Αποτελεσματικός αριθμός bits(Effective number of bits-ENOB)**

Αυτή η παράμετρος χρησιμεύει για τη σύγκριση διαφόρων μετατροπέων. Ο τρόπος υπολογισμού αυτής της παραμέτρου περιλαμβάνει τον μετρούμενο λόγο σήματος προς θόρυβο και υπολογίζεται σύμφωνα με τον τύπο:

$$ENOB=(SNR_{\text{measured}}-1,76\text{dB})/6.02$$

- **Δυναμική περιοχή ελεύθερη από ανώφελα σήματα (Spurious Free Dynamic Range-SFDR)**

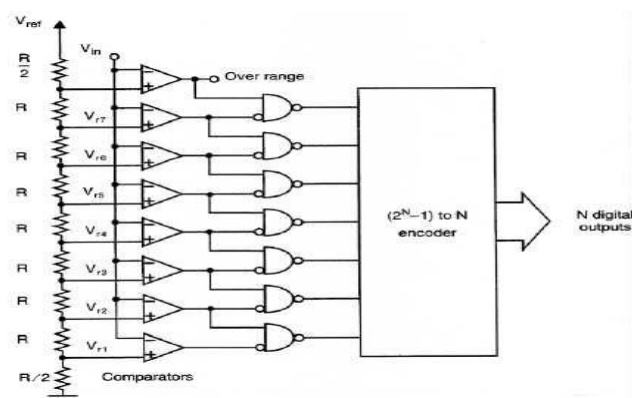
Η παράμετρος SFDR εκφράζεται σε dB και είναι η διαφορά του κυρίως σήματος από το μεγαλύτερο ανώφελο σήμα που βρίσκεται μέσα σε μία συγκεκριμένη ζώνη συχνοτήτων. Αν η δειγματοληψία γίνεται σύμφωνα με το κριτήριο Nyquist, τότε εκτείνεται από το DC μέχρι το $F_s/2$.

2.3 ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ ADC

Ανάλογα με τις παραπάνω προδιαγραφές και τα κριτήρια της κάθε εφαρμογής χρησιμοποιούνται οι κατάλληλες αρχιτεκτονικές ADC. Η μεγαλύτερη ολοκλήρωση, η υψηλότερη απόδοση και η χαμηλότερη κατανάλωση είναι από τα κύρια χαρακτηριστικά τους. Υπάρχουν πολλές αρχιτεκτονικές DAC στην αγορά που θεωρούνται πολύ σημαντικές και αναγκαίες. Παρακάτω αναφέρονται οι κυριότερες που κυκλοφορούν.

FLASH ADC

Κύριο χαρακτηριστικό του είναι η υψηλή ταχύτητα αλλά το μειονέκτημά του είναι η μεγάλη περιοχή που καλύπτει και η μεγάλη κατανάλωση. Όσον αφορά την ανάλυση (αριθμός bits) είναι κατάλληλο για 6-10 bits, σχετικά μικρή. Συγκεκριμένα, οι μετατροπείς αυτοί είναι οι γρηγορότεροι και από τις απλούστερες αρχιτεκτονικές ADC καθώς απαιτούν μόνο τη λογική για την τελική μετατροπή και τους αναλογικούς συγκριτές. Για τη σύγκριση της τάσης εισόδου με τις τάσεις αναφοράς χρησιμοποιεί μεγάλο αριθμό συγκριτών. Ωστόσο, ο μεγάλος αυτός αριθμός συνεπάγεται υψηλή κατανάλωση ισχύος. Όπως θα παρατηρήσουμε στο παρακάτω σχήμα του N-bit μετατροπέα πραγματοποιείται κβαντοποίηση με συγκρίσεις, όπου κάθε μία από αυτές συνδέεται με αντιστάσεις. Ο συγκριτής δίνει έξοδο 0 ή 1 ανάλογα με το αποτέλεσμα της σύγκρισης. Στην έξοδό τους σχηματίζεται μία ψηφιακή λέξη και μέσω πυλών NAND δίνουν το αποτέλεσμα. Η τελική έξοδος του μετατροπέα κωδικοποιείται σε δυαδικά ψηφία. Ωστόσο, όπως αναφέρεται παραπάνω το μειονέκτημά τους είναι η χαμηλή κατανάλωσή τους 6-8 bits. Το πλεονέκτημά τους είναι η γρήγορη μετατροπή του αναλογικού σε ψηφιακό σήμα. Λόγω των πολλαπλών αντιστάσεων και συγκριτών αυξάνεται το κόστος και η πολυπλοκότητά του. Επίσης, λόγω της τέλει ισοστάθμισης του δικτυώματος των αντιστάσεων, μειώνεται η γραμμικότητα του και οι επιδόσεις του. Το εύρος ζώνης του σήματος μειώνεται λόγω του μεγάλου αριθμού των συγκριτών και επομένως της αύξησης της χωρητικότητας.



Εικόνα 2.4: Flash ADC 2^N αντιστάσεων και 2^{N-1} συγκριτών

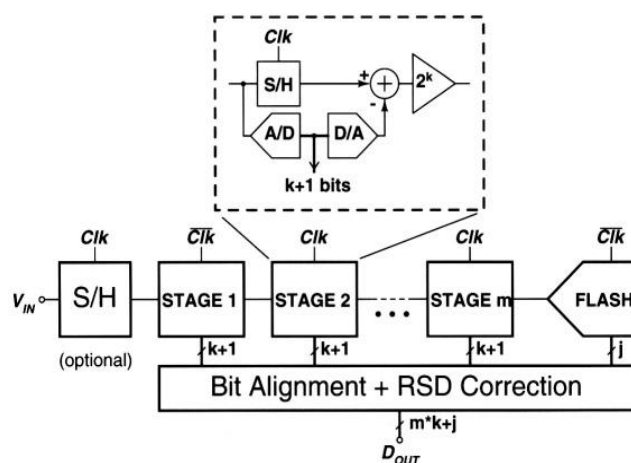
Sub-Ranging ADC

Είναι μικρότερου μεγέθους και έχουν μικρότερη κατανάλωση καθώς δεν απαιτούνται τόσο πολλοί συγκριτές για τη μετατροπή του αναλογικού σε ψηφιακό σήμα.

Pipelined ADC

Οι συγκεκριμένοι μετατροπείς χαρακτηρίζονται για την υψηλή ανάλυσή τους (αριθμός bits) σε βάρος χρονικών καθυστερήσεων και υψηλής κατανάλωσής. Παρέχουν υψηλή απόδοση και είναι η πιο δημοφιλής αρχιτεκτονική ADC για τα ποσοστά της δειγματοληψίας.

Παρακάτω φαίνεται μία υλοποίηση του:



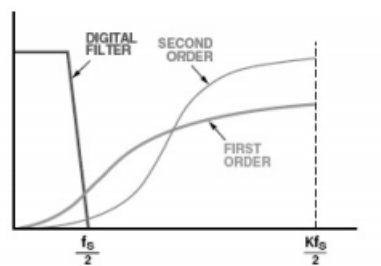
Εικόνα 2.5: Pipelined ADC

Παρατηρούμε ότι σε αυτόν τον μετατροπέα η διαδικασία περιέχει συνεχόμενα στάδια όπου χωρίζεται η διαδικασία του κβαντισμού. Κάθε στάδιο χρησιμοποιεί ένα κύκλωμα δειγματοληψίας, ένα m-bit ADC και ένα μετατροπέα. Συνεπώς, για εφαρμογές που απαιτείται υψηλή ταχύτητα, ο παραπάνω μετατροπέας είναι ιδανικός. Όσον αφορά τη διακριτική του ικανότητα είναι υψηλή, περίπου 8-16 bits.

Delta Sigma ADC

Ο συγκεκριμένος μετατροπέας ξεκίνησε την άνθησή του στις δεκαετίες του 60 και 70 [3], [4] και στηρίζεται στην τεχνική της διαμόρφωσης Δέλτα [5]. Η υπερδειγματοληψία, η μορφοποίηση θορύβου, το ψηφιακό φίλτράρισμα είναι βασικά χαρακτηριστικά του. Η συχνότητα δειγματοληψίας του είναι K φορές μεγαλύτερη από τη συχνότητα Nyquist με αποτέλεσμα ο θόρυβος κβαντοποίησης να εκτείνεται μέχρι $Kf_s/2$. Όπως παρουσιάζεται και στο παρακάτω σχήμα, αποκόπτεται το μεγαλύτερο μέρος του κυρίως για

μετατροπείς πρώτης τάξης ενώ στους μετατροπείς δεύτερης τάξης αποκόπτεται ακόμη περισσότερος θόρυβος και η μορφοποίησή του είναι ακόμη καλύτερη. Έπειτα, μέσω του αποδεκατισμού ο ρυθμός των δειγμάτων μειώνεται σε f_s .



Εικόνα 2.6:Μορφοποίηση θορύβου σε Delta-Sigma ADC

Αναλόγως αν ο μετατροπέας είναι πρώτης ή δεύτερης τάξης, αποτελείται από έναν ή δύο αθροιστές, ολοκληρωτές, συγκριτές, ψηφιακό φίλτρο και αποδεκατιστή.

Ένα σημαντικό πλεονέκτημα του μετατροπέα είναι ότι έχει υψηλή διακριτική ικανότητα (περίπου 14 bits) και έχει υψηλή απόδοση λόγω της μορφοποίησης του θορύβου που πραγματοποιείται. Δηλαδή έχει μέτριο εύρος ζώνης αλλά πολύ υψηλή ανάλυση λόγω της μορφοποίησης και της υπερδειγματοληψίας.

Υπάρχουν διάφοροι τύποι υλοποίησης ενός ΣΔ μετατροπέα:

➤ **Απλού σταδίου η πολλαπλών.**

Απλού σταδίου

Αποτελείται από ολοκληρωτές. Όσο περισσότεροι ολοκληρωτές είναι τόσο περισσότερο αυξάνεται η τάση και η μορφοποίηση θορύβου. Ωστόσο αυτό μπορεί να δημιουργήσει προβλήματα ευστάθειας και αύξησης του μέγιστου πλάτους.

Πολλαπλών

Για την κατασκευή μετατροπέα μεγαλύτερης τάξης η χρήση της πρώτης και δεύτερης τάξης τους είναι απαραίτητη.

➤ **Συνεχούς χρόνου ή διακριτού.**

Συνεχούς χρόνου

Η διαφορά με τους άλλους μετατροπείς είναι στη θέση του δειγματολήπτη.

Διακριτού

Η χρήση ενός αντί aliasing φίλτρου είναι απαραίτητη καθώς το σήμα δειγματοληπτείται στην είσοδο.

- **Ο εσωτερικός κβαντιστής αν είναι ενός bit ή πολλών bit.**

Πολλών bit

Με τη χρήση κβαντιστή πολλών bit ο θόρυβος και η διασπορά μειώνονται.

Ενός bit

Η κατανάλωση είναι χαμηλή καθώς δεν προστίθεται θόρυβος.

- **Το φίλτρο αν είναι τοπολογίας feedback ή feedforward.**

Feedback

Δεν έχει καλή γραμμικότητα παρόλο που το κέρδος και το εύρος ζώνης παρουσιάζονται βελτιωμένα.

Feedforward

Η υψηλή κατανάλωση είναι μειονέκτημά της αλλά η διαφορά με τις προηγούμενες τοπολογίες είναι στην γραμμικότητά της.

Επίσης, υπάρχουν και μετατροπείς από αναλογικό σε ψηφιακό σήμα ανάλογα με το ρυθμό δειγματοληψίας τους. Συγκεκριμένα:

Nyquist μετατροπείς:

Το εύρος φάσματος είναι το μισό από τη συχνότητα δειγματοληψίας.

Oversampling μετατροπείς:

Το πλάτος λειτουργεί ως κύριο χαρακτηριστικό, ενώ ο θόρυβος κβάντισης μειώνεται σε σχέση με τους Nyquist μετατροπείς.

Η διπλωματική αυτή επικεντρώνεται στον Successive Approximation ADC. Παρακάτω αναλύονται τα επιμέρους χαρακτηριστικά του που μελετήθηκαν στο εργαλείο CADENCE DESIGN SYSTEM(Virtuoso) όπως θα δούμε παρακάτω σε τεχνολογία 180nm CMOS και χρησιμοποιώντας το EKV3[24],[25] προχωρημένο συμπαγές MOSFET μοντέλο. Το EKV3 μοντέλο έχει αναπτυχθεί στο εργαστήριο Ηλεκτρονικής του Πολυτεχνείου Κρήτης. Σκοπός είναι η υλοποίηση κυκλωμάτων στην τεχνολογία 180nm CMOS. Η συγκεκριμένη τεχνολογία είναι αναγκαία για τη σχεδίαση κυκλωμάτων για βιοϊατρικές εφαρμογές καθώς σε πιο προχωρημένες τεχνολογίες παρατηρείται μείωση του πηλίκου σήματος προς θόρυβο και αύξηση του κόστους, κάτι το οποίο δεν απαιτούν αυτές οι εφαρμογές.

SUCCESSIVE APPROXIMATION ADC:

Η συγκεκριμένη αρχιτεκτονική είναι ένας τύπος μετατροπέα μιας αναλογικής κυματομορφής σε διακριτή ψηφιακή αναπαράσταση μέσω κβάντισης. Το κύριο χαρακτηριστικό του είναι η γρήγορη ταχύτητα μετατροπής του και η απλότητα των κυκλωμάτων που απαιτούνται. Για το λόγο αυτό αποτελεί μία από τις πιο γνωστές αρχιτεκτονικές ADC.

Τα σημαντικότερα πλεονεκτήματά του είναι:

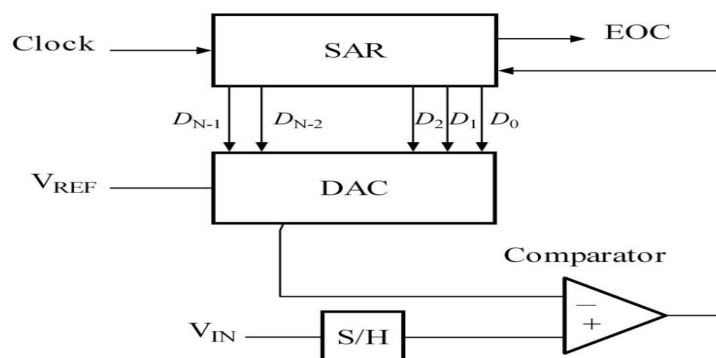
- Υψηλή ανάλυση (8-14 bits)
- Μέτρια ακρίβεια μετατροπής (accuracy)
- Καλό trade-off μεταξύ ταχύτητας και κόστους παραγωγής.
- Σειριακό αποτέλεσμα στην έξοδό του (ένα bit τη φορά).
- Σχετικά χαμηλή κατανάλωση ισχύος

Ορισμένα από τα μειονεκτήματά του είναι:

- Η ταχύτητα μετατροπής του μειώνεται σε εφαρμογές με υψηλή ανάλυση.
- Στους μετατροπείς του εμπορίου η ταχύτητα φθάνει ως περίπου 4-5 Mbps.

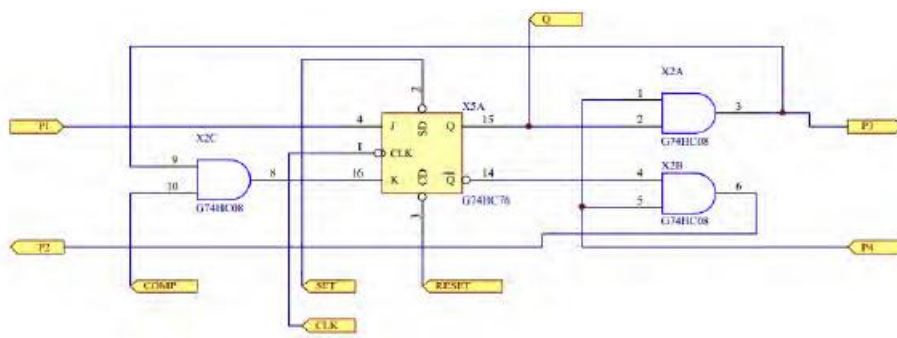
Ο successive approximation ADC στοχεύει μέσω του αλγόριθμου δυαδικής αναζήτησης στην εύρεση της ψηφιακής λέξης της αναλογικής τάσης εισόδου. Συνεπώς ακολουθεί τη μέθοδο διαδοχικών προσεγγίσεων. Για την κατανόηση του παραπάνω αλγορίθμου μπορούμε να σκεφτούμε ένα παιχνίδι όπου ο παίχτης πρέπει να μαντέψει ένα ακέραιο αριθμό μεταξύ του 1 και του 128. Η πρώτη ερώτηση που θα ήταν αν ο αριθμός είναι μεγαλύτερος από το 64 ώστε να αποκλείσει τις μισές περιπτώσεις. Αν η απάντηση ήταν ναι, η δεύτερη ερώτηση θα ήταν αν ο αριθμός αυτός είναι μεγαλύτερος του 96. Αν η απάντηση ήταν όχι, η ερώτηση θα ήταν αν ο αριθμός αυτός είναι μεγαλύτερος του 32. Ουσιαστικά, ο αλγόριθμος αυτός διαιρεί το χώρο των πιθανοτήτων ώστε να φθάσει στον επιθυμητό αποτέλεσμα. Χρειάζονται N βήματα για ένα σετ πληροφοριών μεγέθους 2^N . Για να βρει την ψηφιακή λέξη, αρχικά, μετά το reset, καθορίζεται το MSB. Έπειτα καθορίζεται το δεύτερο πιο σημαντικό ψηφίο και η διαδικασία συνεχίζεται για όλα τα N bits της εξόδου [17].

Παρακάτω απεικονίζεται το block διάγραμμα του συγκεκριμένου μετατροπέα:



Εικόνα 2.7: Successive Approximation A/D

Το κύτταρο του SAR



Εικόνα 2.9:Το κύτταρο του SAR[17]

Έχει έξι εισόδους και τρεις εξόδους. Αποτελείται από ένα JK-FF και τρεις πύλες AND.

Η είσοδος CLK ανάλογα με τις καταστάσεις των J και K, μεταβάλλει κατάλληλα την έξοδο.

Η είσοδος SET θέτει το MSB ασύγχρονα στην αρχικοποίηση του SAR.

Η είσοδος RESET καθαρίζει τα LSBits ασύγχρονα στην αρχικοποίηση του SAR. Έτσι, η αρχική τιμή του είναι 2^{N-1} , όπου N τα bits που περιέχει.

Η είσοδος COMP χρησιμοποιείται για τη σχέση της τάσης εισόδου του A/D -τάσης του D/A Ladder.

Η είσοδος P1 είναι η συνέχεια της εξόδου P3 του προηγούμενου κυττάρου.

Η είσοδος P4 είναι η συνέχεια της εξόδου P2 του προηγούμενου κυττάρου.

DAC (Μετατροπέας ψηφιακού σήματος σε αναλογικό)

Παρόλο τις απαιτήσεις των ADC, ο DAC έχει εξίσου πολλές για τις επιδόσεις του. Οι μετατροπείς αυτοί δημιουργούν το αναλογικό σήμα βάσης αφού έχουν πρώτα υποστεί ψηφιακή επεξεργασία. Στους εμπορικούς μετατροπείς DAC παρατηρείται υψηλή διακριτική ικανότητα των 14 bits, μεγάλοι ρυθμοί δειγματοληψίας και μεγάλος λόγος σήματος προς θόρυβο.

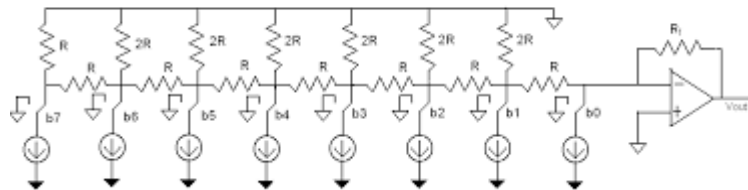
Ορισμένες από τις αρχιτεκτονικές DAC αναφέρονται παρακάτω:

- DAC με Διάταξη Αντιστάσεων σε Σειρά(Resistor String DAC)
- DAC με δίκτυα R-2R σε Διάταξη Σκάλας(R-2R Ladder DAC)
- DAC Κατευθυνόμενου Ρεύματος(Current Steering DAC)
- DAC Διαβάθμισης Φορτίου(Charge Scaling DAC)
- Κυκλικός DAC (Cycle DAC)
- DAC διασύνδεσης (Pipeline DAC)
- Σίγμα-Δέλτα DAC (Sigma-Delta DAC)

Κάθε μία από αυτές έχει τα πλεονεκτήματα και τα μειονεκτήματά της. Για να μετατρέψουν την ψηφιακή είσοδο σε αναλογική έξοδο χρησιμοποιούν κάποιες τεχνικές, όπως της διαίρεσης τάσης, της ταξινόμησης φορτίου κ.λ.π.

Από τις παραπάνω αρχιτεκτονικές θα αναλυθεί αυτή του DAC με δίκτυα R-2R σε διάταξη σκάλας.

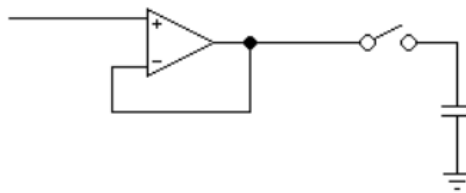
Παρακάτω απεικονίζεται ένα παράδειγμα αυτής της αρχιτεκτονικής:



Εικόνα 2.10: 8-bit DAC

Sample and Hold

Αποτελεί μέρος του μετατροπέα SAR που είναι χρήσιμο για τη δειγματοληψία και την αποθήκευση πριν υποστεί επεξεργασία το δοθέν σήμα. Η χρησιμότητά του είναι σημαντική λόγω της μεγάλης χωρητικότητας για τη μείωση θορύβου και της μικρής για την αποφυγή αργών αποκρίσεων της εξόδου. Παρακάτω παρουσιάζεται ένα παράδειγμα αυτού του κυκλώματος:



Εικόνα 2.11: Κύκλωμα Sample & Hold

Comparator

Θα αναλυθεί στο επόμενο κεφάλαιο λεπτομερώς.

3

Υλοποίηση Συγκριτή

3.1 Περιοχές λειτουργίας του MOSFET

Ο συντελεστής αναστροφής, το μήκος καναλιού και το ρεύμα πόλωσης αποτελούν σημαντικά χαρακτηριστικά κάθε MOS συσκευής σε ένα αναλογικό κύκλωμα. Ο συντελεστής αναστροφής υπολογίζεται σύμφωνα με την παρακάτω σχέση:

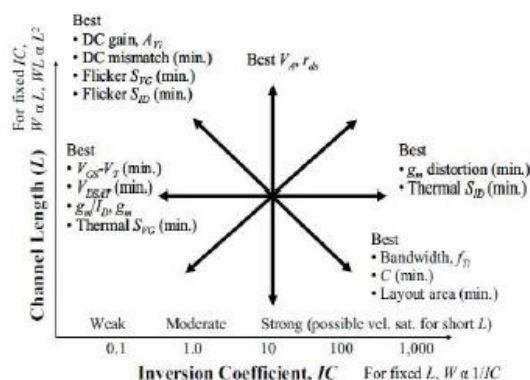
$$IC=I_D/I_0(W/L),$$

Όπου I_0 το ρεύμα τεχνολογίας:

$$I_0=2n_o\mu_oC'_{ox}U_T^2$$

Και: n_o ο συντελεστής υποστρώματος
 μ_o ο συντελεστής κινητικότητας
 C_{ox} είναι η χωρητικότητα πύλης και
 U_T η θερμική τάση ($=kT/q$).

Οι περιοχές λειτουργίας του MOSFET και τα trade-offs λειτουργίας απεικονίζονται στην παρακάτω γραφική:



Εικόνα 3.1: Trade-offs αναλογικής σχεδίασης

Παρατηρούμε ότι αν για το συντελεστή αναστροφής ισχύει $IC < 10$, δηλαδή έχουμε weak ή moderate αναστροφή τότε έχουμε υψηλή διαγωγιμότητα g_m , $g_m/I_D(1/V)$ και DC κέρδος τάσης g_m/g_{ds} [7]. Ταυτόχρονα, η τάση $V_{EFF} = V_{GS} - V_T$ και η τάση κορεσμού υποδοχής-πηγής V_{DSAT} , παίρνουν τις ελάχιστες τιμές τους. Ελάχιστες τιμές έχουμε και στους δύο τύπους θορύβων, θερμικό και flicker καθώς και στο ταίριασμα ρεύματος. Τέλος, σε αυτές τις περιοχές παρατηρείται ότι η επιφάνεια της πύλης WL , τα πλάτη καναλιού, ο λόγος W/L και οι χωρητικότητες κυμαίνονται σε μεγάλα επίπεδα, με αποτέλεσμα να υπάρχει μείωση στο εύρος ζώνης [7]. Η λειτουργία σε υψηλούς συντελεστές αναστροφής ($IC > 10$) δηλαδή σε strong inversion εξασφαλίζει υψηλή τιμή για το εύρος ζώνης f_T , σε συνδυασμό με χαμηλές τιμές για το πλάτος καναλιού W , την επιφάνεια της πύλης WL , τις χωρητικότητες και την παραμόρφωση της διαγωγιμότητας. Τέλος, σε αυτές τις περιοχές, παρατηρείται μη επιθυμητή

αύξηση των τάσεων V_{EFF}, V_{DSAT} και μείωση της διαγωγιμότητας g_m , του πηλίκου g_m/I_D ($1/V$) και του DC κέρδους τάσης.

Όσον αφορά τη γραφική παρατηρούμε ότι:

- Η διαγωγιμότητα g_m και το πηλίκο $g_m/I_D(1/V)$ είναι μέγιστα στην ασθενή αναστροφή, μειώνονται ελάχιστα στη μέτρια και μειώνονται κατά την αντίστροφη τετραγωνική ρίζα του IC στην ισχυρή αναστροφή.
- Όσο ο IC αυξάνεται στην ασθενή αναστροφή, το κέρδος παραμένει σταθερό λόγω του σταθερού πηλίκου $g_m/I_D(1/V)$, ενώ το εύρος ζώνης μειώνεται ανάλογα με τον IC, εξαιτίας της μείωσης της επιφάνειας της πύλης και των εσωτερικών χωρητικότητων πύλης. Στην ισχυρή αναστροφή, το κέρδος μειώνεται κατά την αντίστροφη τετραγωνική ρίζα του IC αφού το g_m/I_D ($1/V$) μειώνεται, ενώ το εύρος ζώνης αυξάνεται κατά την τετραγωνική ρίζα του IC. Έτσι το γινόμενο κέρδους-εύρος ζώνης είναι σταθερό.
- Ο θόρυβος flicker, αυξάνεται σύμφωνα με την τετραγωνική ρίζα του IC, επειδή η επιφάνεια της πύλης μειώνεται αντίστροφα με το IC. Για υψηλές τιμές του IC, έχουμε επιπλέον αύξηση του θορύβου, ειδικά στα PMOS εξαιτίας της αύξησης του με τον συντελεστή αναστροφής.
- Η τάση $V_{EFF}=V_{GS}-V_T$ και η τάση κορεσμού υποδοχής-πηγής V_{DSAT} είναι ελάχιστες στην ασθενή αναστροφή και αυξάνονται κατά την τετραγωνική ρίζα του IC στην ισχυρή αναστροφή [7].

Όσον αφορά τα trade-offs ως προς το μήκος καναλιού προκύπτουν τα εξής:

- Η τάση early V_A και η αντίσταση υποδοχής-πηγής r_{ds} , για μικρά μήκη καναλιού, μειώνονται στην ασθενή αναστροφή εξαιτίας του DIBL (drain-induced barrier lowering). Αύξηση του μήκους καναλιού έχει ως αποτέλεσμα την αύξηση τους, εξαιτίας της μείωσης της επιρροής του DIBL.
- Το κέρδος τάσης αυξάνεται ανάλογα με το μήκος καναλιού, ενώ το εύρος ζώνης μειώνεται ως προς το αντίστροφο τετράγωνο του L.
- Οι εσωτερικές χωρητικότητες πύλης, εξαρτώνται από το μήκος καναλιού, αυξάνονται ως προς το τετράγωνο του L εξαιτίας της σημαντικής αύξησης της επιφάνειας πύλης.
- Θόρυβος flicker στην πύλη και υποδοχή των τρανζίστορ, εξαρτάται από το μήκος καναλιού, μειώνεται αντίστροφα με το L εξαιτίας της αύξησης της επιφάνειας πύλης κατά το τετράγωνο του L.
- Θερμικός θόρυβος είναι ανεξάρτητος του μήκους καναλιού. Εξαίρεση αποτελεί η περίπτωση μικρού μήκους συσκευών που λειτουργούν σε υψηλό IC [7].

Ο συνδυασμός λειτουργίας σε χαμηλούς συντελεστές αναστροφής και μεγάλα μήκη καναλιού (στο πάνω αριστερά μέρος της γραφικής) οδηγεί σε DC βελτιστοποίηση ελαττώνοντας το εύρος ζώνης, το mismatch του ρεύματος και τον θόρυβο flicker στην πύλη και υποδοχή των τρανζίστορ, ενώ συγχρόνως αυξάνει το DC κέρδος τάσης, την διαγωγιμότητα g_m , το πηλίκο $g_m/I_D(1/V)$ και την αντίσταση υποδοχής-πηγής.

Αντίστοιχα, ο συνδυασμός λειτουργίας σε υψηλούς συντελεστές αναστροφής και μικρά μήκη καναλιού (στο κάτω δεξιά μέρος της γραφικής) οδηγεί σε AC βελτιστοποίηση αυξάνοντας το εύρος ζώνης, το mismatch του ρεύματος και τον θόρυβο flicker στην πύλη και υποδοχή των τρανζίστορ, ενώ συγχρόνως αυξάνει το DC κέρδος τάσης, την επιφάνεια της πύλης, τις χωρητικότητες πύλης και την παραμόρφωση της διαγωγιμότητας.

Οι περιοχές λειτουργίας του MOSFET ανάλογα με τις τιμές του συντελεστή αναστροφής IC είναι η ασθενής, η μέτρια και η ισχυρή περιοχή αναστροφής. Η ασθενής αναστροφή λαμβάνει χώρα για $IC < 0.1$, η μέτρια αναστροφή για $0.1 < IC < 10$ και η ισχυρής αναστροφή για $IC > 10$. Η λειτουργία στην περιοχή μέτριας αναστροφής είναι η πιο ενδεδειγμένη για τη σχεδίαση σε χαμηλή τάση τροφοδοσίας. Αυτό συμβαίνει κυρίως λόγω της υψηλής διαγωγιμότητας, εύρους ζώνης και της χαμηλής τάση κορεσμού υποδοχής-πηγής που έχουν τα MOSFET στην περιοχή αυτή [7].

3.2 Τεχνολογίες υλοποίησης-Παράμετροι σχεδίασης

Η σχεδίαση για την κατασκευή των επιμέρους χαρακτηριστικών του Successive Approximation ADC έγινε σε τεχνολογία 180nm CMOS με τη βοήθεια του CADENCE DESIGN SYSTEM. Παρακάτω ακολουθεί ο υπολογισμός ορισμένων παραμέτρων που χρειάστηκαν για τη σχεδίαση και τους υπολογισμούς της εργασίας. Συγκεκριμένα:

NMOS:

$$C_{ox} = \frac{\epsilon_0 \chi}{T_{ox}} = 3.45 \times 10^{-11} / 3 \times 10^{-9} = 1.15 \times 10^{-2} F/m^2$$

$$\Phi_F = 470 mV$$

$$n = 1$$

$$V_{TO} = 491 mV$$

$$K_p = 440 \times 10^{-6} A/V^2$$

PMOS:

$$C_{ox} = \frac{\epsilon_0 \chi}{T_{ox}} = 3.45 \times 10^{-11} / 3 \times 10^{-9} = 1.15 \times 10^{-2} F/m^2$$

$$\Phi_F = 470 mV$$

$$n = 1.1$$

$$V_{TO} = -562 mV$$

$$K_p = 82 \times 10^{-6} A/V^2$$

Κάποιες άλλες τιμές βασικών παραμέτρων είναι:

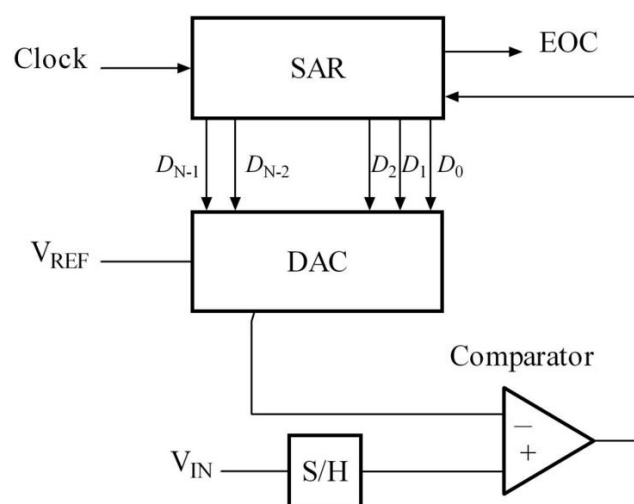
$$\varepsilon_{si}=1.04 \times 10^{-10} \text{ F/m}$$

$$q=1.602 \times 10^{-19} \text{ C}$$

$$n_i(300K)=1.19 \times 10^{-10} \text{ cm}^{-3}$$

Όπως είδαμε στο προηγούμενο κεφάλαιο τα building blocks του successive approximation ADC είναι τα παρακάτω:

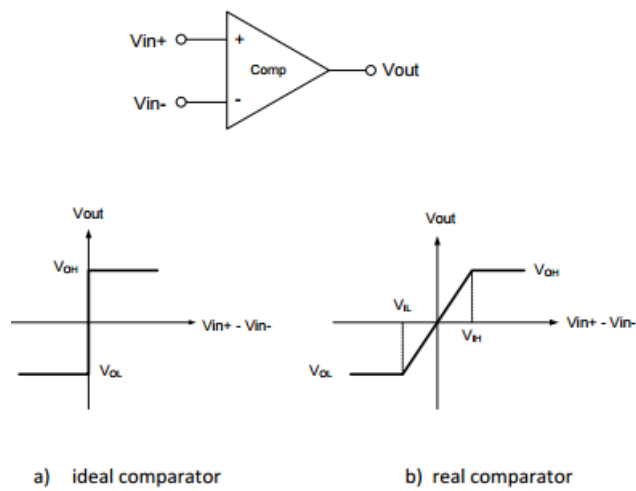
- Comparator
- S/H (Sample and Hold)
- DAC (R-2R ladder DAC)
- Operational Amplifier
- SAR (Successive Approximation Register)



Εικόνα 3.2: Successive Approximation ADC

3.3 Συγκριτής (Comparator)

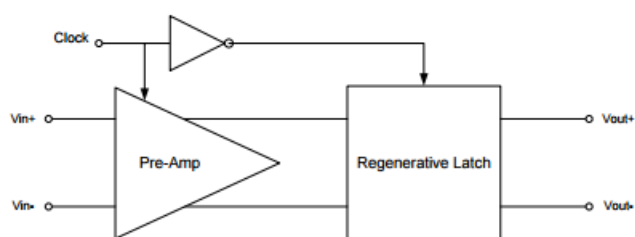
Ο συγκριτής αποτελεί βασικό δομικό στοιχείο σε μία αρχιτεκτονική ADC. Ο κύριος σκοπός του είναι να συγκρίνει δύο σήματα και να παράγει έξοδο, θετική ή αρνητική, ανάλογα με τη διαφορά των δύο σημάτων. Σε ορισμένες περιπτώσεις κάποιο λάθος που μπορεί να παραχθεί από το συγκριτή μπορεί να αποδοθεί στη μετέπειτα λειτουργία του ADC αρνητικά. Το παρακάτω σχήμα παρουσιάζει τη λειτουργία της τάσης ενός ιδανικού και ενός πραγματικού ADC [8]. Ένας συγκριτής δημιουργεί μία λογική έξοδο βασισμένη στη σύγκριση της αναλογικής εισόδου με μία τάση αναφοράς. Σε ένα ιδανικό συγκριτή, όταν η τάση εισόδου είναι υψηλότερη από την τάση αναφοράς, η έξοδος είναι 1 ενώ όταν η τάση εισόδου είναι χαμηλότερη από την τάση αναφοράς η έξοδος είναι 0.



Εικόνα 3.3:Χαρακτηριστική εισόδου-εξόδου ενός ιδανικού και ενός πραγματικού συγκριτή

Ωστόσο, σε ένα πραγματικό συγκριτή, ο συγκριτής δίνει 0 όταν $V_{IN} > V_{REF} + V_{IH}$ και 1 όταν $V_{IN} < V_{REF} + V_{IL}$.

Μία τυπική αρχιτεκτονική συγκριτή περιέχει ένα προενισχυτή και ένα μανδαλωτή (regenerative Latch), όπως φαίνεται παρακάτω:



Εικόνα 3.4:Block diagram ενός συγκριτή

Η ταχύτητα, η ακρίβεια, η χαμηλή κατανάλωση ισχύος είναι μερικά από τα χαρακτηριστικά των συγκριτών που αποτελούν τις μετρήσεις του.

Resolution

Η ελάχιστη διαφορά τάσης εισόδου ονομάζεται resolution. Ο θόρυβος και το offset της εισόδου είναι κάποιοι από τους παράγοντες του.

Σε ένα A/D converter το ελάχιστο resolution που απαιτείται ονομάζεται V_{LSB} . Για παράδειγμα, σε ένα N-bit ADC, ο συγκριτής είναι ικανός να εντοπίσει ένα LSB, όπου ορίζεται ως $V_{LSB} = 1/2^N$.

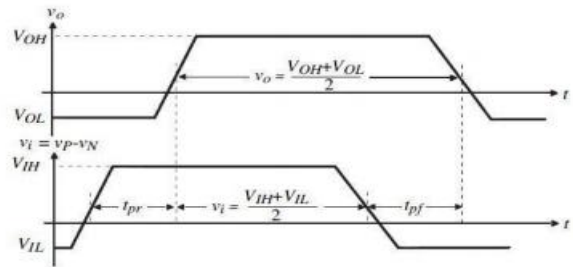
Διάδοση Καθυστερήσης

Η διάδοση καθυστέρησης ορίζει την ταχύτητα του comparator, δηλαδή το πόσο γρήγορα αποφασίζει ο συγκριτής. Αυτό επίσης επηρεάζει την ταχύτητα όλου του ADC. Όπως φαίνεται στο σχήμα παρακάτω, μετريέται ανάλογα με την μετάβαση των σημείων εισόδου και εξόδου του σήματος όταν αυτά φθάσουν το 50/100 του

επιπέδου των σημάτων. Σύμφωνα με τον ορισμό, η διάδοση καθυστέρησης είναι ο μέσος όρος της ανόδου και της πτώσης των χρόνων καθυστερήσεων.

$$t_p = (t_{pr} + t_{pf}) / 2$$

Παρακάτω απεικονίζεται το propagation delay:



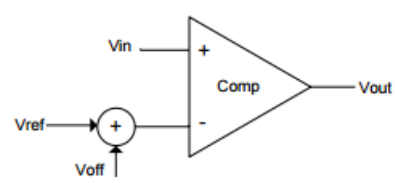
Εικόνα 3.5: Διάδοση Καθυστερήσης

Ρυθμός Σύγκρισης

Ο ρυθμός σύγκρισης είναι η υψηλότερη συχνότητα στην οποία ο συγκριτής καταλήγει σε μία σωστή τιμή και ορίζεται από την υπερπολλαπλασιασμένη ταχύτητα της δοκιμής ανάκτησης. Υποθέτοντας ότι η διαφορά εισόδου του συγκριτή περιλαμβάνει μία μεγάλη και μία μικρή τιμή, αν ο συγκριτής ανταποκριθεί σωστά στη μεγάλη τιμή της τάσης εισόδου, τότε έχει αποκατασταθεί από αυτή τη συχνότητα. Ο ρυθμός σύγκρισης εξαρτάται από την ταχύτητα ή βασικά από τη δοκιμή ανάκτησης του μανδαλωτή και του προενισχυτή [14].

Input-Referred Offset

Το offset στην είσοδο του συγκριτή προέρχεται από τα mismatches κυρίως του ταιριάσματος των τρανζίστορ. Ο συγκριτής μπορεί να έχει υψηλή τάση στην έξοδο του όταν η τάση εισόδου είναι λιγότερη από την τάση αναφοράς και χαμηλή τάση όταν η τάση εισόδου είναι υψηλότερη από την τάση αναφοράς. Το input-referred offset μπορεί να παρασταθεί όπως φαίνεται στο παρακάτω σχήμα και με τις παρακάτω εξισώσεις:



Εικόνα 3.6: Offset Συγκριτή

If $V_{in} > V_{ref} + V_{off}$ then

$$V_{OUT} = V_H$$

If $V_{in} < V_{ref} + V_{off}$ then

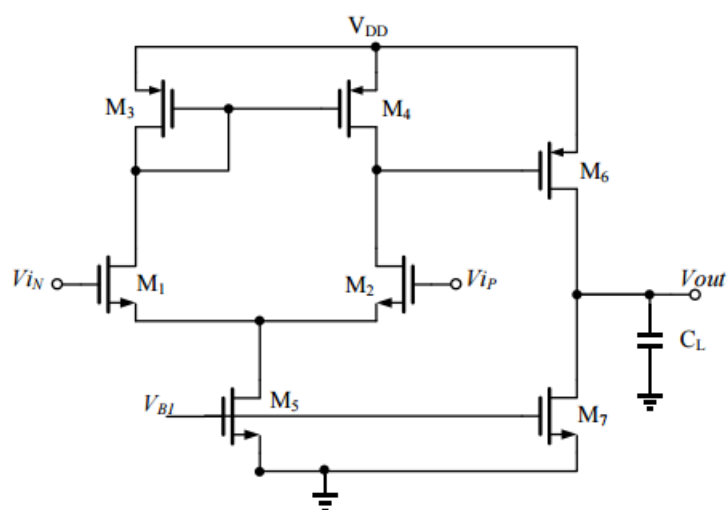
$$V_{OUT} = V_L$$

3.3.1 Αρχιτεκτονικές Συγκριτών (Comparator Architectures)

Υπάρχουν ποικίλοι τύποι συγκριτών. Σε αυτή τη διπλωματική 3 τύποι περιγράφονται, όπου θα αναλυθεί ο ένας από αυτούς. Η τοπολογία του συγκριτή εξαρτάται κάθε φορά από τη συγκεκριμένη εφαρμογή. Παρακάτω περιγράφονται κάποιες αρχιτεκτονικές αυτών με χαμηλή κατανάλωση:

OPEN-LOOP Συγκριτής

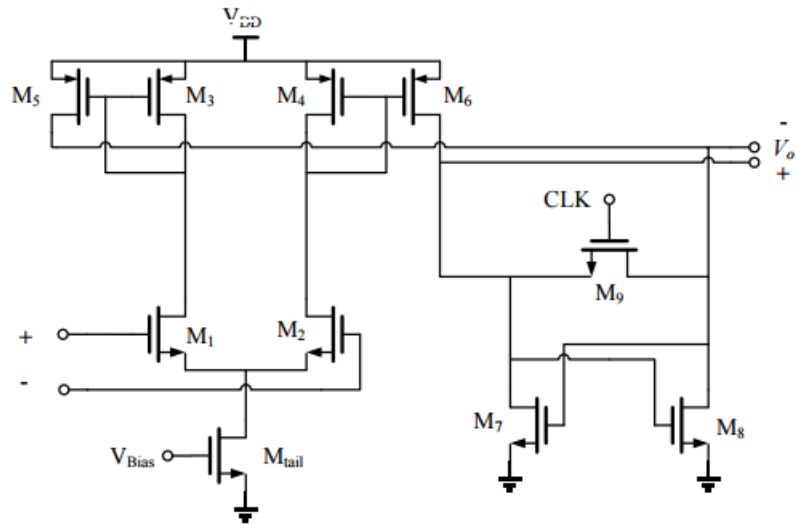
Ο open-loop Comparator είναι στην πραγματικότητα ένας ενισχυτής υψηλού κέρδους με διαφορική είσοδο και μοναδική έξοδο.



Εικόνα 3.7: Open-loop Συγκριτής

Αυτός ο τύπος συγκριτή δε δουλεύει για υψηλές ταχύτητες και για χαμηλή κατανάλωση.

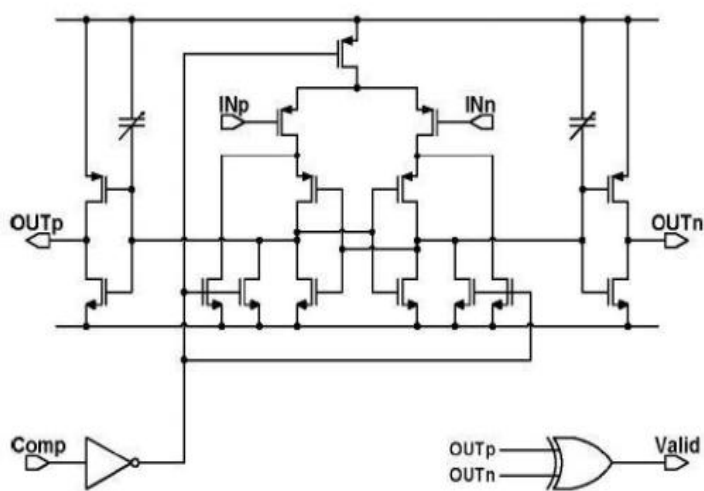
Συγκριτής Μανδάλωσης με Ενισχυτή



Εικόνα 3.8:Συγκριτής Μανδάλωσης με Ενισχυτή

Ο συγκεκριμένος τύπος συγκριτή δεν προσφέρεται για εφαρμογές με χαμηλή κατανάλωση.

Dynamic Latched Συγκριτής



Εικόνα 3.9: Dynamic Latched Συγκριτής

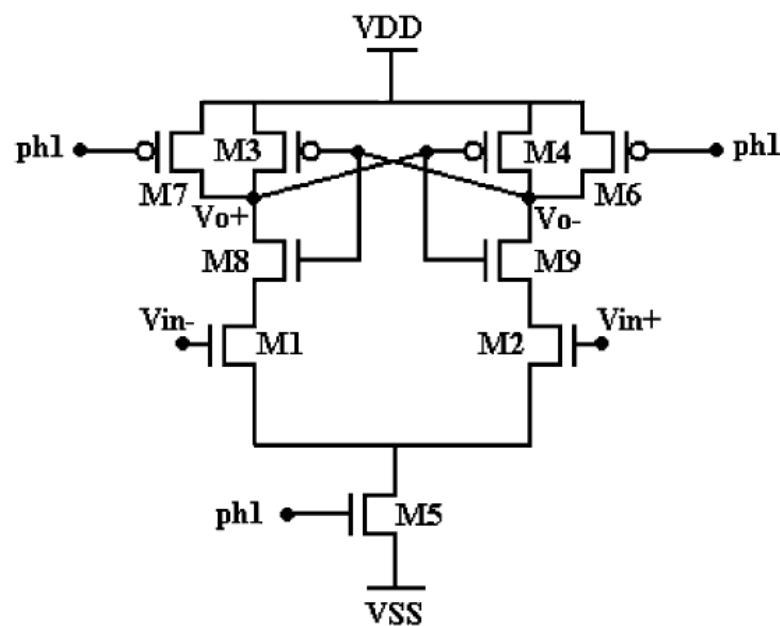
Είναι ο πιο αποτελεσματικός συγκριτής, ωστόσο εισάγει μεγάλο offset στην είσοδο και γίνεται μη προσιτό για εφαρμογές με high resolution. Αυτή η επίδραση μπορεί να μειωθεί αυξάνοντας το πλάτος της εισόδου των τρανζίστορ στο διαφορικό ζεύγος.

Οι συγκριτές μανδάλωσης είναι γρήγοροι και χρησιμοποιούνται σε εφαρμογές με υψηλές ταχύτητες.

3.3.2 Ανάλυση του Συγκριτή

Στο πλαίσιο αυτής της εργασίας σχεδιάστηκε ένας συγκριτής σε τεχνολογία 180nm και τάσης τροφοδοσίας 1.8V. Συγκεκριμένα μελετάται συγκριτής τύπου Track-and-Latch. Το συγκεκριμένο κύκλωμα έχει δύο σημαντικά χαρακτηριστικά. Πρώτο είναι η ακύρωση της μνήμης σε κάθε κύκλο ρολογιού, με αποτέλεσμα την αύξηση της ταχύτητας και της αξιοπιστίας του συστήματος και δεύτερο η υψηλή ευαισθησία – ενίσχυση. Ο ρόλος του προενισχυτή είναι να αυξήσει την ανάλυση του συγκριτή και να μειώσει φαινόμενα στιγμιαίων παρασιτικών τάσεων (kickback). Όμως, η ενίσχυσή του δεν είναι αρκετή και έτσι η έξοδός του δε μπορεί να οδηγήσει ψηφιακά κυκλώματα, συνεπώς χρειάζεται μία διάταξη με μεγάλη ενίσχυση. Δηλαδή ενισχύεται ελαφρά και στη φάση latch ενεργοποιείται η θετική ανάδραση. Πρόκειται για δύο σταυρωμένα τρανζίστορ.

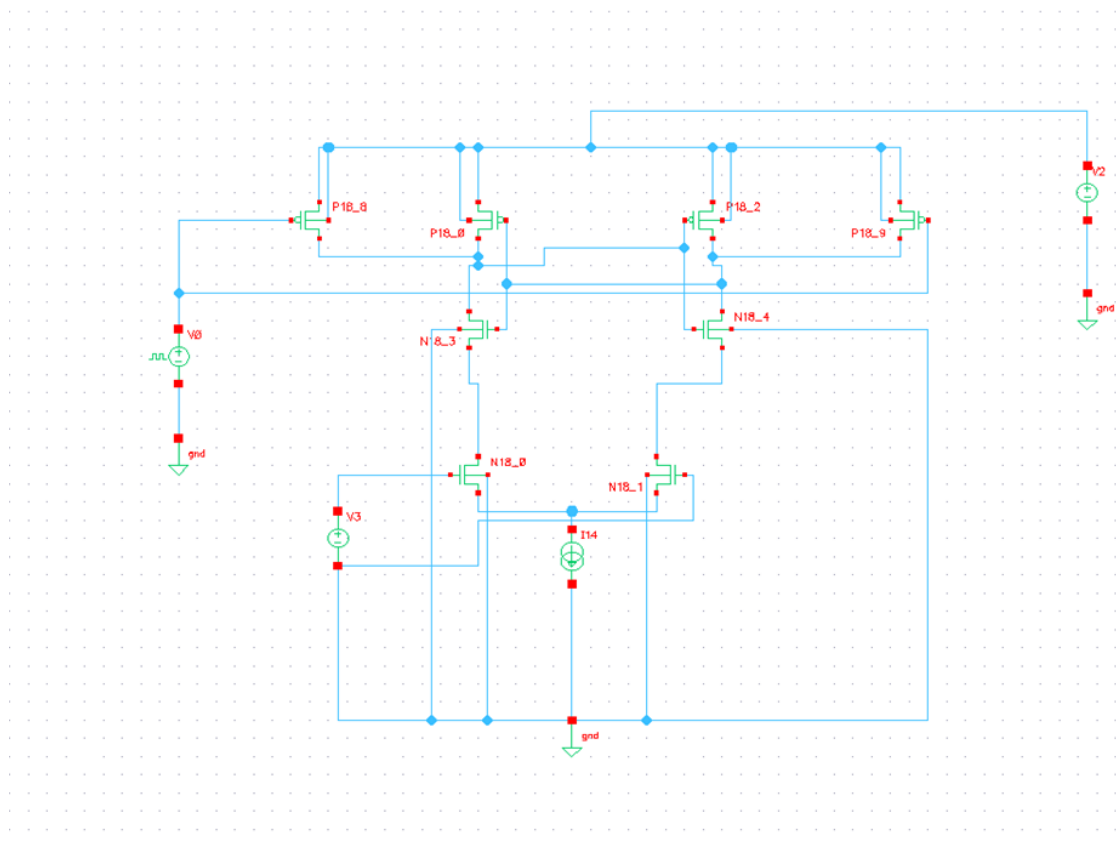
Το παρακάτω σχήμα απεικονίζει ένα παράδειγμα αυτού του τύπου του συγκριτή [9].



Εικόνα 3.10:Track and Latch Συγκριτής

Συγκεκριμένα, το κύκλωμα που σχεδιάστηκε στο πρόγραμμα Cadence, βασικό για τη σχεδίαση κυκλωμάτων είναι το παρακάτω.

Ο συγκριτής αυτός παρουσιάζεται παρακάτω όπου σχεδιάστηκε με: $V_{dd}=1.8V$, $I_{bias}=15\mu A$.



Εικόνα 3.11: Track and Latch Συγκριτής

Η τοπολογία track-and-latch, αποτελείται από ένα ζεύγος σταυρωτά συνδεδεμένων αντιστροφών, προσδίδοντας υψηλή ταχύτητα λειτουργίας. Αρχικά χρειάστηκε η μελέτη ενός preamplifier και στη συνέχεια η παραπάνω τοπολογία. Ο ρόλος του προενισχυτή είναι να αυξήσει την ανάλυση του συγκριτή και να μειώσει φαινόμενα στιγμιαίων παρασιτικών τάσεων. Όμως η ενίσχυσή του δεν είναι αρκετή και έτσι η έξοδος δε μπορεί να οδηγήσει σε ψηφιακά κυκλώματα, συνεπώς χρειάζεται μία διάταξη με μεγάλη ενίσχυση. Αυτή είναι η βαθμίδα Track-and-Latch. Κατά τη φάση track το σήμα ενισχύεται ελαφρά και ξανά ενισχύεται στη φάση latch όπου ενεργοποιείται η θετική ανάδραση του κυκλώματος [19]. Ο παραπάνω συγκριτής αποτελείται από ένα NMOS διαφορικό ζεύγος M1-M2, δύο μετατροπείς M3-M8 και M4-M9 όπου προφορτώνουν τα M6-M7. Κατά τη φάση της σύγκρισης τα προφορτώμενα τρανζίστορ είναι ανοιχτά και ενεργοποιείται το διαφορικό ζεύγος κάνοντας τη σύγκριση. Το τρέχον ρεύμα του τρανζίστορ M5 σβήνει, οι δύο έξοδοι είναι στη φάση της επαναφοράς και η διαδικασία ξεκινάει πάλι από την αρχή προφορτώνοντας την τάση V_{dd} .

Τα μεγέθη διαλέχθηκαν με σκοπό την ικανοποιητική ταχύτητα του κυκλώματος. Κάθε MOS συσκευή η οποία λειτουργεί στην περιοχή κορεσμού ($V_{ds} > V_{dsat}$) σε ένα αναλογικό κύκλωμα, λειτουργεί κάτω από ένα δεδομένο ρεύμα πόλωσης στην υποδοχή, δεδομένο συντελεστή αναστροφής και μήκος καναλιού. Ο συντελεστής αναστροφής παρέχει μια αριθμητική αναπαράσταση της περιοχής και του επιπέδου αναστροφής του MOS, επιτρέποντας βέλτιστη αναλογική σχεδίαση στην ασθενή, μέτρια και ισχυρή αναστροφή.

Όσον αφορά τα μεγέθη των τρανζίστορ, το διαφορικό ζεύγος εισόδου θα πρέπει να λειτουργεί στα όρια moderate/strong inversion ώστε να επιτυγχάνονται υψηλές τιμές σε $g_m/I_d(1/V)$ και g_m , καλύτερο matching, χαμηλότερος θόρυβος και μεγαλύτερη ταχύτητα. Για ένα σταθερό ρεύμα πόλωσης, όσο πιο μεγάλος είναι ο λόγος $g_m/I_d(1/V)$ τόσο μεγαλύτερη είναι η διαγωγιμότητα.

Προδιαγραφές και υλοποίηση Συγκριτή

Ισχύει:

$$G(i) = 1 / \left(\frac{1}{2} + \sqrt{\frac{1}{4} + i} \right), i = IC(\text{κορεσμος}) \quad (1)$$

$$(g_{mg} \cdot U_T) / I_d = \left(\frac{1}{n} \right) \cdot G(i) \quad (2)$$

Όσον αφορά τα **NMOS** τρανζίστορ :

IC=11 και **U_t=25mV**, **n=1**, **K_p=440.10⁻⁶A/V²**

Από τη σχέση (1):

G(i)=0.26

Από τη σχέση (2):

(g_m/I_d)₁=(g_m/I_d)₂=10.47 1/V

Όσον αφορά τα PMOS τρανζίστορ:

$I_C=9.5, n=1.1, U_t=25mV, K_p=82.10^{-6} A/V^2$

Από τη σχέση (1):

$G(i)=0.28$

Από τη σχέση (2):

$g_m/I_d=10\ 1/V$

Επίσης: $I_{d1}=I_{d2}=7.5\mu A$

Τα μεγέθη των τρανζίστορ που χρησιμοποιήσαμε απεικονίζονται παρακάτω:

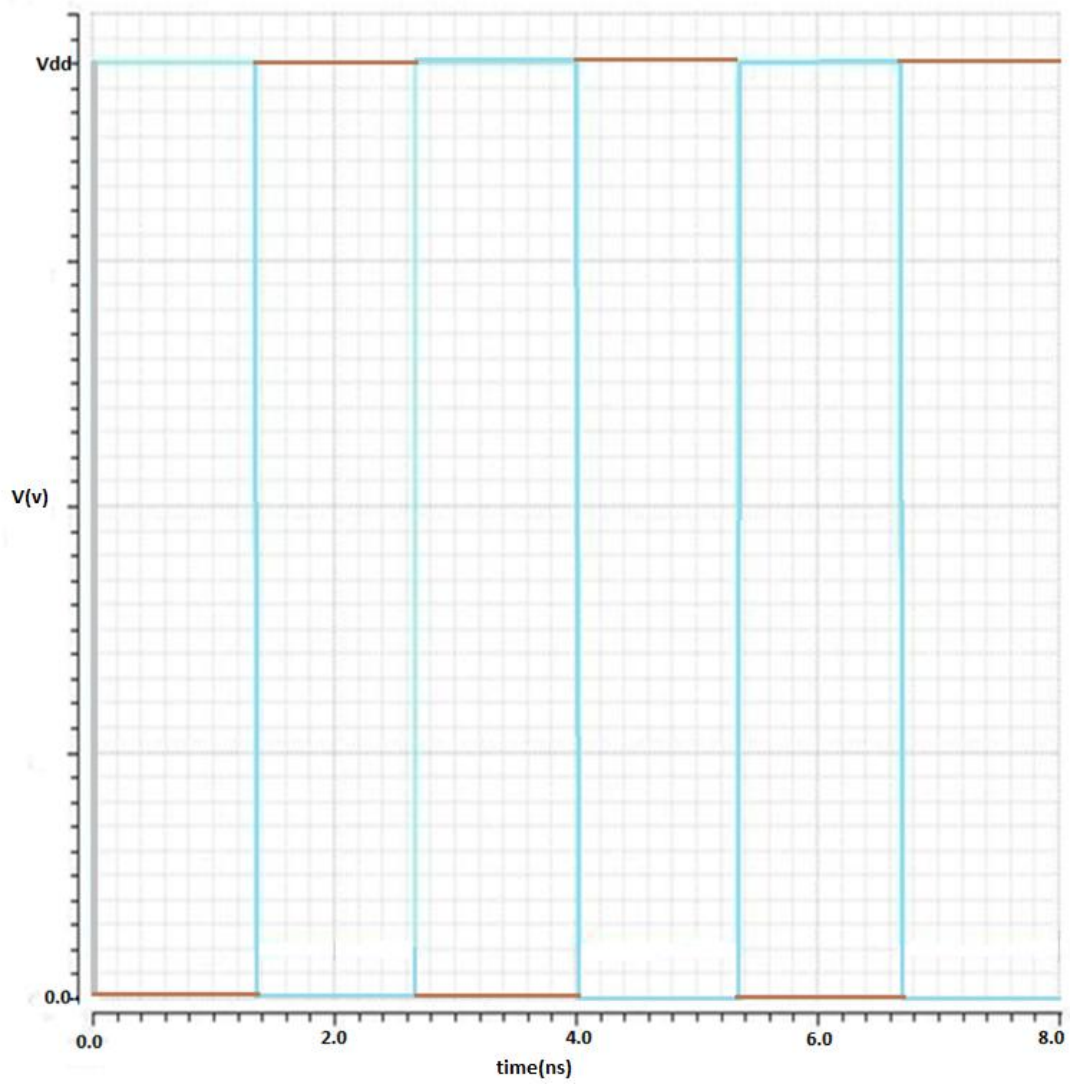
Πίνακας 3.1: Μεγέθη τρανζίστορ του συγκριτή

Transistor	W/L	W(um)	L(um)
M1	45,8	33	0.72
M2	45,8	33	0.72
M3	2,5	3,1	1,2
M4	2,5	3.1	1,2
M5	0,27	0.61	2,2
M6	2,2	0.4	0.18
M7	2,2	0.4	0.18
M8	0,83	1	1,2
M9	0,83	1	1,2

ΑΠΟΤΕΛΕΣΜΑΤΑ:

Συγκρίναμε δύο εισόδους και πήραμε μία έξοδο.

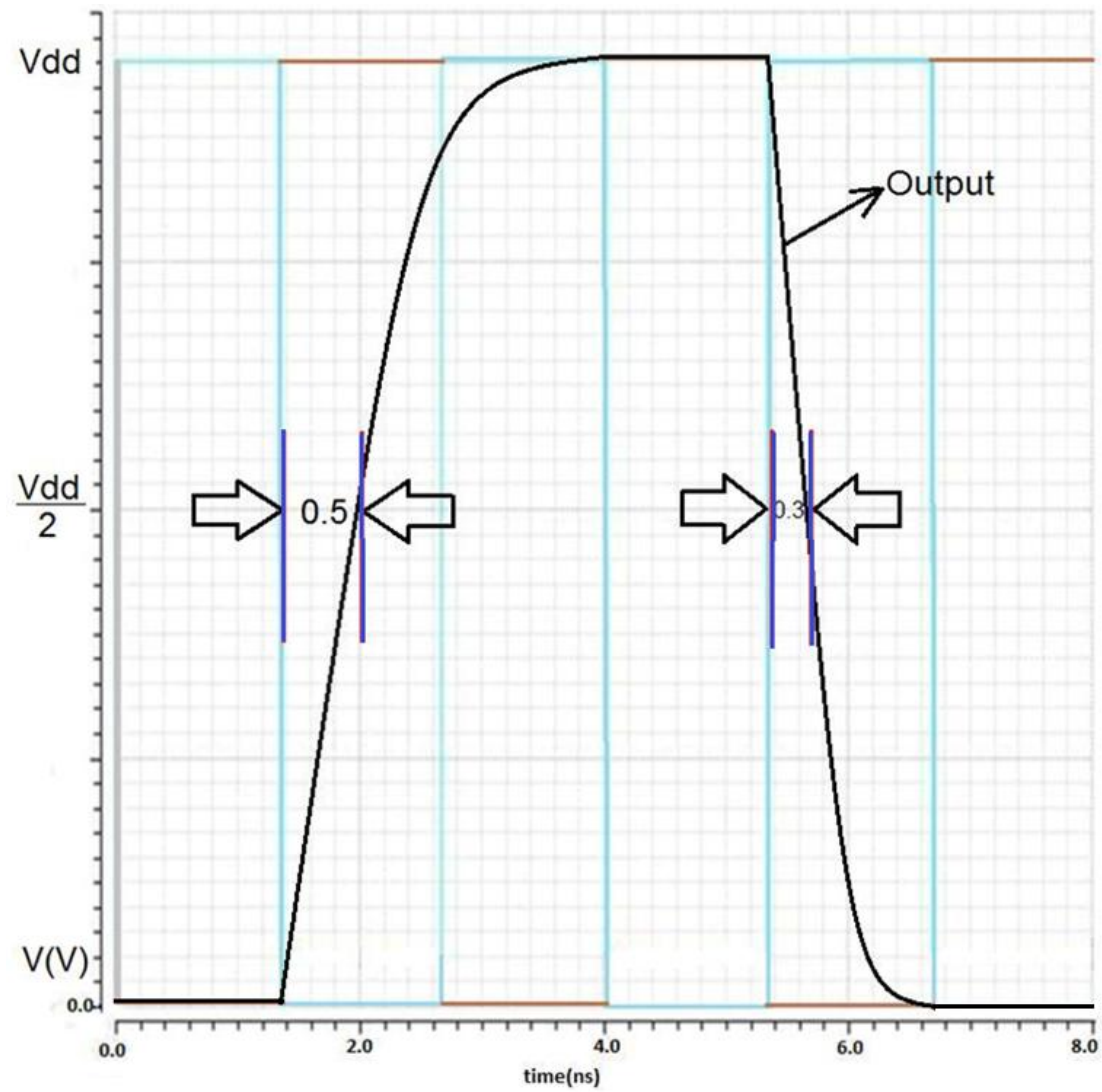
Όσον αφορά τις γραφικές της εισόδου και της εξόδου απεικονίζονται παρακάτω:



Εικόνα 3.12:Είσοδος 1,2 Συγκριτή(+,-)

Παρακάτω φαίνεται μία προσομοίωση(transient response) που έγινε με σκοπό τη διάδοση καθυστέρησης και επομένως την ταχύτητα του συγκριτή.

Transient Response



Εικόνα 3.13:Έξοδος Συγκριτή

Αποτελέσματα Συγκριτή

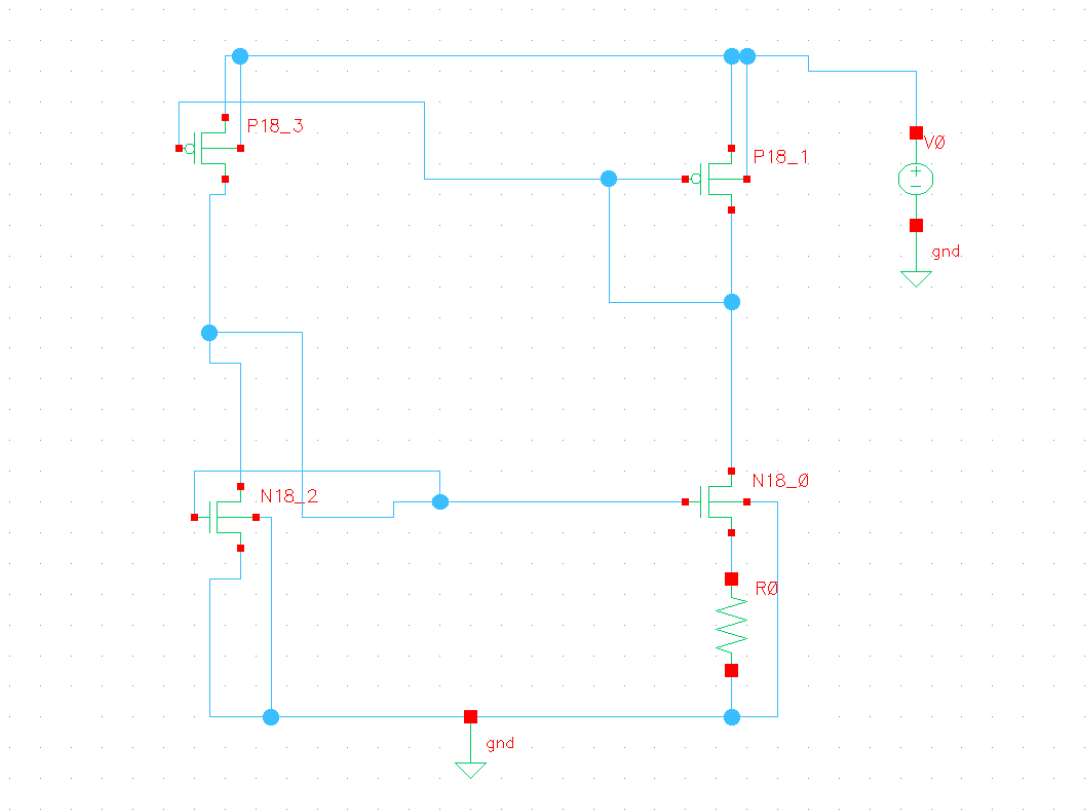
Πίνακας 3.2:Αποτελέσματα Συγκριτή

Τεχνολογία	180nm (This work)	130nm [11]	90nm [12]	180nm [13]
Supply Voltage	1.8V	1.3V	1.2V	0.8V
Power Dissipation (Vdd-Vss)(Id1+Id2)	27mW	167.32mW	61.5mW	0.335mW
Propagation Delay	0.40ns	2.13ns	0.39ns	4.0ns

Από την προσομοίωση που έγινε διαπιστώθηκε ότι η καθυστέρηση διάδοσης είναι ίση με 0.9ns.Η διάδοση καθυστέρησης είναι ο χρόνος που απαιτείται για την αλλαγή της εξόδου σε σχέση με την είσοδο. Όσο μεγαλύτερος είναι ο χρόνος διάδοσης τόσο μικρότερη είναι η ταχύτητα. Από τα αποτελέσματα συμπεραίνουμε ότι ο συγκεκριμένος συγκριτής θεωρείται χρήσιμος στις βιοϊατρικές εφαρμογές και

κυρίως στα εμφυτεύσιμα μηχανήματα καθώς είναι γρήγορος σε σχέση με άλλες υλοποιήσεις και επίσης έχει σχετικά μικρή κατανάλωση ισχύος, εξίσου σημαντικό.

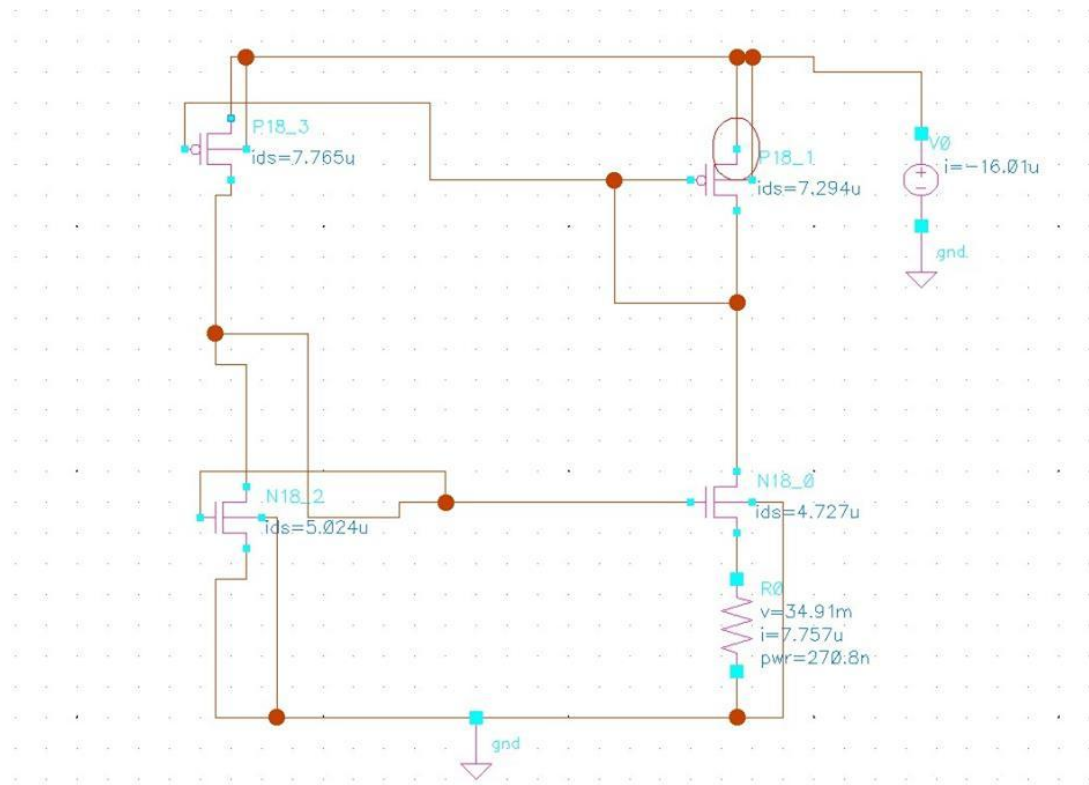
Παρακάτω απεικονίζεται ένα κύκλωμα που σταθεροποιεί την διαγωγιμότητα των τρανζίστορ, συνδέοντάς την με την αγωγιμότητα μιας αντίστασης. Το κύκλωμα που χρησιμοποιήθηκε (constant transconductance) παρουσιάζεται παρακάτω χρησιμοποιώντας δύο απλούς καθρέφτες ρεύματος:



Εικόνα 3.14:Κύκλωμα πόλωσης[20]

Τα αποτελέσματα που έπρεπε να πάρω έπρεπε να ταυτίζονται με του πρώτου κυκλώματος, δηλαδή να συμβαδίζουν τα ρεύματα και στο άθροισμά τους να είναι ίσο με 15uA.

Η προσομοίωση του κυκλώματος:



Εικόνα 3.15: DC Προσομοίωση

Η παραπάνω υλοποίηση αποτελεί μία DC προσομοίωση όπου παρατηρούμε ότι το συνολικό ρεύμα είναι $15\mu A$, αυτό που περιμέναμε.

Επομένως η αντικατάσταση της ιδανικής πηγής από την πραγματική πηγή δεν αλλοιώνει την απόδοση του συγκριτή.

4

Υλοποιήσεις Τελεστικού Ενισχυτή και Ψηφιακού /Αναλογικού Μετατροπέα

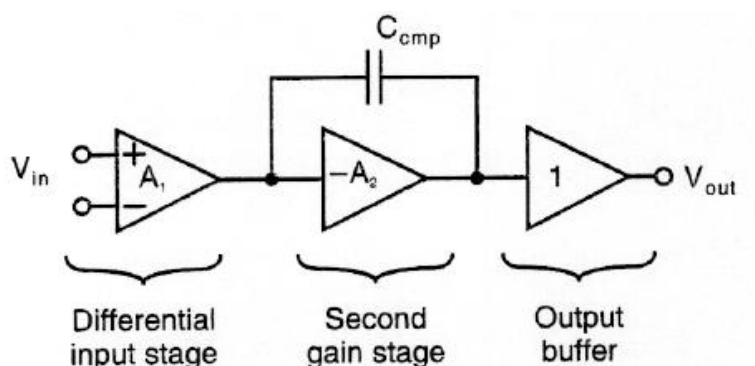
4.1 Τελεστικός Ενισχυτής(Operational Amplifier)

Το επόμενο χαρακτηριστικό του successive Approximation ADC είναι ο τελεστικός ενισχυτής (Operational Amplifier), το οποίο και θα μελετήσουμε.

Operational Amplifier

Αποτελεί ένα από τα πιο διαδεδομένα ηλεκτρονικά κυκλώματα και χρησιμοποιούνται κατά κόρον σε πολλές ηλεκτρονικές συσκευές. Έχει διαφορική είσοδο και μονή έξοδο. Η τάση εξόδου του είναι πολύ μεγαλύτερη από τη διαφορά τάσης της εισόδου του.

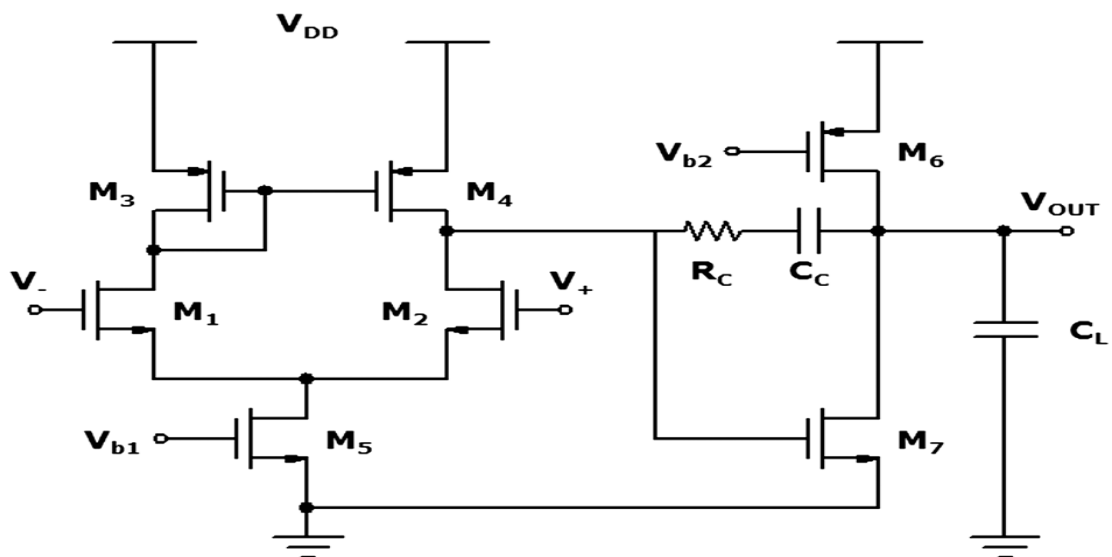
Η βασικά δομή ενός Τ.Ε. φαίνεται στο παρακάτω σχήμα:



Εικόνα 4.1:Δομή Τελεστικού Ενισχυτή

Η συγκεκριμένη εργασία εστιάζεται στη σχεδίαση ενός τελεστικού ενισχυτή εξαιρετικά χαμηλής τάσης και ισχύος. Τα πειραματικά αποτελέσματα αποδεικνύουν ότι οι καλά σχεδιασμένοι op-amps είναι μία πολύ ελκυστική λύση για την υλοποίηση ενεργειακών αποδοτικών εφαρμογών στα σύγχρονα φορητά ηλεκτρονικά συστήματα. Συγκεκριμένα, φορητές ιατρικές συσκευές και μικροαισθητήρες αυξάνονται ραγδαία στην αγορά ηλεκτρονικών ειδών ιδίως την τελευταία δεκαετία. Η μείωση της κατανάλωσης ενέργειας αποτελεί σημαντικό κριτήριο για τους τελεστικούς ενισχυτές.

Ο δικός μας op-amp σχεδιάστηκε στα 0.7V και σε τεχνολογία CMOS 180nm. Παρακάτω απεικονίζεται όπως σχεδιάστηκε στο εργαλείο cadence:



Εικόνα 4.2: Σχήμα 2-επιπέδων Τελεστικού Ενισχυτή

4.1.1 Ανάλυση του τελεστικού ενισχυτή

Θεωρητική ανάλυση του Miller opamp

Ο miller ενισχυτής που επέλεξα και παρουσιάζεται παρακάτω αποτελείται από έναν καθρέπτη ρεύματος, ένα διαφορικό ζεύγος εισόδου, ένα τετραγωνικό παλμό για τα V_+ , V_- για το διαφορικό ζεύγος, τα 3 τρανζίστορ M_5 , M_6 , M_7 , μία αντίσταση και τις χωρητικότητες φορτίου, αντιστάθμισης (C_I , C_C αντίστοιχα). Το πρώτο στάδιο του κυκλώματος περιέχει ένα διαφορικό ζεύγος που βρίσκεται ανάμεσα σε δύο καθρέπτες ρεύματος. Το στάδιο εξόδου που αποτελεί τη συνέχεια του σταδίου εισόδου αποτελείται από τα τρανζίστορ M_6 (PMOS) και M_7 (NMOS). Όσον αφορά το ρεύμα εξόδου (I_5) πολώνει το διαφορικό ζεύγος M_1, M_2 . Για τις τάσεις εισόδου ισχύει:

$$V_{i2} = V_{i1} = (V_{DD} - V_{SS})/2$$

και επομένως:

$$I_{DM1} = I_{DM2} = I_{DM5}/2.$$

Η τάση υποδοχής των M_1, M_2 ισούται με:

$$V_{i2} + V_{TH},$$

ενώ η τάση πηγής ισούται με:

$$V_{I2}-V_{TH}.$$

Τα τρανζίστορ του διαφορικού ζεύγους M1, M2 λειτουργούν στην περιοχή κορεσμού με ίδια μήκη και πλάτη καναλιού. Για την τιμή της διαγωγιμότητας του M1 ισχύει:

$$G_m=GBW \times C_C .$$

Το ρεύμα εξόδου του καθρέπτη ρεύματος ισούται με:

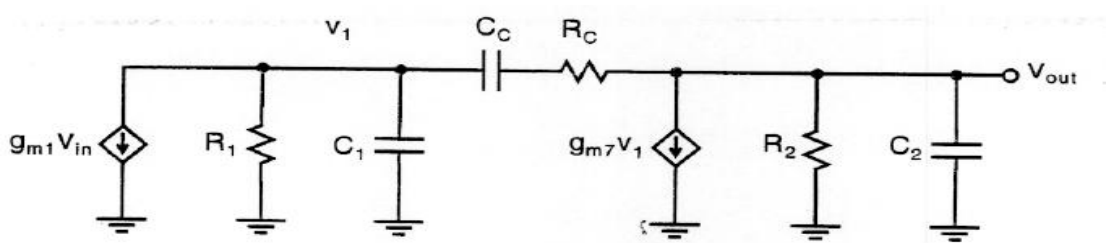
$$I_{DM4}=((W_{M4}/L_{M4})/(W_{M3}/L_{M3})) \times I_{DM3} \text{ και}$$

$$I_{DM4}=((W_{M4}/L_{M4})/(W_{M3}/L_{M3})) \times (I_{DM5}/2).$$

Και σε περίπτωση ίσων διαστάσεων των M3,M4:

$$I_{DM4}=I_{DM3}=I_{DM5}/2.$$

Το στάδιο εξόδου αποτελείται από τα τρανζίστορ M6,M7 που είναι συνδεδεμένα σε σειρά και τη χωρητικότητα εξόδου C_L . Παρακάτω παρουσιάζεται το μοντέλο μικρού σήματος των δύο σταδίων miller ενισχυτή [14].



Εικόνα 4.3:Ισοδύναμο Μοντέλο μικρού σήματος

Παρατηρούμε ότι το πρώτο στάδιο είναι ισοδύναμο με μία πηγή ρεύματος ελεγχόμενο από την τάση εισόδου[7]. C_c είναι η παρασιτική χωρητικότητα. Ο κόμβος αυτός έχει σύνθετη αντίσταση :

$$R_I=1/(g_{ds1}+g_{ds4}).$$

Όσον αφορά το δεύτερο στάδιο παρατηρούμε ότι είναι επίσης ισοδύναμο με μία πηγή ρεύματος. Σε αυτό το στάδιο , η παρασιτική χωρητικότητα είναι συνήθως πολύ μικρότερη από την χωρητικότητα φορτίου C_L και για τον λόγο αυτό παραλείπεται[7]. Η σύνθετη αντίσταση του σταδίου είναι:

$$R_{II}=1/(g_{ds6}+g_{ds7}).$$

Τέλος, ακολουθούν οι τύποι της κατανάλωσης ισχύος, του GBW και του κέρδους τάσης του miller ενισχυτή.

$$PowDissip=(V_{dd}-V_{ss}).(I_{DM5}+I_{out}).$$

Από την παραπάνω σχέση προκύπτει ότι η κατανάλωση ισχύος ενός κυκλώματος, ισούται με το γινόμενο της πηγής τροφοδοσίας με το άθροισμα των πηγών ρεύματος του.

$$GBW = g_{m1} / 2\pi \cdot C_c$$

Άρα το μοναδιαίο κέρδος-εύρος ζώνης εξαρτάται μόνο από τη διαγωγιμότητα του M1 και την χωρητικότητα αντιστάθμισης. Τέλος, το κέρδος τάσης του ενισχυτή με βάση τη σχέση $A_v = G_m \cdot R_{out}$ και τις σχέσεις των R_I, R_{II} ισούται με:

$$A = g_{m1} / (g_{ds1} + g_{ds4}) \cdot g_{m6} / (g_{ds6} + g_{ds7})$$

Στην επόμενη παράγραφο αφού πρώτα γίνει η διαστασιολόγηση των MOS των κυκλωμάτων, με τη χρήση του εργαλείου Cadence Design Systems θα κάνουμε DC-AC ανάλυση για να υπολογίσουμε τις κυριότερες παραμέτρους των ενισχυτών.

DC-AC ανάλυση ενισχυτών

Ο λόγος $g_m/I_D (1/V)$ είναι βασικό στοιχείο για τη μεθοδολογία σχεδίασης [15]. Το παραπάνω κύκλωμα επιτρέπει όλες τις περιοχές λειτουργίας των τρανζίστορ. Ο συγκεκριμένος λόγος είναι πολύ χρήσιμος για:

- την απόδοση των αναλογικών κυκλωμάτων
- την περιοχή λειτουργίας των τρανζίστορ
- τις διαστάσεις των τρανζίστορ
- χαμηλότερη κατανάλωση

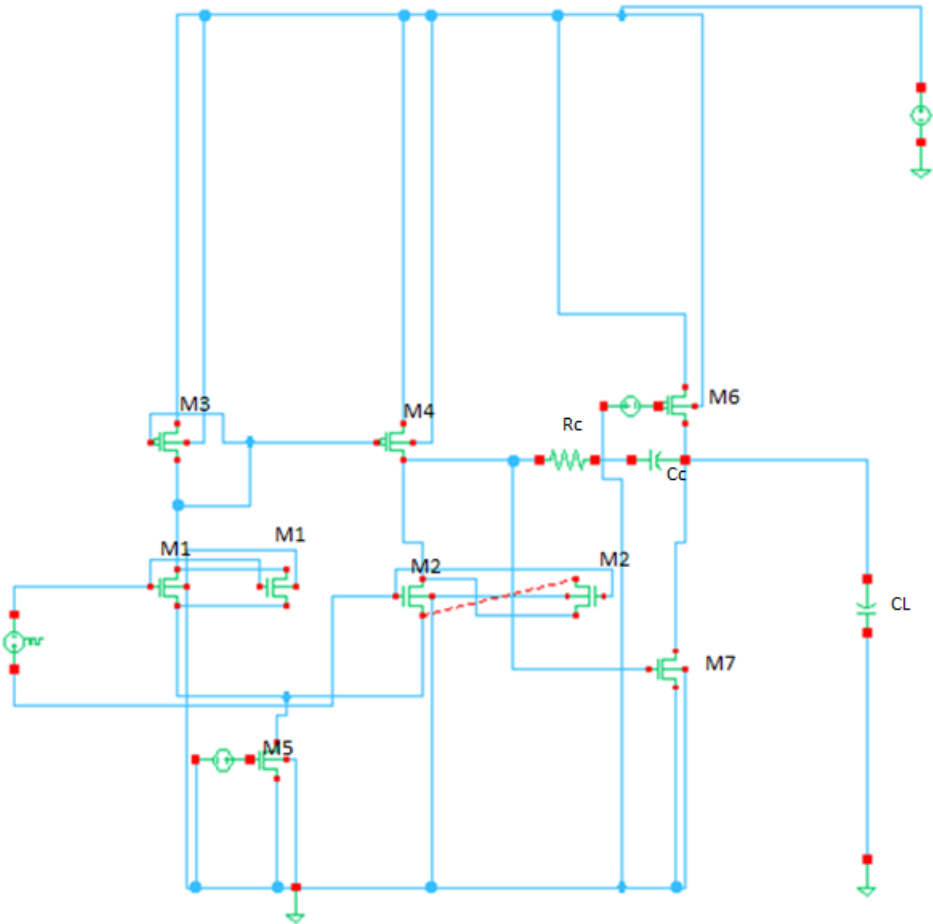
Όσο μεγαλύτερη είναι η τιμή του, τόσο μεγαλύτερη είναι και η διαγωγιμότητα για μία σταθερή τιμή του ρεύματος υποδοχής. Η απόδοση του κυκλώματος βελτιώνεται καθώς το DC κέρδος τάσης και το GBW είναι ανάλογα του g_m . Η περιοχή λειτουργίας των τρανζίστορ σχετίζεται με το λόγο $g_m/I_D (1/V)$ βάσει του παρακάτω τύπου:

$$g_m/I_D = 1/I_D \cdot dI_D/dV_G = d(\ln I_D)/dV_G = d[(\ln I_D/W/L)]/dV_G$$

Στην περιοχή της ασθενούς αναστροφής η παραπάνω εξίσωση μεγιστοποιείται. Η μέγιστη τιμή της είναι ίση με $1/(nU_T)$, όπου n ο συντελεστής υποστρώματος και U_T η θερμική τάση. Το γεγονός ότι ο λόγος $g_m/I_D (1/V)$ μειώνεται στην ισχυρή αναστροφή δίνει λεπτομερώς την περιοχή λειτουργίας των τρανζίστορ. Εφόσον γνωρίζουμε μία τιμή για το λόγο $g_m/I_D (1/V)$ μπορούμε αμέσως να καταλάβουμε την περιοχή λειτουργίας των τρανζίστορ και επομένως και ο λόγος W/L από τη χαρακτηριστική.

Οι καθρέπτες ρεύματος θα πρέπει να λειτουργούν σε υψηλές τιμές I_C (περίπου 10-12), στο όριο μέτριας με ισχυρής αναστροφής ώστε να επιτυγχάνονται χαμηλές τιμές σε g_m/I_D και g_m . Τα τρανζίστορ του διαφορικού ζεύγους εισόδου θα πρέπει να λειτουργούν σε χαμηλές τιμές I_C σε μέτρια αναστροφή ώστε να επιτυγχάνονται υψηλές τιμές σε g_m/I_D και g_m . Για ένα σταθερό ρεύμα πόλωσης, όσο πιο μεγάλος είναι ο λόγος g_m/I_D , τόσο μεγαλύτερη είναι η διαγωγιμότητα g_m . Αυτό έχει ως αποτέλεσμα να παρατηρείται μεγαλύτερο εσωτερικό DC κέρδος και μεγαλύτερο GBW [7].

Ο ενισχυτής που σχεδιάστηκε στο εργαλείο Cadence για την υλοποίηση αυτής της διπλωματικής απεικονίζεται παρακάτω:



Εικόνα 4.4:Τελεστικός ενισχυτής

Αρχικά, προσπάθησα να προσομοιώσω το παραπάνω ενισχυτή με βάση τις παρακάτω προδιαγραφές και μεγέθη:

Πιο συγκεκριμένα τα μεγέθη που χρησιμοποιήθηκαν για τη σχεδίαση με σκοπό τη χαμηλή κατανάλωση, τάση είναι τα παρακάτω:

Πίνακας 4.1:Μεγέθη Υλοποίησης

Όνομα	Πλάτος	Μήκος
M5	50um	1um
M6	100um	10.3um
M1,2	160um(80um+80um)	2um
M3,4	100um	0.4um

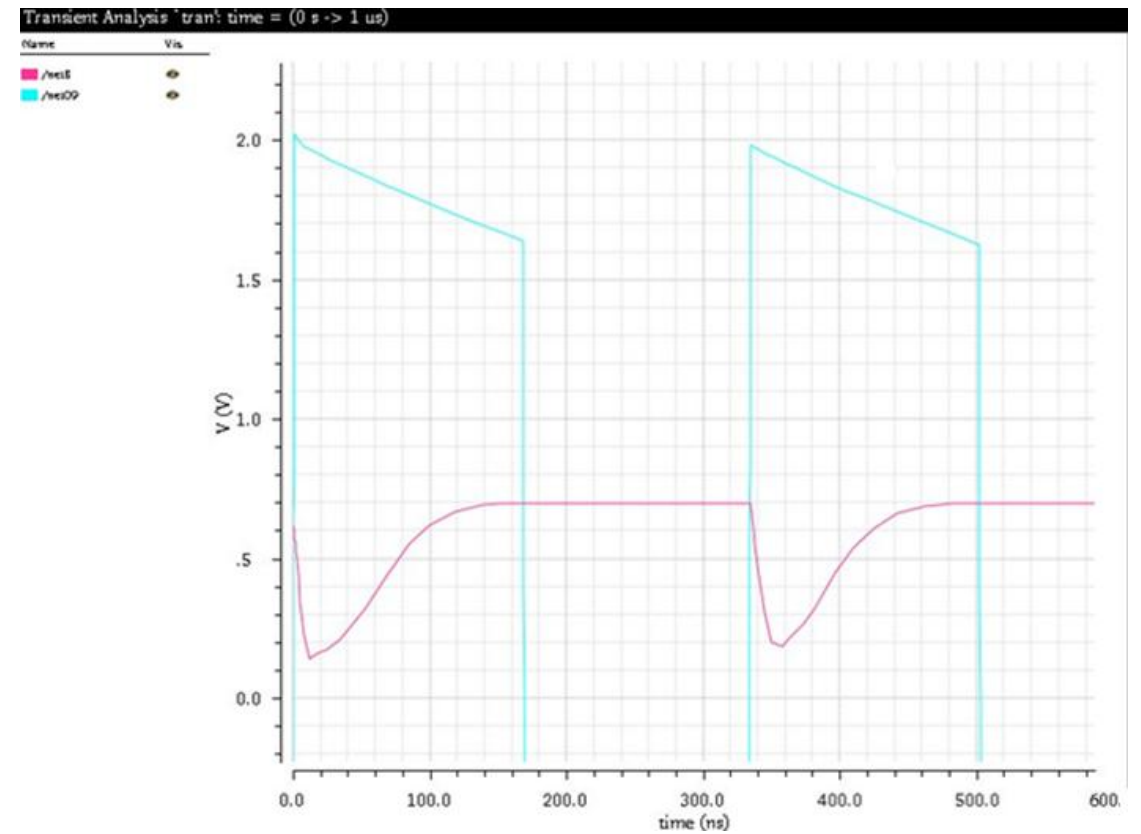
M7	5.6um	1um
----	-------	-----

Πίνακας 4.1.1:Μεγέθη Υλοποίησης

Rc	1.1ΜΩ
Cc	2.1pF
Cl	30pF

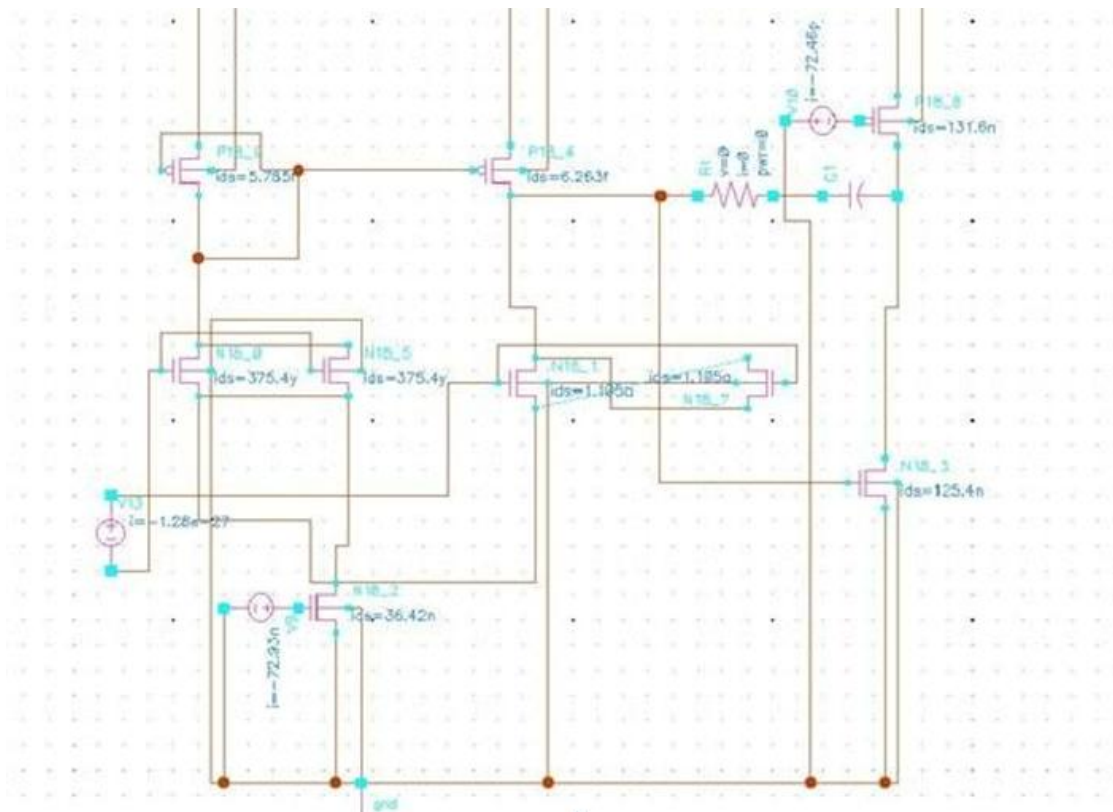
Παρατηρούμε ότι ο παραπάνω τελεστικός ενισχυτής αποτελείται από ένα διαφορικό ζεύγος, ένα καθρέπτη ρεύματος, μία τάση τροφοδοσίας($V_{dc}=0.7V$),ένα τετραγωνικό παλμό που συνδέεται στην αρνητική και θετική είσοδο του τελεστικού ενισχυτή και δύο τάσεις τροφοδοσίας η καθεμία 0.5V όπου συνδέονται με τις τάσεις που βρίσκονται στο gate των τρανζίστορ M5,M6.

Παρακάτω φαίνονται οι προσομοιώσεις που κάναμε για τον τελεστικό ενισχυτή με τα κατάλληλα χαρακτηριστικά:



Εικόνα 4.5:Είσοδος(κόκκινο)-Έξοδος(πράσινο)

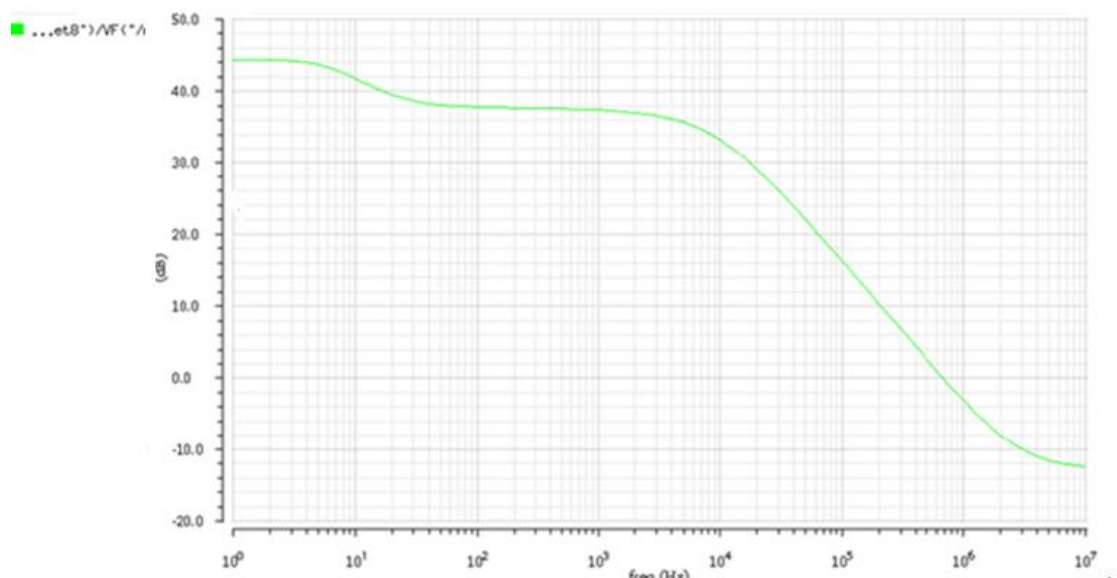
Στη συνέχεια για τη μέτρηση της τιμής των ρευμάτων έγινε ένα dc simulation όπου αντικαταστάθηκε ο τετραγωνικός παλμός εισόδου με μία τάση μικρότερης των 0.7V και τα αποτελέσματα παρουσιάζονται παρακάτω:



Εικόνα 4.6: DC Προσομοίωση

Παρατηρούμε ότι το ρεύμα ID5 ισούται με 36.42nA. Επίσης, το ρεύμα που διαρρέει τα τρανζίστορ M6,M7 ισούται με 125.4nA.

Παρακάτω απεικονίζεται το κέρδος όπως προέκυψε από το simulation και την AC ανάλυση του εργαλείου cadence.

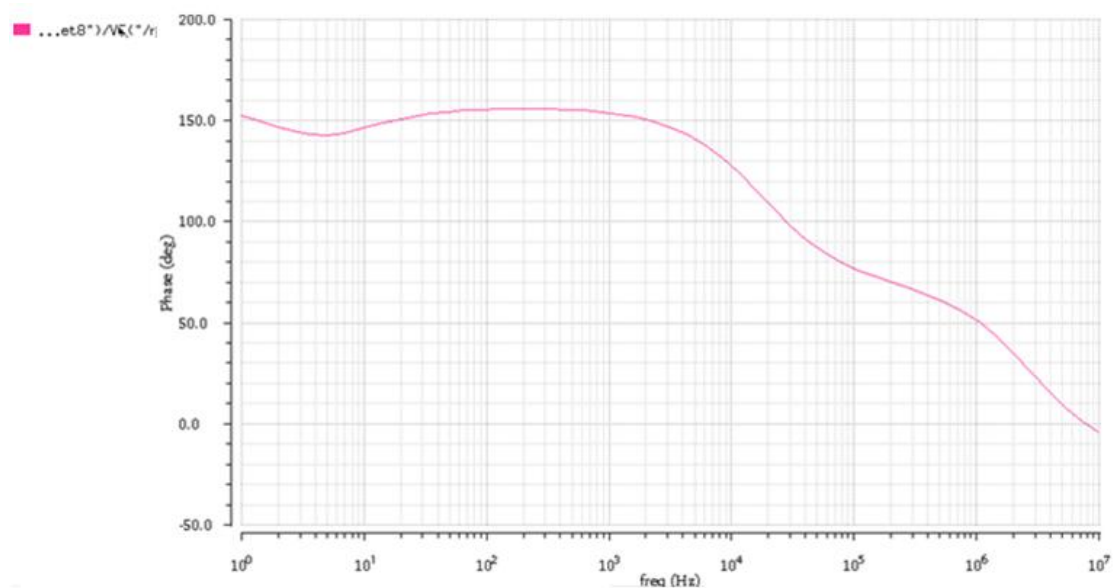


Εικόνα 4.7:AC απόκριση-κέρδος

Παρατηρούμε ότι το κέρδος του ενισχυτή παραμένει σταθερό στις πολύ χαμηλές συχνότητες, ενώ αρχίζει να μειώνεται καθώς η συχνότητα αυξάνεται. Η ζώνη συχνοτήτων, στην οποία το κέρδος του ενισχυτή παραμένει σχεδόν σταθερό, ονομάζεται μέση ζώνη. Η σταθερή αυτή τιμή του κέρδους, 45.10db όπως φαίνεται στη γραφική, αποτελεί και το κέρδος του ενισχυτή. Στη μέση ζώνη, όλες οι χωρητικότητες έχουν αμελητέα επίδραση και είναι δυνατόν να μην λαμβάνονται υπόψη κατά τον υπολογισμό του κέρδους. Στις υψηλές συχνότητες, προς το τέλος του φάσματος, η τιμή του κέρδους μειώνεται εξαιτίας των εσωτερικών χωρητικότητων του στοιχείου. Από την άλλη, στις χαμηλές συχνότητες του φάσματος, οι χωρητικότητες ζεύξης και παράκαμψης δεν συμπεριφέρονται πλέον ως τέλεια βραχυκυκλώματα, με αποτέλεσμα να προκαλούν πτώση στο κέρδος.

Από την AC ανάλυση του κυκλώματος μπορούμε να εξάγουμε και τη συχνότητα αποκοπής στην οποία το κέρδος έχει μειωθεί κατά 3db από τη σταθερή τιμή που καταλαμβάνει στη μέση ζώνη. Επομένως η συχνότητα στην οποία το κέρδος γίνεται 42.10db είναι η συχνότητα αποκοπής και ισούται με $f_{-3db}=11\text{Hz}$.

Μία άλλη σημαντική παράμετρος που προκύπτει κατά την AC ανάλυση του miller ενισχυτή είναι το περιθώριο φάσης. Το περιθώριο φάσης αποτελεί ένα κριτήριο ευστάθειας για το κύκλωμα του ενισχυτή. Ο ενισχυτής είναι ευσταθής, εάν η φάση που εισάγει, στη συχνότητα στην οποία το μέτρο ενίσχυσης του είναι 1(0db), είναι μικρότερη από 180 μοίρες, έτσι ώστε η συνολική φάση του βρόγχου ανατροφοδότησης να μη γίνει 360 μοίρες ή 0 μοίρες. Το περιθώριο φάσης του ενισχυτή είναι η διαφορά φάσης μεταξύ αυτής στην οποία το κέρδος γίνεται ίσο με τη μονάδα, δηλαδή ίσο με 0db και τις -180 μοίρες. Στην παρακάτω γραφική παράσταση υποδεικνύεται η συχνότητα στην οποία το κέρδος γίνεται μονάδα ($6 \times 10^5 \text{ Hz}$) και το αντίστοιχο περιθώριο φάσης, $PM=57$ μοίρες. Εφόσον το περιθώριο φάσης είναι μικρότερο των 180 μοιρών και μεγαλύτερο από 45 μοίρες συμπεραίνουμε ότι το κύκλωμα είναι ευσταθές.



Εικόνα 4.8:Απόκριση-Περιθώριο φάσης

Όσον αφορά το μοναδιαίο gainbandwidth, δηλαδή το γινόμενο κέρδους-εύρους ζώνης του ενισχυτή που προσδιορίζει τη συχνότητα στην οποία το κέρδος ανοιχτού βρόγχου γίνεται μονάδα, έχουμε ότι υπολογίζεται ως εξής:

Για το διαφορικό ζεύγος εισόδου:

IC=7

και

$$\frac{gm}{ID} = 11.76$$

Για τον καθρέπτη ρεύματος:

IC=12

και

$$\frac{gm}{ID} = 20$$

Έχουμε:

$$Gm1 \cdot \frac{U_t}{I_d} = 1 / \left(\frac{1}{2} + \sqrt{\frac{1}{4} + IC} \right), \text{ με } IC=7$$

$$\text{Και εφόσον } \frac{gm}{ID} = 11.76$$

$$GBW = gm1 / 2\pi \cdot Cc = 0.016 \text{ MHz}$$

$SR=I_{\max}/C_c =125.4\text{nA}/2.1\text{pF} =59.7\text{V}/\mu\text{sec} = 0.059\text{V}/\mu\text{sec}$

$FOM_{\text{gbw}}(\text{MHz}\cdot\text{pF}/\mu\text{A})= 1.9$

$FOM_{\text{sr}}(\text{V}\cdot\text{pf}/\mu\text{s}\cdot\mu\text{A})= 6.8$

$\text{Supply voltage}=0.7\text{V}$

$\text{Power}=113.27\text{nW}$

Operation mode subthreshold

$C_L=30\text{pF}$

Technology 180nm

Ωστόσο, προσπαθήσαμε να βελτιώσουμε τα αποτελέσματά μας αλλάζοντας τις διαστάσεις W,L των τρανζίστορ και των ρευμάτων αντίστοιχα.

Συγκεκριμένα:

Πίνακας 4.2:Μεγέθη Υλοποίησης

Όνομα	Πλάτος	Μήκος
M5	100um	10um
M6	80um	9.5um
M1,2	100um	1um
M3,4	50um	0.2um
M7	2.8um	0.5um

Πίνακας 4.2.1:Μεγέθη Υλοποίησης

Rc	1.1MΩ
Cc	2.1pF
Cl	30pF

Από τα παραπάνω δεδομένα που προσομοιώθηκαν στο εργαλείο cadence ομοίως με πριν είχαμε τα εξής αποτελέσματα:

$I_{D1}=20\text{nA}=I_{D2}=I_{D4}=I_{D3}$ και $I_{D6}=95\text{nA}$.

Για το διαφορικό ζεύγος εισόδου:

$$I_C=5 \text{ και } g_m/I_D=14.8 \text{ 1/V}$$

Για τον καθρέπτη ρεύματος:

$$I_C=12 \text{ και } g_m/I_D=10 \text{ 1/V}$$

Τα αποτελέσματα που πήραμε είναι:

$$GBW=g_{m1}/2\pi \cdot C_c=0.022\text{MHz}$$

$$SR=I_{\max}/C_c=95\text{nA}/2.1\text{pF}=50\text{V}/\mu\text{sec}=0.045\text{V}/\mu\text{sec}$$

$$FOM_{gbw}(\text{MHZ} \cdot \text{pF}/\mu\text{A})=2.3$$

$$FOM_{sr}(\text{V} \cdot \text{pF}/\mu\text{s} \cdot \mu\text{A})=5.4$$

$$\text{Supply voltage}=0.7\text{V}$$

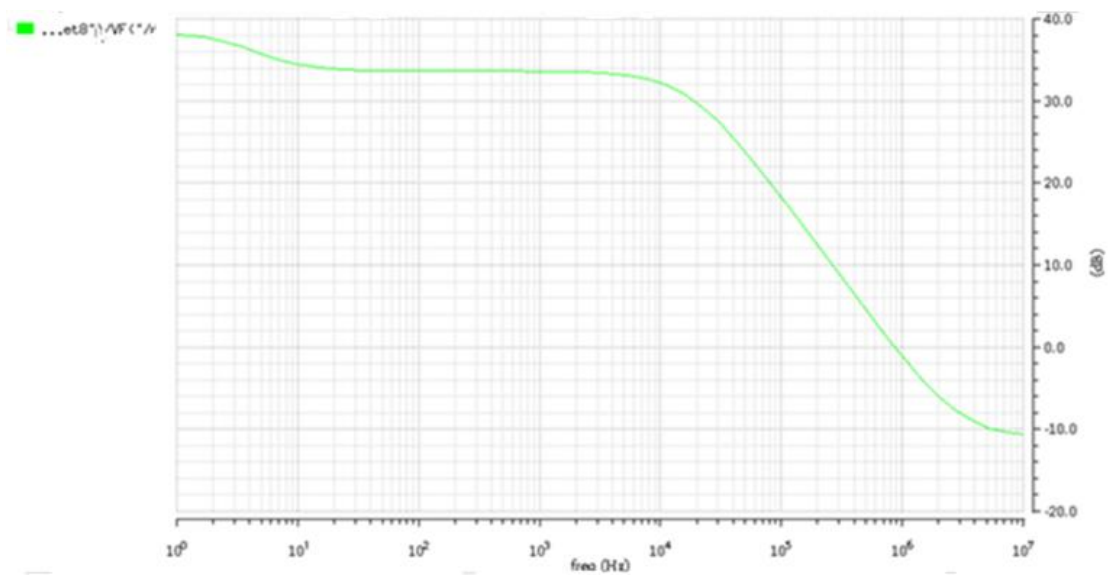
$$\text{Power}=94.5\text{nW}$$

Operation mode subthreshold

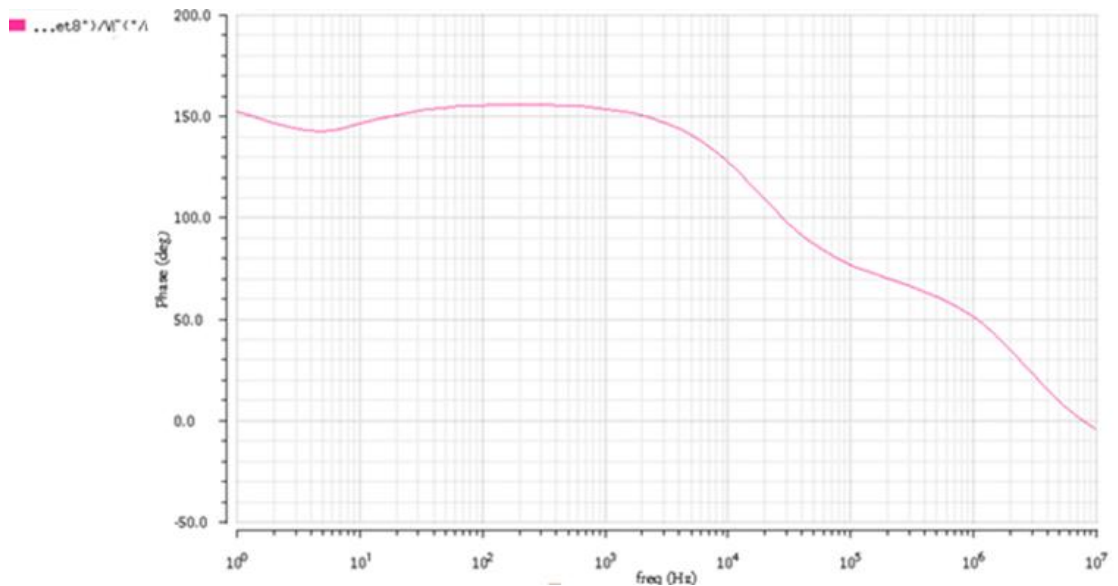
$$C_L=30\text{pF}$$

Technology 180nm

Επίσης κάναμε μία AC προσομοίωση με την οποία πήραμε τα παρακάτω αποτελέσματα:



Εικόνα 4.9:AC απόκριση-Κέρδος



Εικόνα 4.10:AC απόκριση-Περιθώριο φάσης

Ομοίως με πριν παρατηρούμε ότι $PM=52$ μοίρες για τα 38 db.

Παρατηρούμε ότι ο βελτιωμένος ενισχυτής έχει μεγαλύτερη ταχύτητα και μικρότερη κατανάλωση από τον αρχικό.

Στη συνέχεια προσομοιώσαμε άλλον έναν ενισχυτή με άλλες διαστάσεις και πήραμε τα εξής αποτελέσματα:

Συγκεκριμένα:

Πίνακας 4.3:Μεγέθη Υλοποίησης

M5	50um	5um
M6	60um	7.3um
M1,2	120um	1.4um
M3,4	50um	0.2um
M7	5.6um	1um

Πίνακας 4.3.1:Μεγέθη Υλοποίησης

Rc	2.2ΜΩ
Cc	3.1pF
Cl	40pF

Από τα παραπάνω δεδομένα που προσομοιώθηκαν στο εργαλείο cadence ομοίως με πριν είχαμε τα εξής αποτελέσματα:

$I_{D1}=12nA=I_{D2}=I_{D4}=I_{D3}$ και $I_{D6}=60nA$.

Για το διαφορικό ζεύγος εισόδου:

$I_C=2$ και $g_m/I_D=20\ 1/V$

Για τον καθρέπτη ρεύματος:

$I_C=12$ και $g_m/I_D=10\ 1/V$

Τα αποτελέσματα που πήραμε είναι:

$GBW=g_{m1}/2\pi.Cc=0.5MHz$

$SR=I_{max}/Cc=60nA/3.1pF=0.019V/\mu sec$

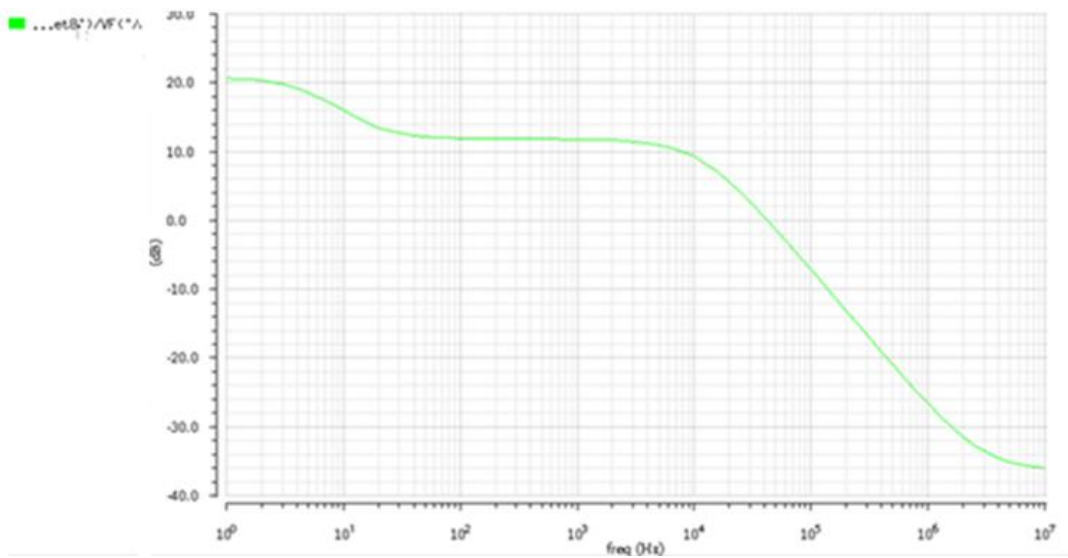
Power=49nW

Operation mode subthreshold

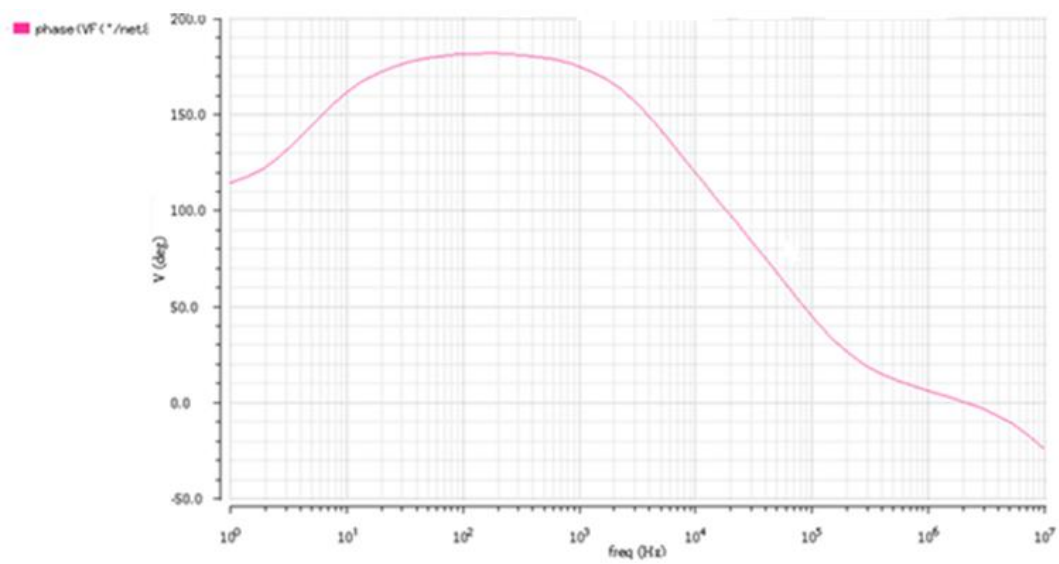
$C_L=40pF$

Technology 180nm

Παρατηρούμε ότι τα αποτελέσματα αυτού του ενισχυτή υπερτερούν από τις υπόλοιπους, άλλα στην ταχύτητα και άλλα στην κατανάλωση. Τα διαγράμματα που προσομοιώσαμε είναι:



Εικόνα 4.11:AC απόκριση-κέρδος



Εικόνα 4.12:AC απόκριση-Περιθώριο φάσης

Επομένως ,προσπαθώντας να συγκρίνουμε τα αποτελέσματα των ενισχυτών μας με άλλων της βιβλιογραφίας έχουμε:

Πίνακας 4.4: Αποτελέσματα Ενισχυτή

Technology	180nm [This work]	180nm [This work]	180nm [This work]	180nm [21]	45nm [23]
GBW(MHz)	0.016	0.022	0.5	0.011	0.006
PM	57	57	55	65	62
SR(V/μs)	0.059	0.045	0.019	0.015	-
FOM _{GBW} (MHZ.pF/μA)	1.9	2.3	130	0.18	0.14
FOM _{SR} (V.pF/μs.μA)	6.8	5.4	4.9	0.25	-
Supply Voltage(V)	0.7	0.7	0.5	0.6V	0.9V
Power Dissipation	0.110μw	0.095μW	0.049μW	0.54μW	0.45μW
C _L (pF)	30	30	40	15	12
Av(db)	45	40	25	69.4	79
IC _{1,2}	7	5	2	-	-
Gm/Id(1/V)	11.76	14.8	10	-	-
ID1,2(nA)	18.2	20	12	-	-
ID6(nA)	125.4	95	60	-	-
M5	50um/1um	100um/10um	50um/5um	-	-
M6	100um/10.3um	80um/9.5um	60um/7.3um	-	-
M1,2	160um/2um	100um/1um	120um/1.4um	-	-
M3,4	100um/0.4um	50um/0.2um	50um/0.2um	-	-
M7	5.6um/1um	2.8um/0.5um	5.6um/1um	-	-
Rc(MΩ)	1.1	1.1	2.2MΩ	-	-
Cc(pF)	2.1	2.1	3.1	-	-

Παρατηρούμε ότι ο συγκεκριμένος τελεστικός ενισχυτής υπερτερεί στη κατανάλωση ισχύος σε σχέση με τους υπόλοιπους καθώς επίσης και στο κέρδος εύρους ζώνης. Το κέρδος του ενισχυτή, η τάση τροφοδοσίας, ο ρυθμός ανόδου και οι διαστάσεις των τρανζίστορ παρουσιάζονται παραπάνω με την κάθε υλοποίηση ξεχωριστά. Επίσης το κύκλωμα είναι ευσταθές λόγω του phase margin(>45° και <180°) όπως απεικονίζεται και στις παραπάνω γραφικές. Οι παραπάνω υλοποιήσεις είναι πολύ σημαντικές καθώς τα αποτελέσματα μπορούν να ενσωματωθούν σε μελλοντικές υλοποιήσεις σε βιοϊατρικές εφαρμογές.

Τέλος προσπαθήσαμε να υλοποιήσουμε το επόμενο building block του συγκεκριμένου μετατροπέα.

4.2 Ψηφιακός σε Αναλογικό Μετατροπέα DAC (Digital-to-Analog Converter)

Σε αυτό το σημείο θα μελετηθεί η δομή και τα χαρακτηριστικά ενός μετατροπέα ψηφιακού σε αναλογικού σήματος, DAC. Αποτελούν βασικά δομικά στοιχεία πολλών ηλεκτρονικών συστημάτων σήμερα. Η αξιοπιστία, η ακρίβεια, η ταχύτητα, η κατανάλωση και το κόστος αποτελούν βασικά στοιχεία της συγκεκριμένης υλοποίησης. Κάποιο ενδεχόμενο λάθος μπορεί να στοιχίσει σε όλο το σύστημα, για αυτό η αντιμετώπισή τους είναι σημαντική.

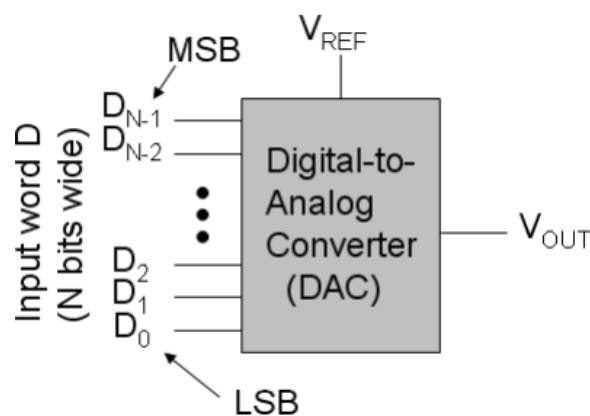
4.2.1 Ανάλυση του Μετατροπέα

Θεωρητικό επίπεδο

Οι μετατροπείς πληροφοριών, δηλαδή οι μετατροπείς ψηφιακού σε αναλογικού σήματος και αντίστροφα αποτελούν βασικά δομικά στοιχεία στη σύγχρονη ψηφιακή εποχή. Ποσότητες όπως η τάση, το ρεύμα, ο χρόνος, το φορτίο, η θερμοκρασία εμφανίζονται σε αναλογική μορφή. Για την επεξεργασία, τη μεταφορά και την αποθήκευση πληροφοριών χρειάζεται η μετατροπή τους σε ψηφιακή μορφή. Γνωρίζουμε ότι ένα σήμα μεταφέρει πληροφορία. Έτσι, το κύκλωμα που μετατρέπει ένα αναλογικό σήμα σε ψηφιακό ονομάζεται Αναλογικός-Ψηφιακός μετατροπέας (Analog to Digital Converter ή ADC). Το κύκλωμα που εκτελεί την αντίστροφη λειτουργία, δηλαδή μετατρέπει ένα ψηφιακό σήμα (συνήθως δυαδικό) σε αναλογικό ονομάζεται Ψηφιακός-Αναλογικός μετατροπέας (Digital to Analog Converter ή DAC). Σε αυτή τη μελέτη θα ασχοληθούμε με τους DAC μετατροπείς. Χρησιμοποιούνται σε πολλές εφαρμογές και διαδραματίζουν σημαντικό ρόλο. Ο DAC συνήθως συνδυάζεται με κάποια μνήμη (RAM), η οποία περιέχει πίνακες μετατροπής για αντίθεση και φωτεινότητα και αποτελεί μια συσκευή που ονομάζεται RAMDAC. Συγκεκριμένα το αναλογικό σήμα μεταφέρεται σε έναν ADC, όπου ο τελευταίος το μετατρέπει σε ψηφιακό. Το ψηφιακό σήμα αφού υποστεί την κατάλληλη επεξεργασία μετατρέπεται σε αναλογικό και έπειτα είναι έτοιμο να σταλεί. Σήμερα λόγω του κόστους και κατ' επέκταση της ανάγκης για κυκλώματα που καταλαμβάνουν μικρότερη επιφάνεια, οι DAC κατασκευάζονται σχεδόν αποκλειστικά σε ολοκληρωμένα κυκλώματα (Integrated Circuits). Υπάρχουν πολλές αρχιτεκτονικές DAC που έχουν διαφορετικά πλεονεκτήματα και μειονεκτήματα. Η καταλληλότητα ενός DAC για μια συγκεκριμένη εφαρμογή καθορίζεται από ένα σύνολο προδιαγραφών καθώς επίσης από την ταχύτητα και το κόστος που θέτει η εφαρμογή.

Προδιαγραφές DAC:

Ένα σύνολο από χαρακτηριστικά καθορίζουν την απόδοση ενός DAC. Είναι γεγονός ότι οι περισσότεροι μετατροπείς πληροφοριών έχουν παρόμοιους περιορισμούς απόδοσης. Τόσο οι DAC όσο και οι ADC μπορούν να χρησιμοποιήσουν ως αναλογικό σήμα είτε την τάση είτε το ρεύμα. Στο Σχήμα δίδεται το σύμβολο ενός DAC όπου μια ψηφιακή λέξη N-bit (D_0, D_1, \dots, D_{N-1}), συνήθως σε δυαδική μορφή μετατρέπεται σε μια αναλογική τάση στην έξοδο V_{OUT} .

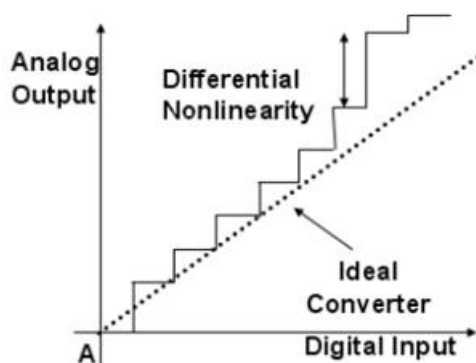


Εικόνα 4.13:Σύμβολο DAC

Τα λειτουργικά χαρακτηριστικά ενός DAC είναι τα ακόλουθα:

Διαφορική μη-γραμμικότητα (Differential Non Linearity - DNL)

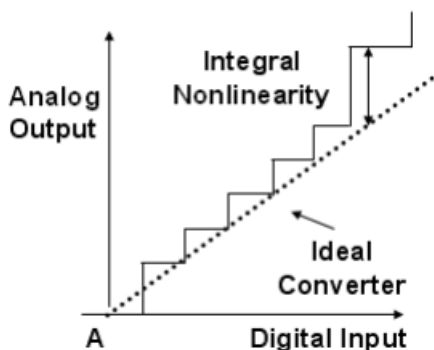
Είναι η μέγιστη απόκλιση του βήματος εξόδου κατά τη μετάβαση μεταξύ δύο διαδοχικών κωδικών λέξεων από το ιδανικό βήμα του ενός LSB, όπως φαίνεται στο σχήμα. Ουσιαστικά πρόκειται για τη διαφορά μεταξύ της ιδανικής και της πραγματικής εξόδου ενός DAC. Η προδιαγραφή DNL μετρά πόσο καλά ένας DAC μπορεί να παράγει ομοιόμορφα αναλογικά LSB πολλαπλάσια στην έξοδό του. Γενικά, ένας DAC θα πρέπει να έχει DNL μικρότερο από $\pm 1/2$ LSB εάν πρόκειται να είναι N-bit ακριβής. Αν το DNL για έναν DAC είναι μικρότερο από -1 LSB, τότε ο DAC θεωρείται μη-μονοτονικός, που σημαίνει ότι η αναλογική τάση εξόδου δεν είναι αύξουσα ή φθίνουσα καθώς ο ψηφιακός κώδικας εισόδου αυξάνεται. Ένας DAC πρέπει να έχει μονοτονικότητα εάν πρόκειται να λειτουργήσει χωρίς σφάλμα. Ο όρος $\pm 1/2$ LSB δηλώνει το μέγιστο σφάλμα σε ένα μετατροπέα πληροφοριών [18].



Εικόνα 4.14: Διαφορική μη-γραμμικότητα

Μη-γραμμικότητα ολοκλήρωσης (Integral Non Linearity - INL):

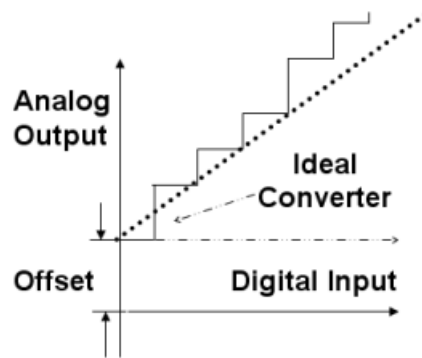
Είναι η μέγιστη διαφορά απόκλισης της χαρακτηριστικής εισόδου/εξόδου από την ιδανική χαρακτηριστική όπως φαίνεται στο σχήμα, δηλαδή την ευθεία που περνά διαμέσου των δύο ακραίων σημείων (πρώτης και τελευταίας τιμής εξόδου). Το INL ορίζει τη γραμμικότητα της συνολικής καμπύλης μεταφοράς. Ένας μετατροπέας με N-bit ψηφιοποίηση πρέπει να έχει DNL και INL μικρότερο από $\pm 1/2$ LSB. Για παράδειγμα, ένας 13-bit DAC που έχει περισσότερο από $\pm 1/2$ LSB του DNL ή του INL έχει στη πραγματικότητα ψηφιοποίηση ενός 12-bit DAC. Υπάρχουν αρκετές μέθοδοι που προσδιορίζουν το INL. Μια από αυτές συγκρίνει τις τιμές εξόδου της ιδανικής χαρακτηριστικής ανεξάρτητα από τις θέσεις των πρώτων και τελευταίων τιμών εξόδου. Εάν ο DAC έχει μετατόπιση τάσης ή σφάλμα απολαβής, αυτό συμπεριλαμβάνεται στο INL. Συνήθως, όμως, η μετατόπιση και το σφάλμα απολαβής καθορίζονται ως ξεχωριστές προδιαγραφές. Μια άλλη μέθοδος προσπαθεί να ελαχιστοποιήσει το σφάλμα INL κατασκευάζοντας τη χαρακτηριστική ευθεία έτσι ώστε να περνά όσο πιο κοντά γίνεται στη πλειοψηφία των τιμών εξόδου. Η μέθοδος αυτή, όμως, δε χρησιμοποιείται τόσο ευρέως όσο η προηγούμενη [18].



Εικόνα 4.15: Μη γραμμικότητα Ολοκλήρωσης

Μετατόπιση (Offset):

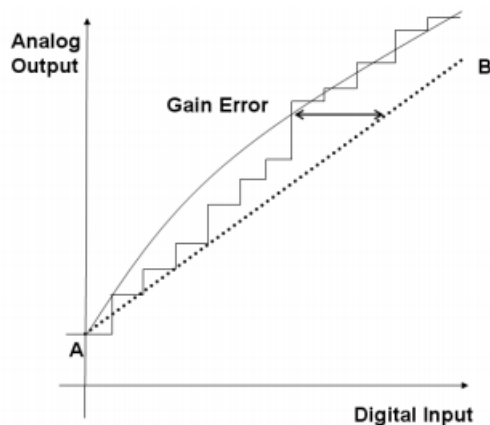
Είναι η κάθετη μετατόπιση της χαρακτηριστικής σύμφωνα με το Σχήμα. Καθορίζει την έξοδο του μετατροπέα όταν ο ψηφιακός κώδικας εισόδου είναι ίσος με μηδέν. Γενικά η αναλογική έξοδος πρέπει να είναι 0 V για $D=0$. Έτσι, η μετατόπιση υπάρχει όταν η αναλογική τάση εξόδου δεν παίρνει την τιμή 0 V. Η μετατόπιση φαίνεται στη γραφική παράσταση της καμπύλης μεταφοράς [18].



Εικόνα 4.16:Μετατόπιση

Σφάλμα απολαβής (Gain Error):

Είναι η απόκλιση από την ιδανική κλίση της AB όπως φαίνεται στο Σχήμα. Ένα σφάλμα κέρδους υπάρχει όταν η κλίση της εφαπτομένης της καμπύλης μεταφοράς είναι διαφορετική από τη κλίση της ευθείας στην ιδανική περίπτωση [18].



Εικόνα 4.17:Σφάλμα απολαβής

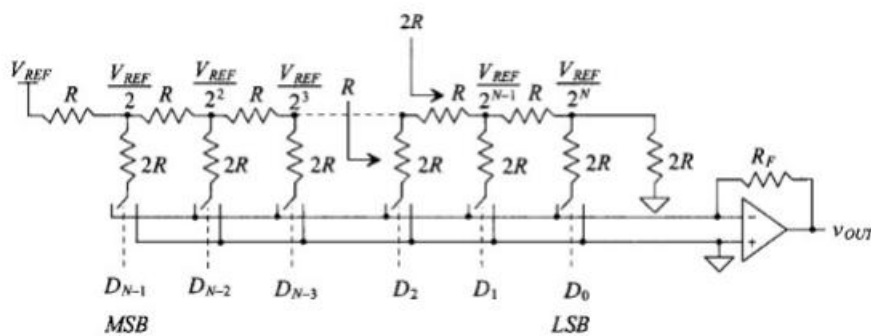
Λόγος σήματος προς θόρυβο (Signal-to-Noise Ratio - SNR):

Το σήμα-προς-θόρυβο ορίζεται ως ο λόγος της ενέργειας του σήματος προς την ενέργεια του θορύβου στην αναλογική έξοδο. Στις εφαρμογές ενισχυτών, αυτή η προδιαγραφή μετράται χρησιμοποιώντας μια ημιτονοειδής είσοδο. Για έναν DAC μια ψηφιακή ημιτονοειδής κυματομορφή παράγεται μέσω ενός A/D [18].

Υπάρχουν πολλοί τύποι R-2R DAC.

Εμείς θα μελετήσουμε τον DAC με δικτύωμα R2R:

Αποτελείται από ένα δίκτυωμα παράλληλων αντιστάσεων που έχουν μόνο δύο τιμές R και 2R όπως φαίνεται και στα σχήματα, γεγονός που βελτιώνει την ακρίβεια. Η απλοποιημένη αυτή αρχιτεκτονική χαρακτηρίζεται από χαμηλό κόστος και κάνει αποδοτική χρήση της επιφάνειας του κυκλώματος.



Εικόνα 4.18: DAC R-2R

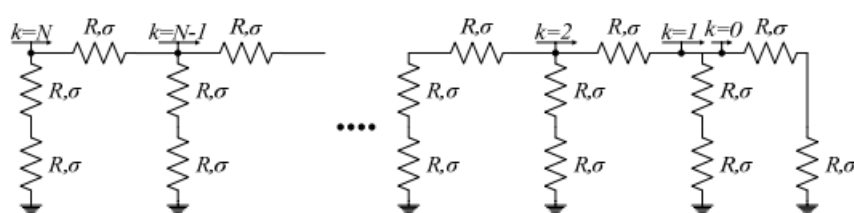
Το λιγότερο σημαντικό ψηφίο (LSB) αναφέρεται στο δεξιότερο bit της ψηφιακής λέξης εισόδου. Το LSB καθορίζει τη μικρότερη πιθανή μεταβολή στην αναλογική τάση εξόδου.

Ωστόσο εμείς θα μελετήσουμε το δικτύωμα R2R DAC με τη διαφορά ότι οι αντιστάσεις του κάθετου και οριζόντιου κλάδου θα αντιπροσωπεύονται από FETs σύμφωνα με το συμβατικό R-2R Ladder.

Αρχικά θα μελετήσουμε την απόκλιση της ισοδύναμης αντίστασης σε έναν απλό R-2R DAC, όταν όλες οι αντιστάσεις που τον αποτελούν παρουσιάζουν απόκλιση σ .

Θεωρητικός υπολογισμός τυπικής απόκλισης αντιστάσεων σε ένα R2R ladder DAC

Θεωρούμε ότι το κύκλωμα αποτελείται από ένα σύνολο αντιστάσεων με μέση τιμή R και τυπική απόκλιση σ . Παρατηρώντας τώρα το κύκλωμα βλέπουμε ότι για να βρούμε την τυπική απόκλιση της ισοδύναμης αντίστασης στους διάφορους κόμβους, πρέπει να υπολογίσουμε πως διαδίδεται αυτή, από το LSBit κινούμενη προς το MSBit. Αξίζει να σημειωθεί ότι για τον υπολογισμό της τυπικής απόκλισης της ισοδύναμης αντίστασης για ένα κόμβο, υποθέτουμε ότι κάθε ένας κόμβος αποτελείται από τρεις ίδιες αντιστάσεις, R , εκ των οποίων η κάθε μια έχει τυπική απόκλιση σ . Πρέπει να παρατηρήσουμε ότι αντίθετα με τα άλλα bits, το LSBit αποτελείται από τέσσερις αντιστάσεις [22].



Εικόνα 4.19: R2R ladder DAC

Η μέση τιμή της αντίστασης, δεξιά του κόμβου, $k=0$, είναι ίση με:

$$R'_0 = R + R \Rightarrow R'_0 = 2R$$

Ενώ η τυπική απόκλιση στον κόμβο αυτό είναι:

$$\sigma_0 = \sqrt{\sigma^2 + \sigma^2} = \sqrt{2\sigma^2}$$

Κατά συνέπεια, η μέση τιμή της αντίστασης στο LSB ($k=1$), δίνεται από τον παράλληλο συνδυασμό δύο αντιστάσεων, εκ των οποίων η κάθε μία αποτελείται από δύο ίδιες αντιστάσεις.

Επομένως:

$$R_1 = 2R // R'_0 \Rightarrow R_1 = R$$

Και η τυπική απόκλιση στο Bit αυτό γίνεται:

$$\sigma_1 = \sqrt{1/4} \sigma$$

Ακολούθως, υπάρχει μία αντίσταση εν σειρά, από την οποία προκύπτει:

$$R_2 = R + R_1 \Rightarrow R_2 = 2R$$

και η νέα απόκλιση γίνεται:

$$\sigma'_2 = \sqrt{\sigma^2 + \sigma_1^2} = \sqrt{5/4} \sigma$$

Άρα, στον επόμενο κόμβο ($k=2$), η μέση τιμή θα είναι ίση με:

$$R_2 = 2R // R'_2 \Rightarrow R_2 = R$$

Και η τυπική απόκλιση είναι ίση με:

$$\sigma_2 = 1/4 \sqrt{2\sigma^2 + \sigma'^2_2} = 1/4 \sqrt{2\sigma^2 + 5/4 \sigma^2} = \sqrt{13/64} \sigma$$

Με το ίδιο σκεπτικό υπολογίζουμε την τυπική απόκλιση και στους επόμενους κόμβους.

Στον κόμβο ($k=3$), θα έχουμε:

$$R'_3 = 2R$$

$$R'_3 = 2R // R_2 = R$$

Και η τυπική απόκλιση θα είναι ίση με:

$$\sigma_3 = 1/4 \sqrt{2\sigma^2 + \sigma'^2_3} = 1/4 \sqrt{2\sigma^2 + 77/64 \sigma^2} = \sqrt{205/1024} \sigma$$

Στον κόμβο ($k=4$), θα έχουμε:

$$R'_4 = R + R'_3 = 2R // R'_4 = R$$

Και η τυπική απόκλιση είναι ίση με:

$$\sigma_4 = \sqrt{1229/1024} \sigma^2$$

Στον κόμβο ($k=5$), θα έχουμε:

$$R'_5=R$$

Και η τυπική απόκλιση είναι ίση με:

$$\sigma_5=\sqrt{52429/262144}\sigma$$

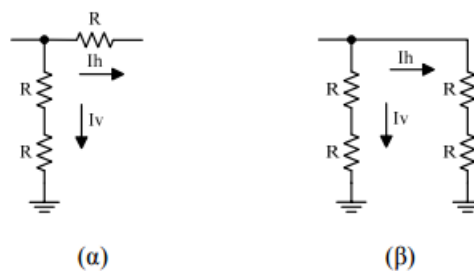
Παρατηρώντας αυτά τα νούμερα βλέπουμε μια συσχέτιση μεταξύ τους. Αν εξαιρέσουμε το πρώτο bit, όλοι οι υπόλοιποι λόγοι δίνουν πανομοιότυπο αποτέλεσμα, το οποίο τείνει στο 0,2 (για σ θα μας δίνει 0,2). Όσον αφορά τους παρονομαστές εύκολα παρατηρείται ότι όλοι είναι σε δύναμη του 2! Όλα αυτά μας δείχνουν ότι η απόκλιση εξαρτάται από μια σταθερή σχέση ανάμεσα στα bits [22].

Μελέτη απόκλισης των ρευμάτων του R2R ladder DAC

Θα μελετήσουμε τη συμπεριφορά των ρευμάτων ενός R2R ladder DAC, υπό την παρουσία πιθανών αποκλίσεων στις τιμές των αντιστάσεων που τον αποτελούν.

Επίδραση ενός σφάλματος στα ρεύματα του DAC

Τα ρεύματα εξαρτώνται τόσο από το μέγεθος του σφάλματος, όσο και από την θέση που αυτό βρίσκεται

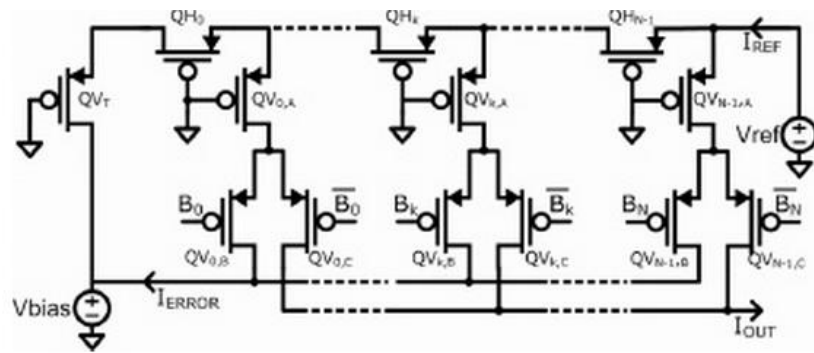


Εικόνα 4.20:Κλάδοι ρευμάτων

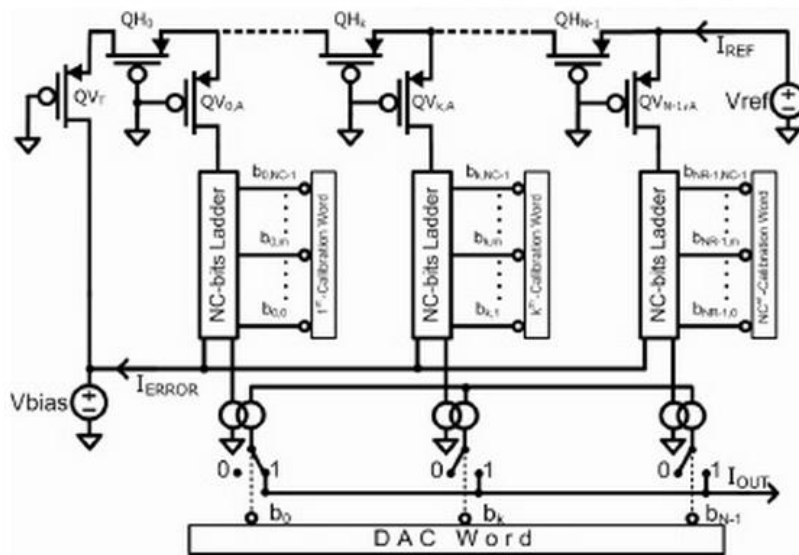
Το κάθε Bit αποτελείται από δύο κλάδους, τον οριζόντιο και τον κάθετο. Ο οριζόντιος κλάδος διαρρέεται από το ρεύμα I_h (horizontal), το οποίο θα τροφοδοτεί τα λιγότερο σημαντικά bits, ενώ από τον κάθετο κλάδο θα περνά το ρεύμα εξόδου I_v (vertical).

Φυσικά η δική μας μελέτη θα γίνει με FETs όπου θα αντικατασταθούν οι αντιστάσεις.

Μία τέτοια τοπολογία που θα μπορούσε να χρησιμοποιηθεί είναι η παρακάτω:



Εικόνα 4.21: Ψηφιακός σε Αναλογικός Μετατροπέας(DAC) m2m [16]



Εικόνα 4.22: Ψηφιακός σε Αναλογικός Μετατροπέας(DAC) m2m με NCbits Ladder [16]

Το δεύτερο σχήμα είναι παρόμοιο με το πάνω με τη μόνη διαφορά ότι κάθε ζεύγος των FETs έχει αντικατασταθεί με ένα NCbits Ladder που λειτουργεί ως ρυθμιστής του ρεύματος του συγκεκριμένου bit. Η ρύθμιση αυτή επιτυγχάνεται, σύμφωνα με την ψηφιακή λέξη που δημιουργεί η βαθμίδα Calibration Word και εφαρμόζει στο ρυθμιστή ρεύματος. Έτσι έχουμε τη δυνατότητα να προσαρμόσουμε το ρεύμα στο κάθε Bit πολύ κοντά στη βέλτιστη (θεωρητική) τιμή του. Ακολουθώντας το ρεύμα του κάθε Bit (I_{out}), αφού πρώτα δημιουργηθεί ένα «κλώνος» του από ένα καθρέφτη ρεύματος, οδηγείται στην έξοδο.

Όσον αφορά εδώ τις τυπικές αποκλίσεις για το drain current mismatch και το Gate source Voltage Mismatch έχουμε:

$$\sigma_{\frac{\Delta I_D}{I_D}} = \sqrt{\sigma_{\frac{\Delta \beta}{\beta}}^2 + \left(\frac{g_m}{I_D} \sigma_{\Delta V_T}\right)^2}$$

$$\sigma_{\frac{\Delta \beta}{\beta}} = \frac{A_\beta}{\sqrt{WL}} \quad \sigma_{\Delta V_T} = \frac{A_{V_T}}{\sqrt{WL}}$$

Και:

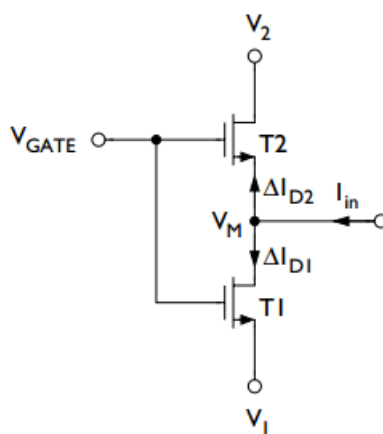
$$\sigma_{\Delta V_{GS}} = \sqrt{\sigma_{\Delta V_T}^2 + \left(\frac{\sigma_{\frac{\Delta\beta}{\beta}}}{\frac{g_m}{I_D}}\right)^2}$$

$$\sigma_{\frac{\Delta\beta}{\beta}} = \frac{A_\beta}{\sqrt{WL}} \quad \sigma_{\Delta V_T} = \frac{A_{VT}}{\sqrt{WL}}$$

Η γραμμικότητα είναι ένα από τα πιο σημαντικά χαρακτηριστικά στους A/D converter. Τα σημαντικά χαρακτηριστικά που θα πρέπει να μελετήσουμε στον MOSFET R-2R Ladder είναι τα παρακάτω:

Κανόνες Διαίρεσης Ρευμάτων

Το πιο σημαντικό ζήτημα που πρέπει να παρουσιαστεί μέσα σε ένα D/A converter είναι το ακριβές <<ζύγισμα>> των τάσεων, ρευμάτων κ.λ.π. Τα παθητικά στοιχεία είναι απαραίτητα για αυτό το σκοπό, όπως αντιστάσεις κ.λ.π. Ωστόσο η χρήση των MOS τρανζίστορ, με τα οποία θα ασχοληθούμε και εμείς στην αντικατάσταση των αντιστάσεων είναι προτιμότερη. Αυτός ο τύπος D/A converter χρησιμοποιείται ευρέως σε ποικίλες εφαρμογές. Η αρχιτεκτονική του επιτρέπει τη σχεδίαση μετατροπέων υψηλών ταχυτήτων, ωστόσο ένα μειονέκτημα του είναι η μεγάλη περιοχή πυριτίου που καταναλώνει εξαιτίας του μεγάλου αριθμού των πηγών ρευμάτων που αυξάνεται με τον αριθμό των bits. Επιπλέον, η μεγάλη περιοχή των πηγών ρευμάτων που καταναλώνει κάνει το matching δυσκολότερο. Μία λύση θα ήταν ένα είδος self-calibration, όπως dynamic element matching αλλά αυτό απαιτεί μεγαλύτερη κατανάλωση ισχύος.



Εικόνα 4.23: Σχήμα διαίρεσης ρευμάτων

Διαίρεση Ρευμάτων με Τρανζίστορ

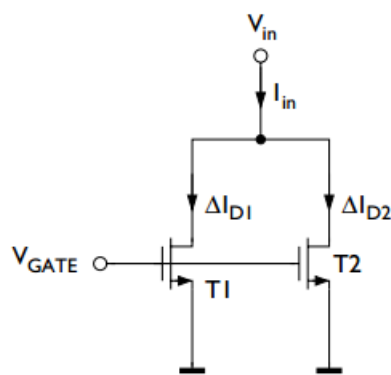
Μία διαφορετική προσέγγιση είναι η χρήση των MOS τρανζίστορ με σκοπό τη διαίρεση των ρευμάτων, current division. Αυτή διαφέρει από τον R-2R Ladder με αντιστάσεις στο γεγονός ότι η σχέση ανάμεσα στο ρεύμα και στην τάση είναι μη γραμμική σε όλες τις περιοχές λειτουργίας των MOS. Το βασικό κύκλωμα παρουσιάζεται στο παραπάνω σχήμα. Η αναλογία των 2 ρευμάτων δίνεται από τη σχέση:

$$\frac{\Delta I_{D1}}{\Delta I_{D2}} = \frac{W_1/L_1}{W_2/L_2}$$

Όπου W, L είναι οι διαστάσεις των τρανζίστορ $T1, T2$ αντίστοιχα.

Η αναλογία $\Delta I_{D1} / \Delta I_{D2}$ είναι σταθερή και ανεξάρτητη από το ρεύμα I_n καθώς επίσης και από τις τάσεις $V1, V2, V_{GATE}$. Επιπλέον η αρχή διατηρείται σε όλες τις περιοχές λειτουργίας τα τρανζίστορ $T1, T2$ ανεξάρτητα αν είναι σε weak, moderate και strong inversion. Η διαίρεση των ρευμάτων είναι επίσης ανεξάρτητη από το αν το ένα ή και τα δύο τρανζίστορ λειτουργούν σε κορεσμό ή μη κορεσμό. Η αρχή διαίρεσης των ρευμάτων βασίζεται στη συμμετρία των MOS τρανζίστορ σε σχέση με το drain, source.

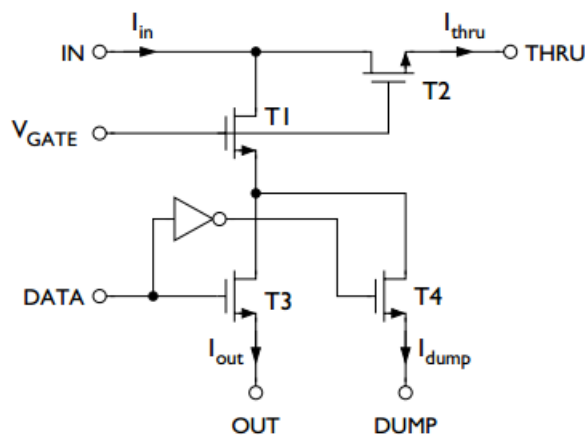
The MOSFET-Only Ladder



Εικόνα 4.24: MOSFET-Only Ladder

Ένας R-2R ladder μπορεί να χτιστεί χρησιμοποιώντας μόνο MOS transistors.

Το παρακάτω σχήμα απεικονίζει ένα slice του πραγματικού MOSFET-only R-2R ladder.

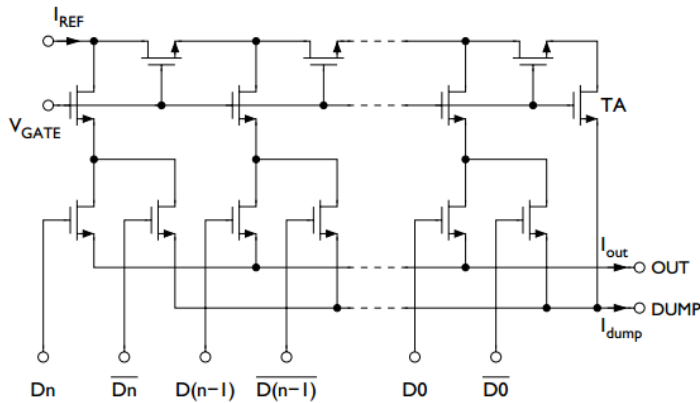


Εικόνα 4.25: Αποτύπωμα πραγματικού MOSFET-only R-2R ladder

Το R κομμάτι του αυθεντικού ladder αναπαριστάται από το τρανζίστορ $T2$. Τα $T1, T3, T4$ παίζουν το ρόλο του $2R$. Το εισερχόμενο ρεύμα I_{in} διαιρείται μέσα σε 2 ισοδύναμα ρεύματα, τα I_{thru} και ένα άλλο που χωρίζεται σε I_{thru} και I_{dump} . Τα τρανζίστορ $T3, T4$ δεν παίζουν μόνο το ρόλο αντίστασης αλλά επίσης λειτουργούν ως διακόπτες. Συνεπώς αποτελείται από τέσσερα παρόμοια τρανζίστορ όπου οδηγούν σε ένα συμβατό layout που είναι πλεονέκτημα για το καλό matching. Ως εκ τούτου

είναι απαραίτητο για το κύκλωμα ώστε να λειτουργεί κανονικά, το υψηλό επίπεδο του σήματος DATA να ισοδυναμεί ακριβώς με την τάση V_{GATE} .

Βέβαια αν και η δομή του MOSFET-only ladder είναι παρόμοια με την κλασσική του R-2R η λειτουργία του είναι κάπως διαφορετική. Παρακάτω απεικονίζεται ένας ολοκληρωμένος MOSFET-only ladder όπου φαίνεται ακριβώς η λειτουργία του.

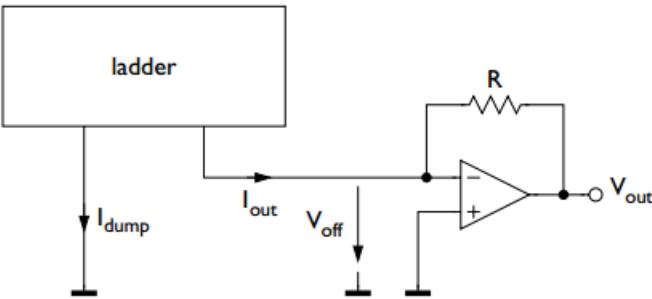


Εικόνα 4.26: Ολοκληρωμένος MOSFET-only ladder

Παρατηρούμε ότι αποτελείται από μερικά slices στη σειρά και τερματίζεται από το τρανζίστορ TA. Η δομή βασίζεται στο ρεύμα I_{REF} το οποίο λειτουργεί ως ρυθμιστής όλων των ρευμάτων. Όπως και στον ladder με αντιστάσεις έτσι και εδώ η δομή του αποτελείται από MOS τρανζίστορς στη σειρά όπου είναι παράλληλα και κάθε τετράδα τρανζίστορ σχηματίζουν ένα MOSFET με αναλογία W/L . Σε αντίθεση με τον R-2R Ladder με αντιστάσεις η παράλληλη σύνδεση εδώ έχει επιπλέον συνέπειες για το MOSFET-only ladder.

Offset Sensitivity

Το παρακάτω σχήμα δείχνει πως ο ladder μπορεί να συνδεθεί με τον opamp όπου χρησιμοποιείται με σκοπό να μετατρέψει το ρεύμα I_{out} σε V_{out} .



Εικόνα 4.27: Σύνδεση ladder με opamp

Κάθε offset voltage V_{off} του opamp προκαλεί σφάλμα στο ρεύμα εξόδου του ladder. Το σφάλμα αυτό δίδεται από τον τύπο:

$$\Delta I = \frac{V_{off}}{R_{out}}$$

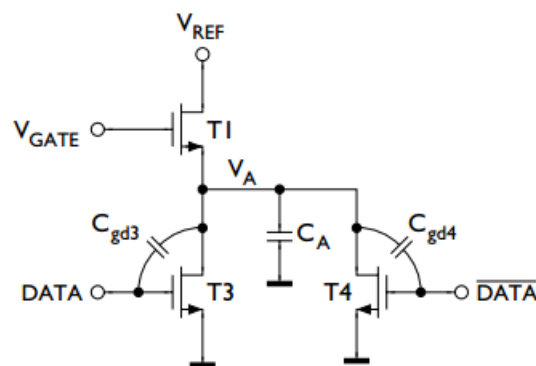
Η εξωτερική αντίσταση εξαρτάται από το ψηφιακό κομμάτι του ladder.

Το εξωτερικό σφάλμα είναι:

$$\frac{|V_{\text{off}}|}{4R} \leq \Delta I \leq \frac{|V_{\text{off}}|}{R_{\text{min}}}$$

Speed of the Ladder

Σημαντικό ζήτημα στον A/D converter είναι και η ακρίβεια στην ταχύτητα. Η τελευταία εξαρτάται από τα MOS τρανζίστορς και από τις παρασιτικές χωρητικότητες. Το σχήμα παρακάτω δείχνει τη διαδικασία για τον υπολογισμό της ταχύτητας.



Εικόνα 4.28: Σχήμα υπολογισμού ταχύτητας

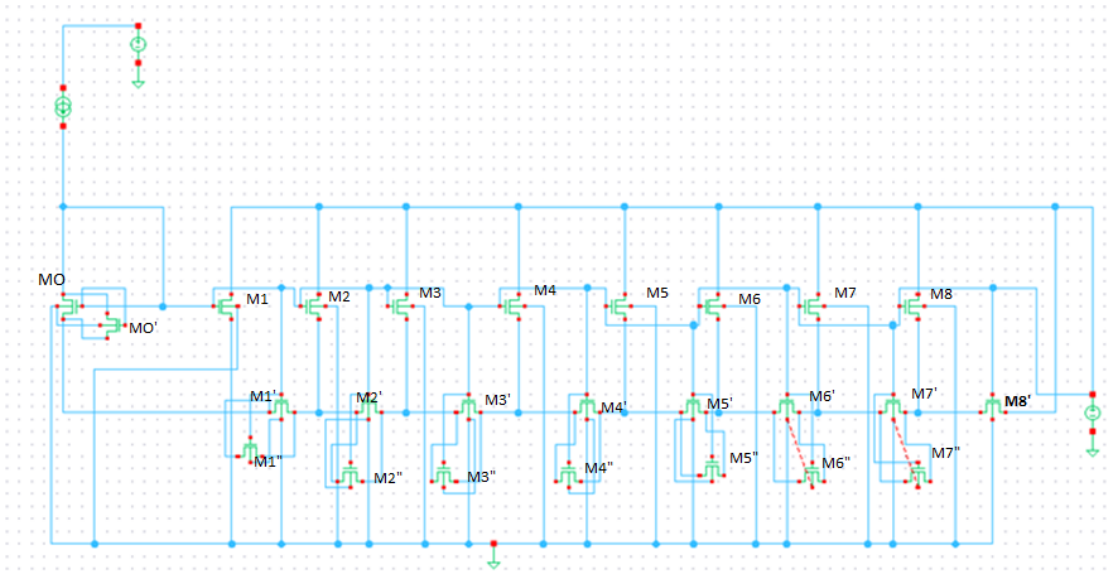
Ισχύει:

$$C_A = C_{gs1} + C_{sb1} + C_{db3} + C_{db4}$$

Υλοποίηση

Παρακάτω παρατίθεται στο εργαλείο Cadence η υλοποίηση του m-2m ladder όπως ακριβώς σχεδιάστηκε:

- dc voltage: 1,8V
- dc current: 256uA



Εικόνα 4.29:m2m Ladder

Η παραπάνω τοπολογία αποτελείται από NMOS tranzistors όπου προσαρμόζουμε το ρεύμα στο κάθε Bit πολύ κοντά στη βέλτιστη (θεωρητική) τιμή του.

Τα μεγέθη που επιλέχτηκαν για την παραπάνω υλοποίηση με κοινή τάση VG,VB για όλα τα τρανζίστορ και ίδιας βασικής διάστασης (W/L) είναι:

Πίνακας 4.5:Μεγέθη Υλοποίησης

Name	Width	Length
M0	40um	40um
M0'	40um	40um
M1	20um	20um
M2	20um	20um
M3	20um	20um
M4	20um	20um
M5	20um	20um
M6	20um	20um
M7	20um	20um
M8	20um	20um

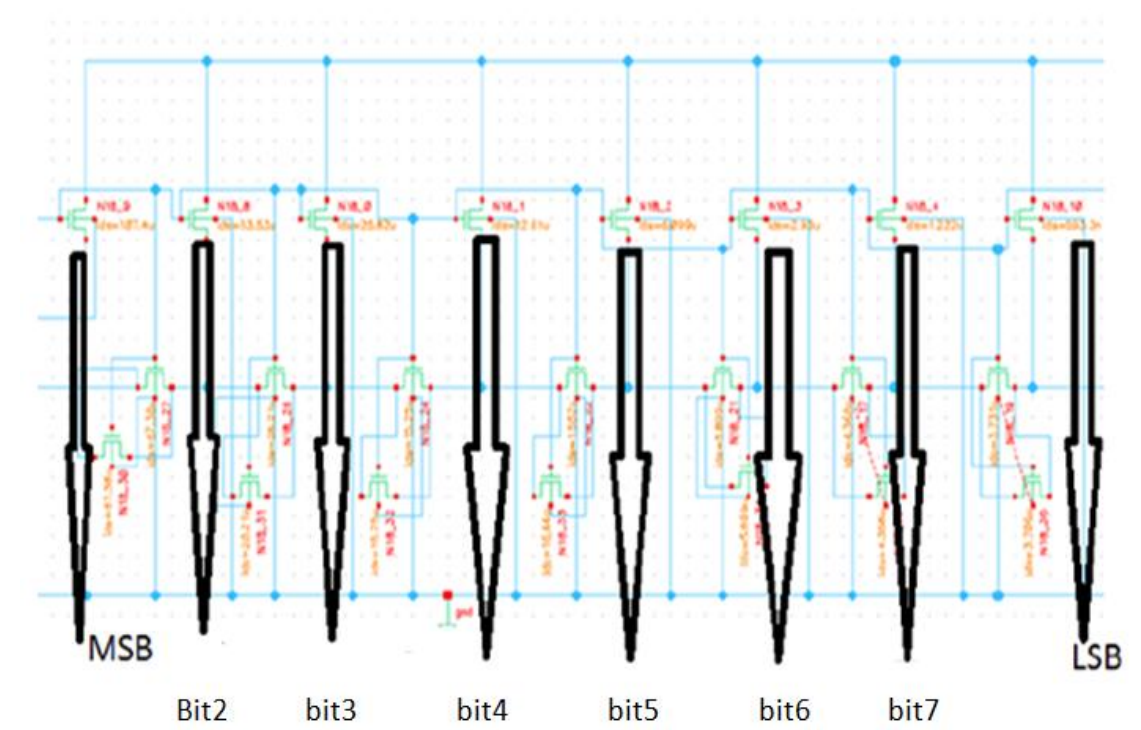
και:

Πίνακας 4.6:Μεγέθη Υλοποίησης

Name	Width	Length
M1'	20um	20um
M1''	20um	20um
M2'	20um	20um
M2''	20um	20um
M3'	20um	20um
M3''	20um	20um
M4'	20um	20um

M4''	20um	20um
M5'	20um	20um
M5''	20um	20um
M6'	20um	20um
M6''	20um	20um
M7'	20um	20um
M7''	20um	20um
M8'	20um	20um

DC Simulation



Εικόνα 4.30:DC Simulation m2m Ladder

Από την παραπάνω προσομοίωση παρατηρούμε ότι για το κάθε bit του DAC ladder το ρεύμα διαρείται ανά δύο.Συγκεκριμένα:

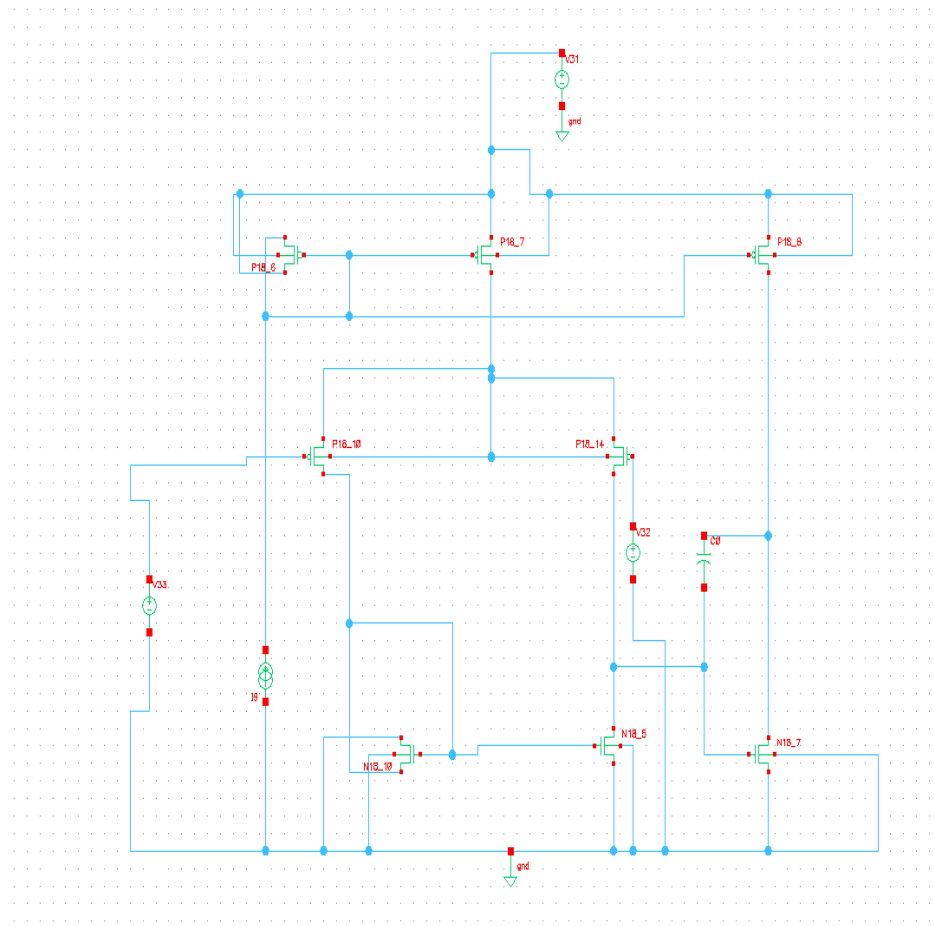
Πίνακας 4.7:Αποτελέσματα Ρευμάτων

1o bit(MSB)	107uA
2o bit	53,5uA
3o bit	26,7
4o bit	13,4
5o bit	6,7uA
6o bit	3,5uA
7o bit	1,9uA
8o bit(MSB)	1uA

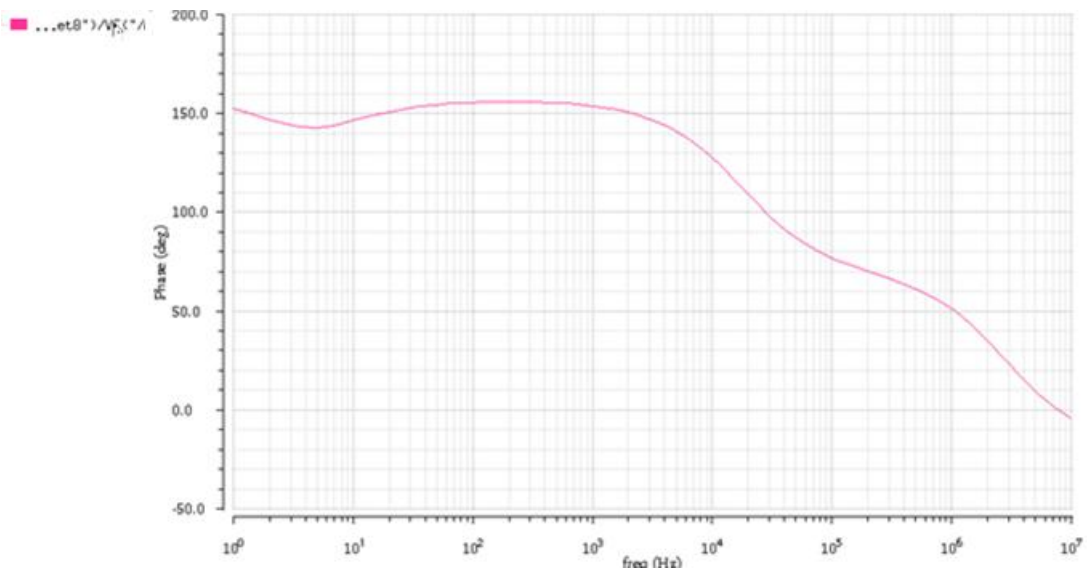
Παρατηρούμε ότι υπάρχει μία απόκλιση των ρευμάτων από το 5^ο bit και μετά. Συνεπώς, όσο αυξάνονται τα bits και οι πηγές ρευμάτων θα υπάρχει σίγουρα κάποιο μικρό σφάλμα στο κύκλωμα.

Το σημαντικότερο στοιχείο σε ένα D/A converter είναι η σωστή διαίρεση των ρευμάτων. Αυτός ο τύπος D/A converter χρησιμοποιείται ευρέως σε ποικίλες εφαρμογές. Παραπάνω βλέπουμε ότι τα ρεύματα μειώνονται στο μισό κάτι το οποίο ήταν αναμενόμενο και επιθυμητό για τη συγκεκριμένη σχεδίαση. Ωστόσο, η μεγάλη περιοχή των πηγών ρευμάτων που καταναλώνει κάνει το matching δυσκολότερο.

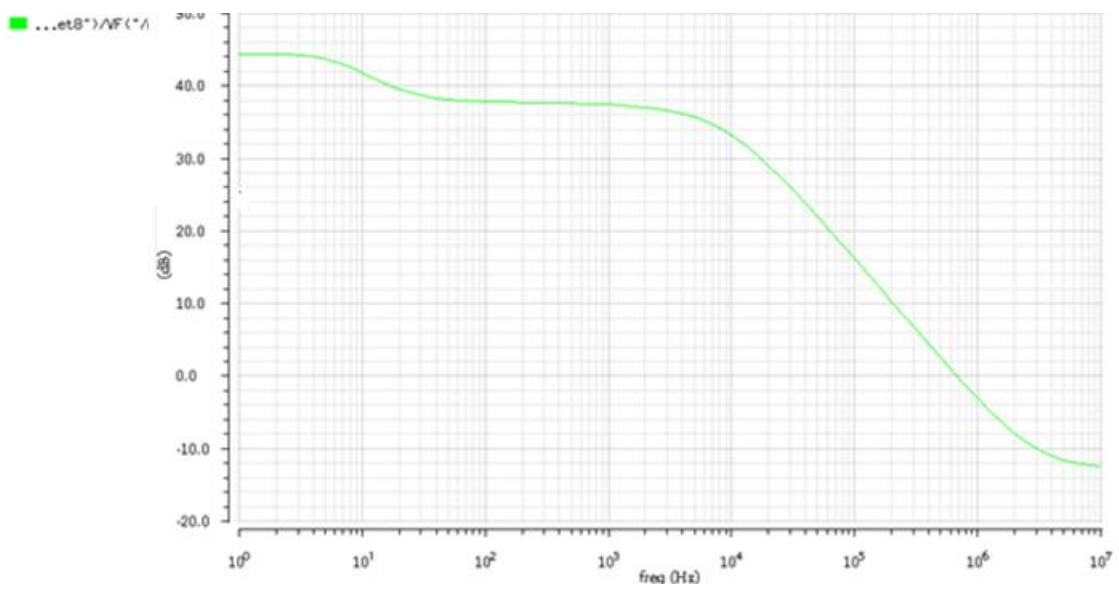
Βέβαια για την υλοποίηση του ολικού Ladder απαιτείται ο τελεστικός ενισχυτής με τον οποίο συνδέεται. Παρακάτω απεικονίζεται ο τελεστικός ενισχυτής με τον οποίο θα ολοκληρωθεί ο συνολικός DAC.



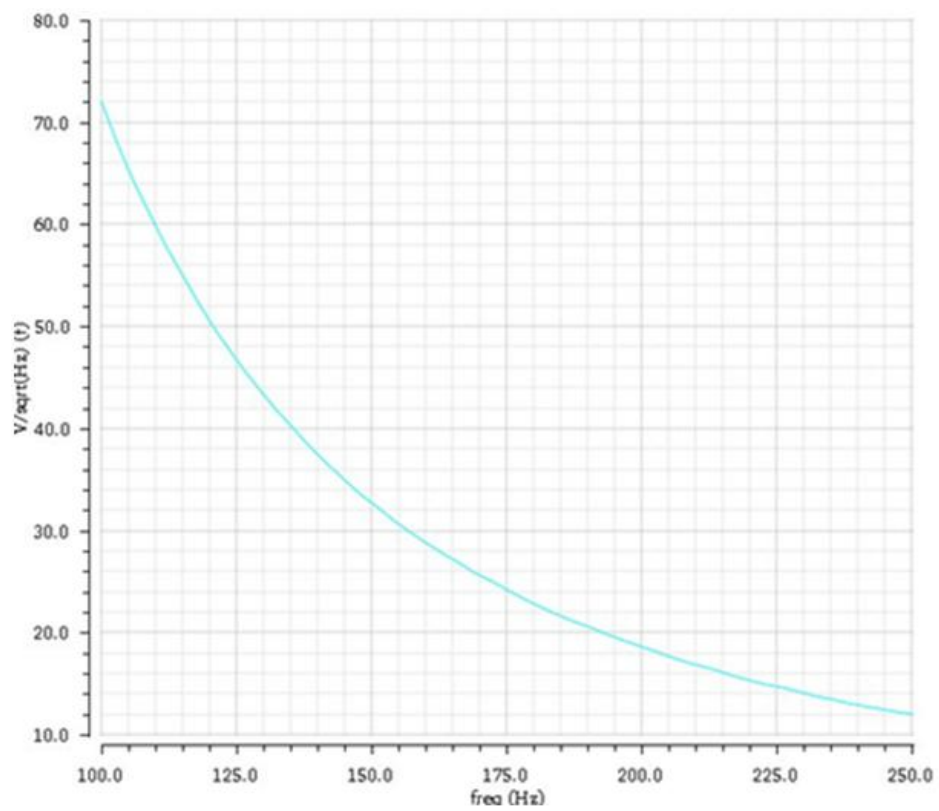
Εικόνα 4.31:Τελεστικός Ενισχυτής για m2m Ladder



Εικόνα 4.32:Απόκριση-Περιθώριο φάσης



Εικόνα 4.33:Απόκριση-κέρδος



Εικόνα 4.34:Noise Response

Αποτελέσματα Ενισχυτή για DAC

Πίνακας 4.8:Αποτελέσματα

Technology	180nm
GBW(MHz)	0.020
PM	55
SR(V/μs)	0.050
Supply Voltage(V)	0.5
Power Dissipation	0.095Mw
C _L (pF)	10
A _v (db)	45
IC _{1,2}	12
G _m /I _d (1/V)	10
M5	50um/1um
M6	100um/10.3um
M1,2	45um/5um
M3,4	30um/2um
M7	5.6um/1um
M8	220nm/1um

Όσον αφορά τις αποκλίσεις για το drain current mismatch και το Gate source Voltage Mismatch έχουμε:

$$\sigma_{\frac{\Delta I_D}{I_D}} = \sqrt{\sigma_{\frac{\Delta \beta}{\beta}}^2 + \left(\frac{g_m}{I_D} \sigma_{\Delta V_T}\right)^2}$$
$$\sigma_{\frac{\Delta \beta}{\beta}} = \frac{A_{\beta}}{\sqrt{WL}} \quad \sigma_{\Delta V_T} = \frac{A_{VT}}{\sqrt{WL}}$$

$$\sigma_{\Delta V_{GS}} = \sqrt{\sigma_{\Delta V_T}^2 + \left(\frac{\sigma_{\frac{\Delta \beta}{\beta}}}{g_m/I_D}\right)^2}$$
$$\sigma_{\frac{\Delta \beta}{\beta}} = \frac{A_{\beta}}{\sqrt{WL}} \quad \sigma_{\Delta V_T} = \frac{A_{VT}}{\sqrt{WL}}$$

Στο συγκεκριμένο κύκλωμα:

- A_{VT}=4mVμm
- A_β=6%μm
- W/L=45um/5um(input pair)
- W/L=30um/2um(current mirror)
- G_m/I_D=10 1/V
- σ_{Δβ/β}=4mV
- σ_{ΔVT}=4/15mv

Drain Current Mismatch:

- $\sigma_{\Delta I_D/I_D}=4,8\text{mv}$

Gate-Source Voltage Mismatch

- $\sigma_{\Delta V_{GS}}=0,47\text{mv}$

Επομένως:

Input Offset Voltage:

- $\sigma_{\Delta V_{GS_total}}=\sqrt{(4.8\text{mV})^2 + (0.47\text{mV})^2}=4.8\text{mV}$

5

Συμπεράσματα - Μελλοντικές επεκτάσεις

Από τις παραπάνω υλοποιήσεις και τα αποτελέσματά τους συμπεραίνουμε ότι ο μετατροπέας Successive Approximation ADC είναι χρήσιμος για βιοιατρικές εφαρμογές καθώς τα επιμέρους δομικά του στοιχεία έχουν πολύ καλή ταχύτητα, ακρίβεια, κατανάλωση ισχύος και φυσικά χαμηλό κόστος. Συνεπώς, τα αποτελέσματα αυτής της διπλωματικής αποτελούν σημαντικά κριτήρια για την εξέλιξή τους καθώς μπορούν να χρησιμοποιηθούν στο εμπόριο ενσωματώνοντας το κύκλωμα σε κάποιο chip. Τόσο ο συγκριτής, όσο ο τελεστικός ενισχυτής και ο ψηφιακός σε αναλογικό μετατροπέα καθιστούν ικανή την εξέλιξη αυτής της εργασίας με τα παραπάνω αποτελέσματα.

Παρακάτω παρουσιάζονται μελλοντικές επεκτάσεις αυτής της διπλωματικής. Συγκεκριμένα παρουσιάζονται οι υπόλοιπες υλοποιήσεις του μετατροπέα Successive Approximation ADC και το Layout που θα μπορούσε να γίνει για μελλοντική χρήση των κυκλωμάτων για κάποια βιοιατρική εφαρμογή.

Για την ολοκλήρωση του συγκεκριμένου μετατροπέα, η εργασία αυτή θα μπορούσε να εξελιχθεί προσομοιώνοντας κάποιο κύκλωμα **Sample and Hold** και **SAR** με σκοπό την ολοκλήρωση του μετατροπέα. Είναι απαραίτητα κυκλώματα τόσο για τη δειγματοληψία και την αποθήκευση πριν υποστεί επεξεργασία το δοθέν σήμα όσο και για την υλοποίηση του αλγορίθμου δυαδικής αναζήτησης. Μέσω προσομοιώσεων τα αποτελέσματά μας θα μας βοηθήσουν στην βελτίωση της υλοποίησης της διπλωματικής και ολόκληρου του ADC. Για παράδειγμα, η μέθοδος Monte Carlo θα μπορούσε να βελτιώσει τα αποτελέσματα (offset voltage) μέσω των κατανομών από το πρόγραμμα Cadence. Τέλος, η φυσική σχεδίαση, layout θα έδινε μία συνολική εικόνα της δουλειάς μας αφού ολοκληρωθεί ο μετατροπέας.

6

Βιβλιογραφία

- [1] Joao C. Vital, Pedro M. Figueiredo, Offset Reduction Techniques in High Speed Analog-to-digital Converters. Analysis, Design and tradeoffs, Analog Circuits and Signal Processing Series ed.: Springer Science & Business, 2009.
- [2] Herbert Taub, Donald L. Schilling, Principles of Communication Systems, 3rd ed.: McGraw-Hill Inc, 1987.
- [3] D. J. Goodman, "The Application of Delta Modulation of Analog-to-PCM Encoding," Bell System Technical Journal, Vol.48, February 1969.
- [4] J. C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters," IEEE Transactions on Communications, Vol.COM-22, December 1974
- [5] C. C. Culter, "Differential Quantization of Communication Signals." U.S. Patent 2,605,361, filed June 29, 1950, issued July 29, 1952
- [6] David M. Binkley, "Tradeoffs and Optimization in Analog CMOS Design", John Wiley & Sons, 2008.
- [7] Βολάνης Γεώργιος, "Τεχνικές σχεδίασης σε επίπεδο συστήματος και κυκλωμάτων μετατροπών Delta-Sigma AD, Πολυτεχνείο Κρήτης, Νοέμβριος 2010.
- [8] B. Razavi, Principles of Data Conversion System Design, Wiley Interscience, IEEE Press, 1995.
- [9] Fernando Paixao Cortes, Eric Fabris, Sergio Bampi, Analysis and design of amplifiers and comparators in CMOS 0.35 μ m technology, Microelectronics Reliability, Vol. 44, Issue 4, pp. 657-664, Apr. 2004.
- [10] J. Cranninckx and G. Van der Plas, "A 65fJ/conversion-step 0-to- 50MS/s 0-to- 0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," ISSCC Dig.Tech.Papers, Feb. 2007.
- [11] Kapadia, Gandhi, Implementation of CMOS charge sharing dynamic latch comparator in 130nm and 90nm Technologies, L.C Institute of Technology, Bhandu, Mehsansa Gujarat, INDIA, IEEE, 2013, Proceedings of 2013 IEEE Conference on Information and Communication Technologies.
- [12] Kant, Shrivastava, Low-voltage Power-efficient Dynamic Latched Comparator, ISSN 2250-2459, Bhopal, 2014, International Journal of Emerging Technology and Advanced Engineering Volume 4, Issue 8, August 2014
- [13] B. Goll and Zimmermann, Design of Low-voltage, Power Proposed Dynamic Clocked Comparator, Sri Eshwar College of Engineering, India, 2014, International Journal of Engineering Science and Innovative Technology (IJESIT) Volume 3, Issue 1, January 2014
- [14] Pastre Marc, Kayal Maher, "Methodology for the Digital Calibration of Analog Circuits and Systems with Case Studies", Springer, 2006.

- [15] Fernando Paixao Cortes, Sergio Bampi, "MILLER OTA DESIGN USING A DESIGN METHODOLOGY BASED ON THE GM/ID AND EARLY-VOLTAGE CHARACTERISTICS: DESIGN CONSIDERATIONS AND EXPERIMENTAL RESULTS", Federal University of Rio Grande do Sul (UFRGS), Informatics Institute, 2015.
- [16] Dimitris Karadimas, Michail Papamichail and Kostas Efstathiou, A_MOST-Only_R-2R_ladder-based_architecture_for_high_linearity_DACs, Dept. of Electrical Engineering & Computer Technology, University of Patras, Greece, 2006
- [17] Βασιλακόπουλος Κωνσταντίνος, Μελέτη και Σχεδίαση Μεατροπέων Σήματος(D/AConverters), Πάτρα, 2013.
- [18] Σταυρούλα Αλεξίου, Ανίχνευση και Διόρθωση Παραμετρικών Σφαλμάτων σε Μετατροπείς R-2R DAC, Αθήνα 2012.
- [19] Λάμπρου Μούντριχας, Σχεδιασμός Ολοκληρωμένου κυκλώματος Συγκριτή για Μετατροπέα Αναλογικού Σήματος σε Ψηφιακό 6-bits Συχνότητας Δειγματοληψίας 2.5 GHz, Θεσσαλονίκη 2010.
- [20] A. Dixit, "Design of a high speed analog to digital converter for data storage channels", Master of Science report, Department of Electrical and Computer Engineering Carnegie Mellon University, Pittsburgh, 1998
- [21] Ferreira LHC, Pimenta TC, Moreno RL. An ultra-low-voltage ultra-low-power CMOS Miller OTA with rail-to-rail input/output swing. IEEE Transactions on Circuits and Systems II 2007; 45(10):843–847
- [22] Τιμοθέου, Χρίστου, Μελέτη και Σχεδίαση Γραμμικού Digital to Analog Converter, Πάτρα, 2010
- [23] Stockstad T, Yoshizawa H. A 0.9-V 0.5-mA rail-to-rail CMOS operational amplifier. IEEE Journal of Solid-State Circuits 2002; 37(3):286–292
- [24] J.-M. Sallese, M. Bucher, F. Krummenacher, P. Fazan, "Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model", Solid-State Electronics, Vol. 47, Nr.4, pp.677-683, Apr.2003
- [25] C. Enz, E. Vittoz, "Charge Based MOS Transistor Modeling", John Wiley and Sons, Chichester, 2006.

