

DESIGN AND LAYOUT TECHNIQUES IN ANALOG/RF INTEGRATED CIRCUITS

Μεταπτυχιακή Εργασία

Κώστας Παπαθανασίου

Σχολή Ηλεκτρονικών Μηχανικών και Υπολογιστών
Πολυτεχνείο Κρήτης, 2014



DESIGN AND LAYOUT TECHNIQUES IN ANALOG/RF INTEGRATED CIRCUITS

Μεταπτυχιακή Εργασία

Κώστας Παπαθανασίου

Εξεταστική Επιτροπή:

Επίκουρος Καθηγητής Ματτίας Μπούχερ (Επιβλέπων)

Καθηγητής Κωνσταντίνος Μπάλας

Καθηγητής Κωνσταντίνος Καλαιτζάκης

**Σχολή Ηλεκτρονικών Μηχανικών και Μηχανικών Υπολογιστών
Πολυτεχνείο Κρήτης, 2014**



Ευχαριστίες

Στο σημείο αυτό θα ήθελα να εκφράσω την ευγνωμοσύνη μου στον καθηγητή κ. Μπούχερ, πρώτα από όλα για την ευκαιρία που μου έδωσε να είμαι μέρος της ομάδας του και ουσιαστικά την εμπιστοσύνη που έδειξε στο πρόσωπο μου, δεύτερον για την καθοδήγηση και τις συμβουλές του όλα τα χρόνια του μεταπτυχιακού και τρίτον για το γεγονός ότι ήταν πάντα δίπλα μας σε κάθε ανάγκη, ερευνητική και προσωπική.

Ιδιαίτερες ευχαριστίες θα ήθελα να δώσω στους καθηγητές κ. Μπάλα και κ. Καλαιτζάκη που δέχτηκαν να είναι μέρος αυτής της δουλειάς και μέλη της εξεταστικής επιτροπής.

Επίσης θα ήθελα να ευχαριστήσω όλα τα παιδιά που πέρασαν από το εργαστήριο μικροηλεκτρονικής και ειδικότερα τον Ν. Μαυρεδάκη και Γ. Γυρούκη που βοήθησαν να κυλήσουν πιο ευχάριστα οι ατέλειωτες ώρες και τα ξενύχτια στο εργαστήριο δημιουργώντας ένα ιδανικό κλίμα και μια δεμένη ομάδα. Ιδιαίτερες ευχαριστίες όμως θα ήθελα να δώσω στους ακρογωνιαίους λίθους του εργαστηρίου Α. Αντωνόπουλο και Ν. Μακρή πρώτα από όλα για την φιλία τους και το γεγονός ότι στάθηκαν δίπλα μου ακόμα και τις πιο δύσκολες στιγμές και δεύτερον διότι χωρίς την πολύτιμη βοήθεια τους δεν θα είχε βγει ποτέ αυτό το αποτέλεσμα.

Τον Γ. Παπουτσόγλου και τις αδερφές Βεργανελάκη, Αναστασία και Άννα, για το γεγονός ότι έπαιξαν καθοριστικό ρόλο στην γρήγορη ανάρρωση μου από ένα απρόσμενο ατύχημα, τους ευχαριστώ και τους ευγνωμονώ για αυτό.

Για το τέλος άφησα τους πιο σημαντικούς, τους γονείς μου και τα αδέρφια μου για την αμέριστη εμπιστοσύνη και συμπαράσταση που μου έχουν δείξει όλα αυτά τα χρόνια των σπουδών μου και που δεν έπαψαν ποτέ να με στηρίζουν, χωρίς αυτούς δεν θα τα είχα καταφέρει.

Περίληψη

Τα τελευταία χρόνια, η ραγδαία ανάπτυξη στα αναλογικά ολοκληρωμένα κυκλώματα πολύ υψηλών συχνοτήτων (RFIC) οφείλεται κυρίως στην εξέλιξη της τεχνολογίας CMOS. Οι λόγοι που οδήγησαν σε αυτήν την ανάπτυξη συνοψίζονται κυρίως στους εξής: την υψηλή απόδοση, που απορρέει από τη σμίκρυνση του μήκους καναλιού των CMOS τεχνολογιών, το χαμηλότερο κόστος τους, συγκριτικά με άλλες τεχνολογίες, καθώς και την γρήγορη ενσωμάτωση τους στον τομέα της μικροηλεκτρονικής. Αποτέλεσμα των παραπάνω, είναι τεχνολογίες CMOS με μήκος καναλιού κάτω από τα 45nm να θεωρούνται, πλέον, αιχμή της τεχνολογίας. Λόγω του υψηλού λόγου απόδοσης προς κόστος και της αξιοπιστίας (reliability) τους, τεχνολογίες με μεγαλύτερα μήκη καναλιού (90nm ή και 180nm) χρησιμοποιούνται ακόμα και στις μέρες μας κατά κόρον στην σχεδίαση και κατασκευή RFICs.

Σκοπός της παρούσας μεταπτυχιακής εργασίας είναι η μελέτη και αξιοποίηση τεχνικών σχεδίασης για RFICs υψηλής απόδοσης, καλύπτοντας ένα μεγάλο εύρος CMOS τεχνολογιών, από τα 90nm ως τα 30nm. Η παρούσα έρευνα εκτείνεται από την ορθή υλοποίηση του φυσικού σχεδίου (layout) RF διατάξεων και κυκλωμάτων έως τον καθορισμό του βέλτιστου σημείου λειτουργίας τους και βρίσκει εφαρμογή σε κυκλώματα ενισχυτών χαμηλού θορύβου (LNA). Για τον σκοπό αυτό σχεδιάστηκε, υλοποιήθηκε και κατασκευάστηκε ένα RF τεστ τσιπ σε τεχνολογία 90nm της TSMC. Οι δομές που υλοποιήθηκαν, στη συνέχεια μετρήθηκαν on wafer, χαρακτηρίστηκαν και μοντελοποιήθηκαν με το EKV3 μοντέλο έως τα 26.5GHz. Εν συνεχεία, μελετήθηκε και παρουσιάζεται η επίδραση βασικών παραμέτρων σχεδίασης, όπως μήκος (L), πλάτος (W) καναλιού, αριθμός δακτύλων (N_F) στην απόδοση των MOSFET δομών και των ενισχυτών χαμηλού θορύβου, μέσω αντιπροσωπευτικών δεικτών απόδοσης (figures of merit), σε τεχνολογία με μήκος καναλιού 90nm.

Οι συγκεκριμένοι δείκτες απόδοσης μελετήθηκαν επίσης σε προηγμένη CMOS τεχνολογία με μήκος καναλιού 30nm. Τα αποτελέσματα, τα οποία επικυρώθηκαν με το EKV3 μοντέλο, ανέδειξαν την μετατόπιση του βέλτιστου σημείου λειτουργίας RF κυκλωμάτων προς το μέσο της περιοχής μέτρησης αναστροφής, με την μείωση του μήκους καναλιού. Το γεγονός αυτό είναι πολύ σημαντικό, καθώς καθιστά εφικτή την μείωση της κατανάλωσης ισχύος, με ταυτόχρονη αύξηση της συνολικής απόδοσης των εν λόγω κυκλωμάτων.

1	ΕΙΣΑΓΩΓΗ	6
2	ΥΛΟΠΟΙΗΣΗ TEST CHIP	9
2.1	ΤΕΧΝΟΛΟΓΙΑ CMOS	10
2.1.1	Triple-well τεχνολογία	11
2.2	ΒΕΛΤΙΣΤΟΠΟΙΗΣΗ ΦΥΣΙΚΟΥ ΣΧΕΔΙΟΥ (LAYOUT)	12
2.3	ΦΥΣΙΚΟ ΣΧΕΔΙΟ (LAYOUT) ΓΙΑ ON-WAFER RF ΜΕΤΡΗΣΕΙΣ	14
2.3.1	Καθορισμός Διαστάσεων των I/O Pads	14
2.3.2	Καθορισμός ελάχιστης απόστασης μεταξύ των I/O Pads.....	15
2.3.3	Passivation Window	16
2.3.4	Υλοποίηση I/O PADS	17
2.4	ΦΥΣΙΚΟ ΣΧΕΔΙΟ RF TEST CHIP	19
2.4.1	Υλοποίηση DC δομών	20
2.4.2	Υλοποίηση CV δομών.....	22
2.4.3	Υλοποίηση RF δομών	23
2.4.4	Υλοποίηση LNA	25
2.5	ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ	29
3	ΜΕΤΡΗΣΕΙΣ ΥΨΗΛΩΝ ΣΥΧΝΟΤΗΤΩΝ	31
3.1	ΕΙΣΑΓΩΓΗ.....	31
3.2	ΣΥΣΤΗΜΑ ΜΕΤΡΗΣΕΩΝ ΥΨΗΛΩΝ ΣΥΧΝΟΤΗΤΩΝ	32
3.3	ΠΡΟΣΔΙΟΡΙΣΜΟΣ ΜΕΓΙΣΤΗΣ ΙΣΧΥΟΣ RF ΣΗΜΑΤΟΣ	33
3.4	ON-WAFER ΒΑΘΜΟΝΟΜΗΣΗ ΣΥΣΤΗΜΑΤΟΣ ΜΕΤΡΗΣΕΩΝ ΥΨΗΛΩΝ ΣΥΧΝΟΤΗΤΩΝ (CALIBRATION).....	33
3.4.1	Επαλήθευση της On-Wafer Βαθμονόμησης.....	35
3.5	ΜΕΘΟΔΟΣ ΑΠΕΝΣΩΜΑΤΩΣΗΣ ΠΑΡΑΣΙΤΙΚΩΝ ΦΑΙΝΟΜΕΝΩΝ ----- "DE-EMBEDDING"	36
3.5.1	Επικύρωση της διαδικασίας του "De-Embedding"	46
4	ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΚΑΙ ΜΟΝΤΕΛΟΠΟΙΗΣΗ MOSFET ΣΤΙΣ ΥΨΗΛΕΣ ΣΥΧΝΟΤΗΤΕΣ	47
4.1	ΤΙ ΔΙΑΦΕΡΕΙ ΣΤΑ RF MOSFETS.....	48
4.2	ΜΟΝΤΕΛΟΠΟΙΗΣΗ MOSFET ΣΤΙΣ ΥΨΗΛΕΣ ΣΥΧΝΟΤΗΤΕΣ	49
4.2.1	Μοντελοποίηση του Εσωτερικού Τμήματος (Intrinsic) των MOSFETs.....	51
4.2.2	Μοντελοποίηση του Εξωτερικού Τμήματος (Extrinsic) των MOSFETs.....	52
4.3	ΛΕΙΤΟΥΡΓΙΑ MOST'S ΔΙΑΤΑΞΕΩΝ ΣΤΙΣ ΥΨΗΛΕΣ ΣΥΧΝΟΤΗΤΕΣ	54
4.4	ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΕΧΝΟΛΟΓΙΑΣ CMOS 90NM ΚΑΙ ΕΞΑΓΩΓΗ ΠΑΡΑΜΕΤΡΩΝ ΜΕ ΤΟ ΕKV3 ΜΟΝΤΕΛΟ.....	57
4.5	ΔΕΙΚΤΕΣ ΑΠΟΔΟΣΗΣ MOSFET'S ΓΙΑ ΣΧΕΔΙΑΣΗ RFIC ΚΥΚΛΩΜΑΤΩΝ.....	62
4.5.1	Γεωμετρική Εξάρτηση των Δεικτών Απόδοσης MOST's	67
4.6	ΜΗ ΓΡΑΜΜΙΚΟΤΗΤΕΣ ΣΤΑ RF MOSFET'S	74
5	ΤΟ ΕKV3 ΜΟΝΤΕΛΟ ΚΑΙ ΟΙ ΠΡΟΚΛΗΣΕΙΣ ΤΩΝ ΣΥΓΧΡΟΝΩΝ ΤΕΧΝΟΛΟΓΙΩΝ.....	76
5.1	ΕΙΣΑΓΩΓΗ.....	77
5.2	Έλεγχος Συμμετρίας Συμπαγούς Μοντέλου ΕKV3	78
5.3	ΦΑΙΝΟΜΕΝΟ ΑΓΩΓΙΜΟΤΗΤΑΣ ΤΩΝ ΆΚΡΩΝ – EDGE EFFECT	80
5.4	ΤΟ ΕKV3 ΜΟΝΤΕΛΟ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ ΑΙΧΜΗΣ	82
6	ΣΥΜΠΕΡΑΣΜΑΤΑ - ΜΕΛΛΟΝΤΙΚΗ ΕΡΓΑΣΙΑ	88
	ΒΙΒΛΙΟΓΡΑΦΙΑ	89
	ΔΗΜΟΣΙΕΥΣΕΙΣ	97

Κεφάλαιο 1

1 Εισαγωγή

Η αυξανόμενη πρόοδος στις περισσότερες τεχνολογικές περιοχές – από την βιοιατρική έως την εξερεύνηση του διαστήματος – έχουν αποκομίσει τεράστια οφέλη από την συνεχόμενη και μαζική εξέλιξη που έχει επιτευχθεί στο τομέα της μικροηλεκτρονικής. Με την ανάγκη ολοένα να πληθαίνει για μεγαλύτερη επεξεργασία δεδομένων μειώνοντας παράλληλα το χρόνο και την κατανάλωση, με τα δίκτυα 5^{ης} γενιάς (5G) να είναι προ των πυλών, η βιομηχανία ημιαγωγών προσπαθεί αδιάκοπα να σμικρύνει τα βασικά ενεργά και παθητικά δομικά κυκλώματα προκειμένου να πετύχουμε μεγαλύτερες συχνότητες λειτουργίας, χαμηλότερη κατανάλωση αλλά και μικρότερη επιφάνεια. Παρόλα αυτά, η ταχύτατη εξέλιξη προς την κατεύθυνση της κλιμακωτής σμίκρυνσης αυτών των στοιχείων αντιμετωπίζει διάφορες προκλήσεις όσον αφορά τα υλικά, την αρχιτεκτονική, την κατασκευή και ολοκλήρωση νάνο δομικών στοιχείων (ενεργών και παθητικών) με προβλεπόμενη απόδοση. Διευκρινίζουμε ότι ως απόδοση αναφερόμαστε στην αξιοπιστία, ταχύτητα, συμβατότητα και κατανάλωση ισχύος.

Μια ερώτηση που προκύπτει και εύλογα ταλανίζει την κοινότητα της μικροηλεκτρονικής είναι γιατί πυρίτιο (Why Silicon) καθώς το πυρίτιο δεν είναι η πρώτη επιλογή όταν αναφερόμαστε σε *mm-wave* συστήματα. Ως *mm-wave* συχνότητες διευκρινίζουμε ότι είναι οι συχνότητες πάνω από τα 30GHz. Η απόδοση του πυριτίου στις *mm-wave* συχνότητες είναι ακόμα υποδεέστερη έναντι τεχνολογιών όπως GaAs, PHEMT, InP HEMT, και GaN. Η ευκινησία των φορέων του πυριτίου είναι χαμηλότερη έναντι των άλλων περιορίζοντας την απόδοση της τεχνολογίας. Ενώ το f_T στις σημερινές CMOS τεχνολογίες είναι κάτω από τα ~250GHz, έχουν αναφερθεί τεχνολογίες InP με f_T της τάξης των 400GHz και F_{max} πάνω από 1THz. Επιπλέον, η αντίσταση υποστρώματος στο πυρίτιο είναι σχετικά μικρή με αποτέλεσμα την φτωχή απομόνωση και τις υψηλές απώλειες στα ολοκληρωμένα παθητικά στοιχεία. Παρά τα συγκεκριμένα πλεονεκτήματα των III-V τεχνολογιών το

κόστος παραμένει υψηλό με το ενδιαφέρον να στρέφεται στις τεχνολογίες πυριτίου για εμπορικά διαθέσιμα *mm-wave* συστήματα. Η διεθνής βιομηχανία ημιαγωγών πυριτίου όμως μπορεί να εξασφαλίσει χαμηλό κόστος και υψηλές αποδόσεις σε σύγκριση με τις ανταγωνιστικές III-V τεχνολογίες. Τα τελευταία χρόνια η εξέλιξη της τεχνολογίας πυριτίου, κυρίως οδηγήθηκε από τις ψηφιακές εφαρμογές δίνοντας όμως την ευκαιρία στα στοιχεία πυριτίου (ενεργά και παθητικά) να παρουσιάσουν μια ικανοποιητική απόδοση στις *mm-wave* συχνότητες. Πιο συγκεκριμένα, η απόδοση των CMOS τεχνολογιών η οποία χαρακτηρίζεται από τους δείκτες f_T , F_{MAX} και NF_{min} έχει βελτιωθεί σημαντικά με την κλιμάκωση των γεωμετριών στα MOSFET's σε νέα πιο μικρά μήκη καναλιού. Εκτός από το διαφαινόμενο όφελος στο κόστος, το πυρίτιο προσφέρει μοναδικά πλεονεκτήματα ολοκλήρωσης έναντι των III-V τεχνολογιών. Η δυνατότητα για υψηλότερης τάξης και αποδοτικότερης ολοκλήρωσης επιτρέπει την υλοποίηση όλων των δομικών κυκλωμάτων ενός πομποδέκτη σε ένα μόνο τσιπ πυριτίου. Η μελλοντική εξαιρετική απόδοση του πυριτίου προκαλεί τον κόσμο της μικροηλεκτρονικής για σχεδιάσεις RFIC κυκλωμάτων ακόμα και πάνω από τη συχνότητα των 100GHz.

Η έρευνα στην οποία βασίστηκε η παρούσα διπλωματική ακολουθεί δυο βασικούς πυλώνες. Από τη μια πλευρά βρίσκεται η συνεισφορά μας στη διάχυση κρίσιμων μεθόδων και θεμάτων που αφορούν το φυσικό σχεδιασμό (Layout) και βελτιστοποιούν την υλοποίηση RF Test Chip που θα προορίζονται για on-wafer μετρήσεις καθώς και μέθοδοι αξιόπιστων RF μετρήσεων. Σε αυτό το σημείο να αναφέρουμε ότι για πρώτη φορά στην ιστορία του πολυτεχνείου Κρήτης σχεδιάσθηκε, υλοποιήθηκε και εν τέλει κατασκευάστηκε από την TSMC ένα RF test chip σε τεχνολογία CMOS 90nm. Από την άλλη μεριά, έγκειται στο γεγονός του ενδεδειγμένου RF χαρακτηρισμού και μοντελοποίησης ενεργών διατάξεων MOSFET's με το EKV3 μοντέλο, μιας τεχνολογίας CMOS με μήκος καναλιού 90nm της TSMC και μιας τεχνολογίας αιχμής μήκους καναλιού 30nm. Συνεισφέραμε στην εύρεση του βέλτιστου σημείου λειτουργίας των ενισχυτών χαμηλού θορύβου (LNA) αξιοποιώντας τους επιμέρους δείκτες όπως είναι η συχνότητα λειτουργίας, η κατανάλωση και ο θόρυβος δίνοντας μια ώθηση στη σχεδίαση κυκλωμάτων χαμηλής κατανάλωσης και τροφοδοσίας στις υψηλές συχνότητες. Ουσιαστικά προσπαθήσαμε να δώσουμε απάντηση στο κρίσιμο ερώτημα σχετικά με τα όρια της CMOS τεχνολογίας και πιο συγκεκριμένα, για μια δοσμένη τεχνολογία ποια είναι η

κατάλληλη συχνότητα που μπορούν να σχεδιασθούν RFIC κυκλώματα με αποδεκτή απόδοση και λογική κατανάλωση ισχύος.

Η κατανομή της παρούσας διπλωματικής είναι όπως ακολουθεί:

Κεφάλαιο 2, επικεντρώνεται στις μεθόδους φυσικής σχεδίασης ενός RF test Chip ενεργών διατάξεων τεχνολογίας 90nm που προορίζεται για on-wafer μετρήσεις. Επίσης αναπτύσσονται τρόποι βελτιστοποίησης μέσω του φυσικού σχεδίου της απόδοσης ενός ενισχυτή χαμηλού θορύβου (LNA) με συχνότητα λειτουργίας 30GHz.

Κεφάλαιο 3, επικεντρώνεται στην υλοποίηση ενός αξιόπιστου συστήματος RF μετρήσεων. Κατόπιν, ζητήματα όπως calibration και de-embedding εξετάζονται λεπτομερώς.

Κεφάλαιο 4, γίνεται ανάλυση μικρού σήματος τεχνολογίας 90nm με ιδιαίτερη μνεία στους RF δείκτες απόδοσης, συμβατικούς και νέους, ως προς την πόλωση και την γεωμετρική τους εξάρτηση, μήκος-πλάτος καναλιού και αριθμού δαχτύλων (*number of fingers*). Επίσης μελετώνται οι μη γραμμικότητες.

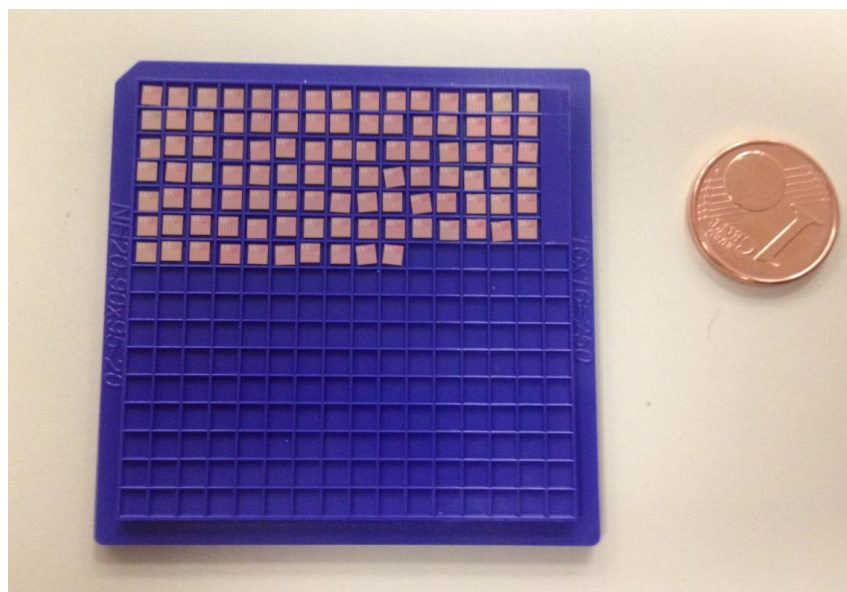
Κεφάλαιο 5, μελετάται η συμμετρία του EKV3 μοντέλου ως προς τις χωρητικότητες και τα ρεύματα του πυρήνα του μοντέλου καθώς και το edge effect, που είναι μια ανεπιθύμητη λειτουργία των MOSFET's. Επίσης, παρουσιάζεται μια προηγμένη τεχνολογία πυριτίου 30nm και μελετάται ως προς τους δείκτες απόδοσης με το EKV3 μοντέλο.

Κεφάλαιο 6, παρουσιάζονται τα συμπεράσματα καθώς και η μελλοντική δουλειά.

Κεφάλαιο 2

2 Υλοποίηση Test Chip

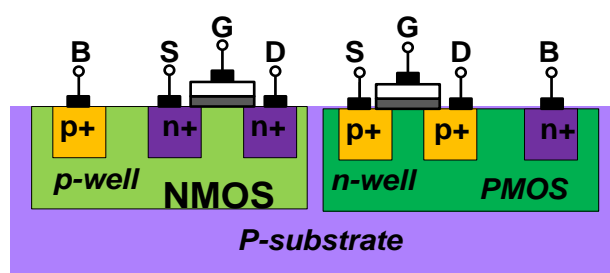
Στα πλαίσια της παρούσας διπλωματικής σχεδιάστηκε και υλοποιήθηκε για πρώτη φορά στην ιστορία του Πολυτεχνείου Κρήτης ένα Mini-Asic "test chip" μέσω της Europractice. Στην συνέχεια κατασκευάστηκε από την εταιρεία TSMC (Taiwan-Semiconductor-Manufacturing-Company). Επιλέχθηκε τεχνολογία χαμηλής κατανάλωσης (LP), με ονομαστικό πλάτος καναλιού 90nm ($L=100\text{nm}$) και για την ακρίβεια η "TSMCN90RF". Το "test chip" απαρτίζεται από δομές κατάλληλες για DC (Drain-Current), CV (Capacitance-Voltage) και RF (Radio-Frequency) χαρακτηρισμό ενεργών διατάξεων. Επίσης σχεδιάστηκε και ενσωματώθηκε ένας ενισχυτής χαμηλού θορύβου (LNA) με συχνότητα λειτουργίας 30GHz για την επαλήθευση ορθής λειτουργίας της τεχνολογίας TSMC και των μοντέλων της (BSIM4) στις υψηλές συχνότητες. Η συνολική επιφάνεια που καταλάμβανε το "test chip" ήταν $1920 \times 1920 \mu\text{m}$ περιλαμβανομένου και του Seal Ring. Στην εικόνα 2.1 διακρίνονται εκατό δείγματα "test chip" όπου το καθένα από αυτά έχει διαστάσεις $1920 \times 1920 \mu\text{m}$, παραμένει βέβαια εντυπωσιακό πόσες διαφορετικές διατάξεις μπορούν να ολοκληρωθούν σε μια τόσο μικρή επιφάνεια.



Εικόνα 2.1: 100 Mini-ASIC "test chip"

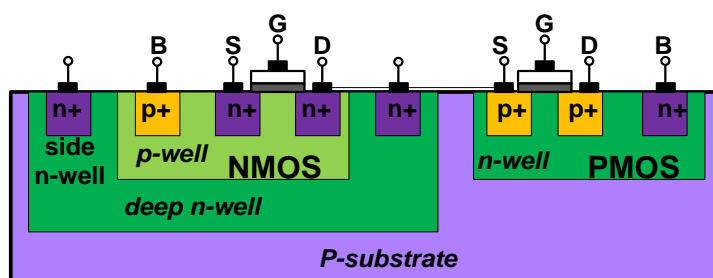
2.1 Τεχνολογία CMOS

Στην τεχνολογία CMOS "Complementary Metal Oxide Semiconductor" μπορούν να κατασκευασθούν/τυπωθούν στο ίδιο υπόστρωμα p-MOSFETs και n-MOSFETs ταυτόχρονα. Υπάρχουν δυο βασικές CMOS τεχνολογίες, η "n-well" και η "p-well". Τα PMOS ενσωματώνονται σε υπόστρωμα τύπου "n" (n-substrate) και αντίστοιχα τα NMOS σε υπόστρωμα τύπου "p" (p-substrate). Η "dual-well" διαδικασία περιλαμβάνει τόσο "p-wells" όσο και "n-wells" ενσωματωμένα σε υπόστρωμα με μικρή πρόσμιξη φορέων που είναι είτε τύπου "p" είτε τύπου "n", εικόνα 2.2.



Εικόνα 2.2: CMOS "Dual-well" process

Στις πιο σύγχρονες τεχνολογίες υπάρχει ακόμα μια διαδικασία (process) που ονομάζεται "triple-well". Η τεχνολογία "triple-well" περιλαμβάνει ένα ακόμα στρώμα (layer) τύπου "n" το οποίο απομονώνει το "p-well" από το υπόστρωμα, εικόνα 2.3.



Εικόνα 2.3: CMOS "Triple-well" process

Στις state-of-the-art διαδικασίες CMOS χρησιμοποιούνται αρκετά στρώματα μετάλλων για τη δημιουργία των διασυνδέσεων και για τη δρομολόγηση της παροχής ρεύματος, του σήματος και των γραμμών ρολογιού στην επιφάνεια του ολοκληρωμένου. Η διαθεσιμότητα πολλαπλών μεταλλικών στρωμάτων, όπου κάθε στρώμα είναι ηλεκτρικά απομονωμένο από τα γειτονικά του μέσω διηλεκτρικού επιτρέπει υψηλότερες πυκνότητες ολοκλήρωσης για την πραγματοποίηση σύνθετων δομών. Οι ηλεκτρικές συνδέσεις γίνονται με περάσματα που τοποθετούνται

οπουδήποτε χρειάζεται μια τέτοια επαφή. Κάθε πέρασμα διαμορφώνεται δημιουργώντας ένα άνοιγμα (παράθυρο) στο οξειδίο απομόνωσης πριν από κάθε νέο βήμα επιμετάλλωσης και γεμίζοντας το άνοιγμα του οξειδίου με ένα ειδικό μεταλλικό βύσμα, συνήθως βολφράμιο. Ακολουθώντας την δημιουργία των περασμάτων, ένα νέο στρώμα τοποθέτησης μετάλλου και ένα επόμενο μάσκας διαμορφώνουν το επόμενο επίπεδο επιμετάλλωσης [1].

2.1.1 Triple-well τεχνολογία

Στα αναλογικά κυκλώματα η triple-well CMOS τεχνολογία χρησιμοποιείται για να μειωθεί ο θόρυβος και το cross-talk μεταξύ PMOS και NMOS. Αντίστοιχα το όφελος για τα ψηφιακά κυκλώματα έγκειται στο γεγονός ότι πλέον καθίσταται εφικτή η μείωση της τάσης κατωφλίου το οποίο έχει σαν αποτέλεσμα μείωση της κατανάλωσης και πιο γρήγορα κυκλώματα. Η ενσωμάτωση του "deep n-well" σε μια συμβατή CMOS τεχνολογία τείνει να καθιερωθεί για να μειώσουμε τις ανεπιθύμητες παρεμβολές στα RF CMOS [2-6].

Το "deep n-well" στρώμα απομονώνει το "p-substrate" από το "p-well" με αποτέλεσμα να μειώνεται η σύζευξη (coupling) μέσω υποστρώματος και σαν συνέπεια αυτού και ο θόρυβος. Η εμφύτευση του "n-well" πρέπει να γίνεται αρκετά βαθιά για λόγους πρόληψης, γι αυτό και ονομάζεται "deep n-well". Με αυτό το τρόπο προλαμβάνετε να μην επηρεαστεί/αλλάξει η ηλεκτρική συμπεριφορά του στοιχείου που κατασκευάζεται σε "p-well". Η τάση κατωφλίου των NMOS "triple-well" τεχνολογίας μπορεί να καθοριστεί μεμονωμένα προσαρμόζοντας την πόλωση στο "p-well" του κάθε στοιχείου, εξυπακούεται ότι για να συμβεί αυτό σημαίνει ότι έχουν κατασκευασθεί όλα τα NMOS σε διαφορετικά "p-well".

Συγκρίνοντας ένα συμβατό RF MOSFET με αυτό που έχει υλοποιηθεί σε "triple-well" τεχνολογία διακρίνουμε (εικόνα 2) ότι το "deep n-well" ουσιαστικά χωρίζει το υπόστρωμα σε τρία μέρη: 1) το "deep n-well" από μόνο του, 2) το "p-well" μέσα στο "deep n-well" και 3) το κλασικό υπόστρωμα "p-substrate". Αυτό έχει σαν αποτέλεσμα να δημιουργηθεί ένα ζεύγος από διόδους αντικριστά η μία στην άλλη ως προς το "deep n-well". Όταν πολωθούν ανάστροφα αυξάνεται θεαματικά η παρασιτική αντίσταση του υποστρώματος με αποτέλεσμα την καταστολή/μείωση του φαινομένου "cross-talk" στο υπόστρωμα.

2.2 Βελτιστοποίηση Φυσικού Σχεδίου (Layout)

Στις υψηλές συχνότητες, το φυσικό σχέδιο των στοιχείων και ειδικότερα των κυκλωμάτων επηρεάζει σε μεγάλο βαθμό την απόδοσή τους. Συνέπεια αυτού είναι να καθίσταται αρκετά σημαντική η προσεκτική υλοποίηση του φυσικού σχεδίου ώστε να δώσει ώθηση στα CMOS και στα ολοκληρωμένα για ακόμα πιο υψηλές συχνότητες. Σε αντίθεση με τα κυκλώματα χαμηλού θορύβου, στις υψηλές συχνότητες μπορεί να αλλάξει δραστικά η απόδοσή τους λόγω των διαφορετικών layout προσεγγίσεων. Έχει αναφερθεί να μεταβάλλεται η ταχύτητα των τρανζίστορ από τα 80GHz στα 280GHz (τεχνολογία 90nm CMOS) κυρίως λόγω διαφορετικών layout δομών [7][8]. Τα πιο κοινά και σημαντικά μεγέθη που χαρακτηρίζουν τα RF MOSFETs είναι το μοναδιαίο κέρδος (F_T), η μέγιστη συχνότητα ταλάντωσης (F_{MAX}), το μέγιστο μοναδιαίο κέρδος (U), ο ελάχιστος θόρυβος υψηλών συχνοτήτων NF και η ισχύς εξόδου. Η επιλογή του κατάλληλου μέτρου προς βελτιστοποίηση εξαρτάται από τη συγκεκριμένη εφαρμογή που προορίζεται το στοιχείο.

Η συχνότητα μοναδιαίου κέρδους F_T είναι ο πιο διαδεδομένος δείκτης απόδοσης και ουσιαστικά υποδηλώνει την συχνότητα κατά την οποία το κέρδος ρεύματος του στοιχείου γίνεται ίσο με ένα. Μπορεί να υπολογιστεί από την H_{21} του στοιχείου και είναι ίση με:

$$F_t = F_{H21=1} = 2\pi \frac{g_m}{C_{GS}+C_{GD}} \quad (1)$$

όπου g_m είναι η διαγωγιμότητα του στοιχείου και C_{GS} , C_{GD} είναι η συνολική χωρητικότητα Gate-to-Source και Gate-to-Drain περιλαμβάνοντας τις παρασιτικές. Όταν το layout έχει σχεδιασθεί με σύνεση ώστε να μην προσθέτει έξτρα χωρητικότητες, το F_T καθορίζεται κυρίως από το εσωτερικό μέρος (intrinsic) του MOSFET. Λόγω της (1) αναμένεται οι απώλειες λόγω παρασιτικών αντιστάσεων να μην έχουν επίδραση στη συχνότητα μοναδιαίου κέρδους.

Ένας ακόμα δείκτης απόδοσης που αντικατοπτρίζει τα όρια ενός MOSFET είναι η μέγιστη συχνότητα ταλάντωσης (F_{max}). Η " F_{max} " εξαρτάται σε μεγάλο βαθμό από τις παρασιτικές απώλειες του τρανζίστορ και μπορεί να βελτιωθεί ή ακόμα και να υποβαθμιστεί κατά την σχεδίαση του φυσικού σχεδίου. Λόγω της εξάρτησής της από το layout, η " F_{max} " μπορεί να ποικίλει λαμβάνοντας τιμές μικρότερες ή και μεγαλύτερες του F_T . Η αναλογία F_{max}/F_T αποτελεί έναν δείκτη απόδοσης το οποίο δηλώνει την βελτιστοποίηση στο layout [9][10].

Κάνοντας την υπόθεση ότι η αντίσταση της πηγής (R_s) είναι μικρότερη από την συνολική αντίσταση πύλης η F_{\max} καθορίζεται από τον τύπο:

$$F_{MAX} \approx \frac{F_T}{2\sqrt{R_G(g_{ds}+2\pi F_T C_{GD})}} \quad (2)$$

όπου R_G είναι η συνολική αντίσταση πύλης. Η εξίσωση (2) δείχνει την επίδραση της αντίστασης της πύλης R_G και της χωρητικότητας μεταξύ πύλης-επαγωγού C_{GD} στην τιμή της F_{\max} και υποδηλώνει ποιες παράμετροι πρέπει να ελαχιστοποιηθούν προκειμένου να αυξηθεί η F_{\max} [11].

Στις υψηλές συχνότητες δύο φαινόμενα κυρίως επηρεάζουν την τιμή της αντίστασης πύλης, το φαινόμενο κατάτμησης της πύλης σε γραμμές μεταφοράς (distributed transmission line effect) και το άλλο τα Non Quasi Static (NQS) φαινόμενα. Η αντίσταση R_G μειώνεται όσο το μήκος καναλιού της πύλης L_f μειώνεται. Η εξάρτηση της R_G από το μήκος καναλιού L_f μεταβάλλεται για διαφορετικές πολώσεις πηγής-πύλης (V_{GS}), όπου για χαμηλά V_{GS} η εξάρτηση είναι πιο ισχυρή. Το φαινόμενο της κατάτμησης της πύλης καναλιού σε γραμμές μεταφοράς εντείνεται στις υψηλές συχνότητες όσο το πλάτος της πύλης διευρύνεται. Προκειμένου να μειώσουμε αυτή την αλληλεπίδραση, προτιμώνται δομές MOSFET πολλών δαχτύλων (multifinger devices). Η αντίσταση της πύλης στις υψηλές συχνότητες μπορεί να υπολογισθεί από την εξίσωση που ακολουθεί:

$$R_{G,poly} = \frac{R_{Gsh}}{N_f * L_f} (W_{ext} + \frac{W_f}{a})$$

Όπου R_{Gsh} είναι η sheet resistance της πύλης, W_f είναι το πλάτος κάθε δαχτύλου, L_f είναι το μήκος καναλιού, N_f είναι ο αριθμός των δαχτύλων (number of fingers) και W_{ext} είναι η επέκταση του πολυπυρίτιου της πύλης πάνω από την ενεργό περιοχή. Ο συντελεστής "a" σχετίζεται με την φύση της κατάτμησης της αντίστασης πύλης και είναι ίσος με 1/3 για μόνη επαφή στη πύλη ή 1/12 αν η πύλη συνδέεται σε δυο σημεία [2] [9].

Προκειμένου να βελτιστοποιήσουμε την αντίσταση της πύλης, για την ακρίβεια να την μειώσουμε ενδείκνυται να χρησιμοποιούμε όσο το δυνατόν περισσότερα number of fingers διατηρώντας όμως σταθερό το συνολικό πλάτος της πύλης. Ένας ακόμα τρόπος βελτίωσης της R_G είναι επιλέγοντας "double gate contacts". Από τη στιγμή που κάθε δάχτυλος πύλης αναπαριστά ένα RC δικτύωμα, τότε η διπλή επαφή στην πύλη θα μειώσει την αντίσταση της πύλης κατά 4 φορές [12].

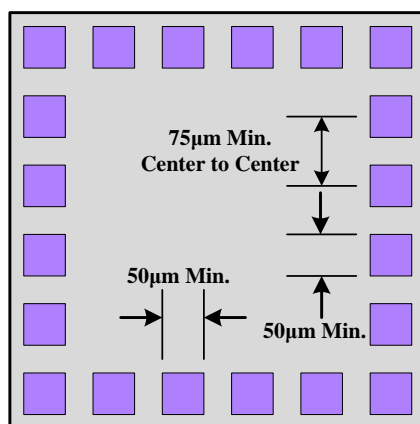
2.3 Φυσικό Σχέδιο (Layout) για On-Wafer RF Μετρήσεις

Αυτό το υποκεφάλαιο περιγράφει τους κανόνες σχετικά με την σωστή τοποθέτηση και το μέγεθος των "pads". Στις περισσότερες υλοποιήσεις τα "pads" για on-wafer μετρήσεις μπορούν να χρησιμοποιηθούν και ως "bond pads", έτσι το τελικό layout πρέπει να ικανοποιεί τις προδιαγραφές για "probing" και "bonding". Ένα καλό layout που έχει σχεδιασθεί για μετρήσεις on-wafer είναι επίσης καλό στις περισσότερες των περιπτώσεων και για packaging.

Στις on-wafer μετρήσεις υψηλών συχνοτήτων οι RF ακίδες (GHz probes) μαζί με τον αναλυτή δικτύου (VNA) συνθέτουν ένα σύστημα μετρήσεων, η μέτρηση όμως (μετά το calibration του VNA) του στοιχείου μας περιλαμβάνει παρασιτικά από τα "pads" και παρασιτικά που σχετίζονται με τις συνδέσεις από τα "pads" στο στοιχείο μας. Εάν θέλουμε να μετρήσουμε ένα στοιχείο όσο το δυνατόν πιο ανεπηρέαστο από εξωτερικούς παράγοντες, εκτός της διαδικασίας του "De-embedding" συνίσταται να σχεδιάζονται τα pad όσο το δυνατόν πιο μικρά, ώστε η επίδραση τους στο στοιχείο να είναι αμελητέα ή να μπορεί εύκολα να αφαιρεθεί από τα δεδομένα των μετρήσεων.

2.3.1 Καθορισμός Διαστάσεων των I/O Pads

Οι ελάχιστες διαστάσεις των pad για on wafer RF μετρήσεις είναι 50x50μm και για μετρήσεις γενικού σκοπού οι διαστάσεις εκτείνονται ως τα 100x100μm, να σημειωθεί ότι αυτές είναι οι προτεινόμενες διαστάσεις για διευκόλυνση της διαδικασίας των μετρήσεων και όχι ο κανόνας. Σε ειδικές περιπτώσεις και ανάλογα με τις συνθήκες, pads μικρότερα από τις προτεινόμενες διαστάσεις μπορούν να χρησιμοποιηθούν επιτυχώς για on-wafer μετρήσεις [13][14]. Φωτεινό παράδειγμα ειδικής περίπτωσης αποτελούν οι δομές που σχεδιάσθηκαν στα πλαίσια της παρούσας διπλωματικής καθώς οι on-wafer μετρήσεις παρά το βαθμό δυσκολίας και πρόκλησης λόγω των ιδιαίτερα μικρών pad που σχεδιάσαμε υλοποιήθηκαν με μεγάλη επιτυχία. Οι διαστάσεις των RF pads (Ground-Signal-Ground) ήταν 75x35μm για τα "Ground Pads", του "Signal Pad" μόλις 35x35μm ενώ των DC pads 80x80μm, εικόνα 2.4.

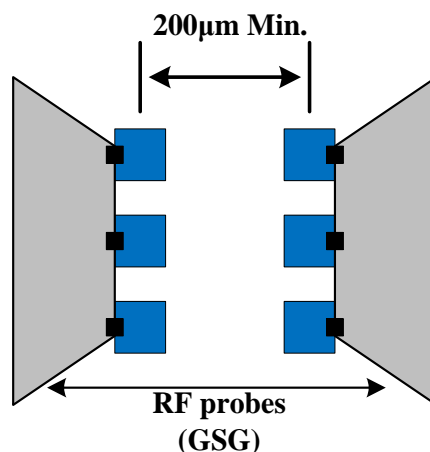


Εικόνα 2.4: Ελάχιστο μέγεθος και απόσταση μεταξύ των Pad

2.3.2 Καθορισμός ελάχιστης απόστασης μεταξύ των I/O Pads

Επίσης ένα ακόμα ζήτημα που προκύπτει είναι η ελάχιστη απόσταση που πρέπει να έχουν δυο διπλανά pads, για την ακρίβεια το "Ground Pad" με το "Signal Pad" ή οποιοδήποτε άλλος συνδυασμός αυτών που συνθέτει μια RF ακίδα. Η ελάχιστη απόσταση καθορίζεται στα 50μm από το κέντρο του ενός στο κέντρο του διπλανού pad και εκτείνεται έως τα 250μm, εξαρτάται βέβαια και από τις διαστάσεις που έχουν σχεδιασθεί αυτά. Συνιστάται όμως να τηρείται απόσταση από 100μm έως 150μm. Ο παράγοντας που καθορίζει αυτήν την απόσταση οφείλεται σε μεγάλο βαθμό στις διαθέσιμες ακίδες (RF probes) που κυκλοφορούν στην αγορά ώστε να είναι εφικτή η επαφή της RF ακίδας (GSG) στα ειδικά σχεδιασμένα pad [15][16].

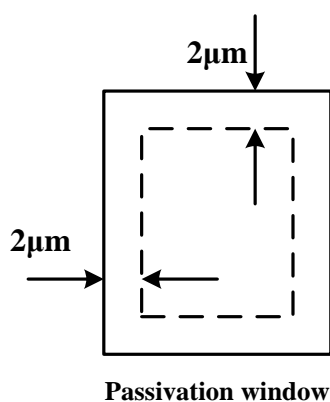
Σε περίπτωση που θέλουμε να κάνουμε on-wafer μετρήσεις υψηλών συχνοτήτων με RF probes που πρέπει να στοιχηθούν απέναντι (η πλειοψηφία των μετρήσεων γίνεται με αυτό τον προσανατολισμό) τότε η ελάχιστη απόσταση που πρέπει να τηρηθεί είναι 200μm από κέντρο σε κέντρο όπως φαίνεται στην εικόνα 2.5.



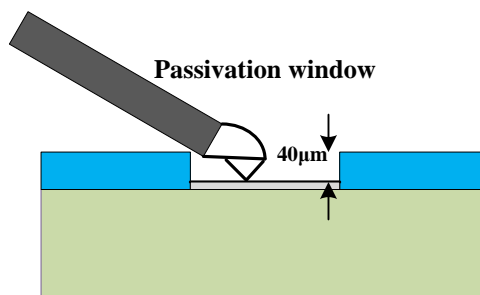
Εικόνα 2.5: Ελάχιστη απόσταση των RF probes με αντικριστό προσανατολισμό.

2.3.3 Passivation Window

Όταν κατασκευάζεται ένα ολοκληρωμένο, όλοι η ανώτερη επιφάνεια καλύπτεται από ένα στρώμα μονωτή με αποτέλεσμα να καθίσταται αδύνατη η μέτρηση του (on-wafer probing). Το ανώτερο στρώμα μονωτή που καλύπτει το τσιπ καλείται "passivation". Αυτό το στρώμα μονωτή προστατεύει το τσιπ από την οξείδωση [4]. Προκειμένου να υπερπηδήσουμε αυτό το εμπόδιο χρησιμοποιούνται συγκεκριμένα layers, τα οποία δηλώνουν την ύπαρξη των pads και ουσιαστικά δημιουργούν πάνω από το pad ένα παράθυρο το οποίο δεν καλύπτεται από μονωτή. Το ελάχιστο μέγεθος για passivation window είναι $25 \times 44 \mu\text{m}$. Βέβαια όταν γίνεται εφαρμογή σε πολύ μικρά pads, τότε ενδέχεται το passivation window να είναι μεγαλύτερο από αυτά. Ωστόσο για λόγους αξιοπιστίας θα πρέπει να αποφεύγεται αυτή η πρακτική. Από την άλλη πολλές τεχνολογίες έχουν ορίσει τα δικά τους όρια, στην TSMC όριζαν ότι η συγκεκριμένη απόσταση έπρεπε να είναι $2 \mu\text{m}$ μικρότερη από το μέγεθος των pads, εικόνα 2.6. Επίσης για καλύτερες συνθήκες επαφής κατά την μέτρηση, η απόσταση από το σημείο της επαφής μέχρι το στρώμα το μονωτή δεν πρέπει να είναι μεγαλύτερη από $40 \mu\text{m}$ [14], όπως φαίνεται και στην εικόνα 2.7.



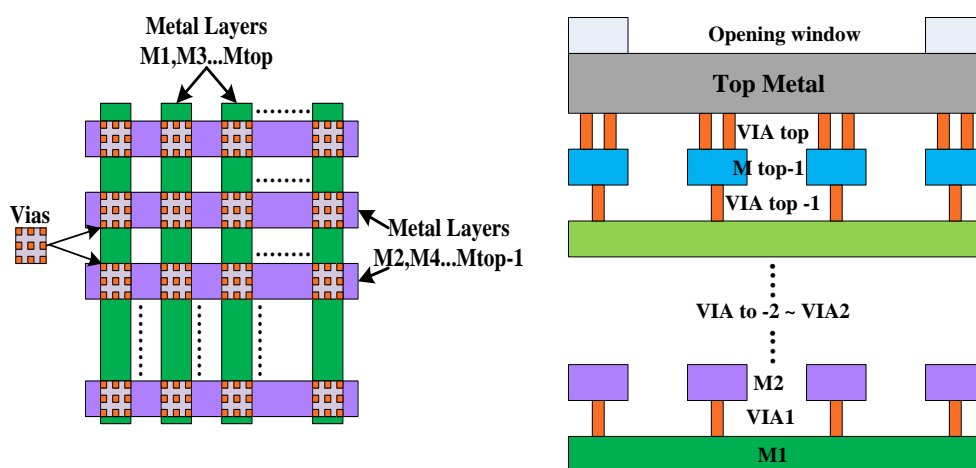
Εικόνα 2.6: Το pad ορίζεται από την συνεχόμενη γραμμή ενώ η διακεκομμένη δηλώνει την επιφάνεια που είναι κατάλληλη για probing καθώς έχει αποφευχθεί η επίστρωση μονωτή



Εικόνα 2.7: Μέγιστο επιτρεπτό πάχος για το passivation window για ομαλή μέτρηση

2.3.4 Υλοποίηση I/O PADS

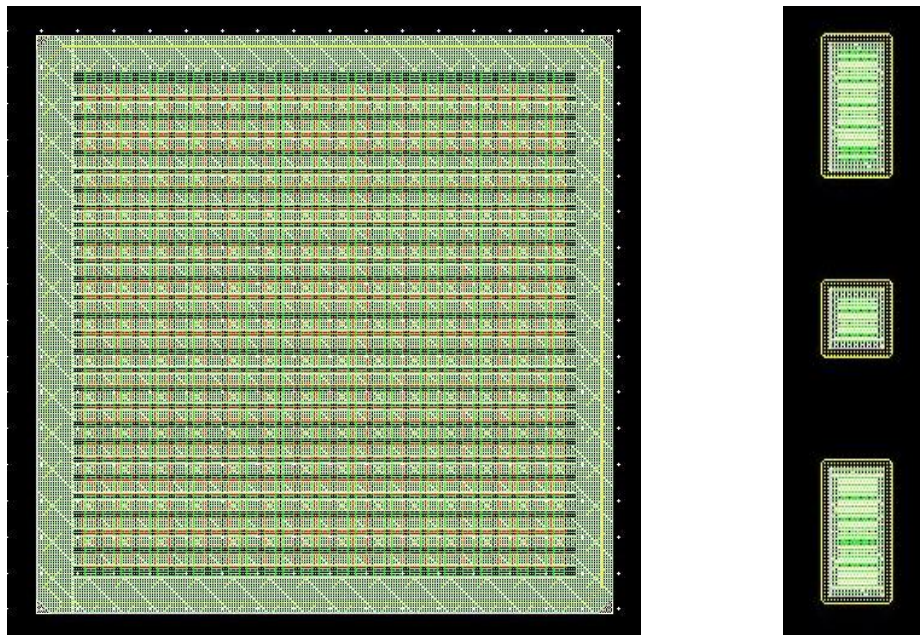
Οι μηχανικές ιδιαιτερότητες της τεχνολογίας απαιτούν προσεκτική σχεδίαση της δομής – pad που θα χρησιμοποιηθεί είτε για wire bonding είτε ως flip chip είτε για on-wafer μετρήσεις, άλλωστε όπως έχουμε αναφέρει θα πρέπει να ικανοποιούνται εξίσου και τα τρία κριτήρια. Βέβαια, η μηχανική ακεραιότητα των pad αποτελεί μείζον θέμα. Ως συνέπεια αυτού οποιαδήποτε παραβίαση στη δομή ή στους κανόνες σχεδίασης θα μπορούσε να προκαλέσει προβλήματα στην απόδοση και την αξιοπιστία του ολοκληρωμένου. Αρχικά, τα pads θα πρέπει να απαρτίζονται από όλα τα επίπεδα μετάλλου της τεχνολογίας. Στις κάθετες γραμμές στοιβάζονται τα μονά επίπεδα μετάλλου (M1, M3...Mtop) της τεχνολογίας ενώ στις οριζόντιες στήλες τα ζυγά, όπως φαίνεται στην εικόνα 2.8 .



Εικόνα 2.8: Εσωτερικό ενός PAD

Στην τομή αυτών των δύο μπαίνουν επαφές που ενώνουν το κατώτερο με το ανώτερο επίπεδο μετάλλου. Με αυτό τον τρόπο καθίσταται πιο ανθεκτικό το pad στην μηχανική καταπόνηση που δέχεται κατά τη διάρκεια της μέτρησης σε σταθμό ακίδων. Θα πρέπει να σημειώσουμε ότι η ανώτερη επιφάνεια του pad, η επιφάνεια που γίνεται η επαφή, αποτελείται από συμπαγές μέταλλο, όπου συνήθως είναι το ανώτερο επίπεδο μετάλλου της τεχνολογίας ή μπαίνει έξτρα ένα στρώμα αλουμινίου που τα καλύπτει όλα. Σε αυτό το σημείο δεν θα πρέπει να ξεχαστεί να μπει το κατάλληλο layer για το "passivation window", χωρίς αυτό η επιφάνεια θα καλυπτόταν από γυαλί καθιστώντας αδύνατη την οποιαδήποτε προσπάθεια για μέτρηση.

Ένα ακόμα σημείο που χρήζει ιδιαίτερης προσοχής σχετίζεται με το γεγονός πως δεν πρέπει οι γωνίες των pad να έχουν κλίση 90° αλλά η κλίση τους πρέπει να είναι ίση με 45° , για την ακρίβεια αναφερόμαστε στα ανώτερες επιφάνειες ενιαίου μετάλλου ή αλουμινίου που το απαρτίζουν και όχι απαραίτητα εφαρμογή σε όλα τα επίπεδα μετάλλου που απαρτίζουν το pad. Αυτό συμβαίνει προληπτικά διότι στις κάθετες γωνίες εμφανίζονται έντονα πεδία με αποτέλεσμα να υπάρχει κίνδυνος να σπάσει το γυαλί (μονωτής) της ανώτερης επιφάνειας του ολοκληρωμένου. Στην εικόνα 2.9 παρουσιάζεται ένα DC pad διαστάσεων $80 \times 80 \mu\text{m}$ που σχεδιάστηκε στην τεχνολογία TSMC, ειδικά για μετρήσεις on-wafer, εφαρμόζοντας όλα όσα έχουν αναφερθεί μέχρι τώρα. Επίσης για τις ανάγκες των on wafer RF μετρήσεων, σχεδιάστηκαν "Ground pads" διαστάσεων $75 \times 35 \mu\text{m}$ και "Signal pad" διαστάσεων $35 \times 35 \mu\text{m}$. Η ιδιαιτερότητα που είχε το "Signal pad" εκτός του γεγονότος ότι ήταν ιδιαίτερα μικρό, αποτελούταν και μόνο από τα τρία ανώτερα μέταλλα της τεχνολογία (και αλουμίνιο φυσικά) ώστε να περιοριστούν στο ελάχιστο οι παρασιτικές χωρητικότητες του καθώς οι RF μετρήσεις είναι πολύ ευαίσθητες και τέτοιες λεπτομέρειες μπορούν να έχουν σοβαρό αντίκτυπο σε αυτές. Η απόσταση στα Ground-Signal-Ground pads έχει σχεδιασθεί ώστε να είναι $125 \mu\text{m}$, με αυτή την απόσταση και με τις διαστάσεις που έχουν σχεδιασθεί είναι εφικτή η μέτρηση με RF ακίδες των $100 \mu\text{m}$, των $125 \mu\text{m}$ καθώς και των $150 \mu\text{m}$.

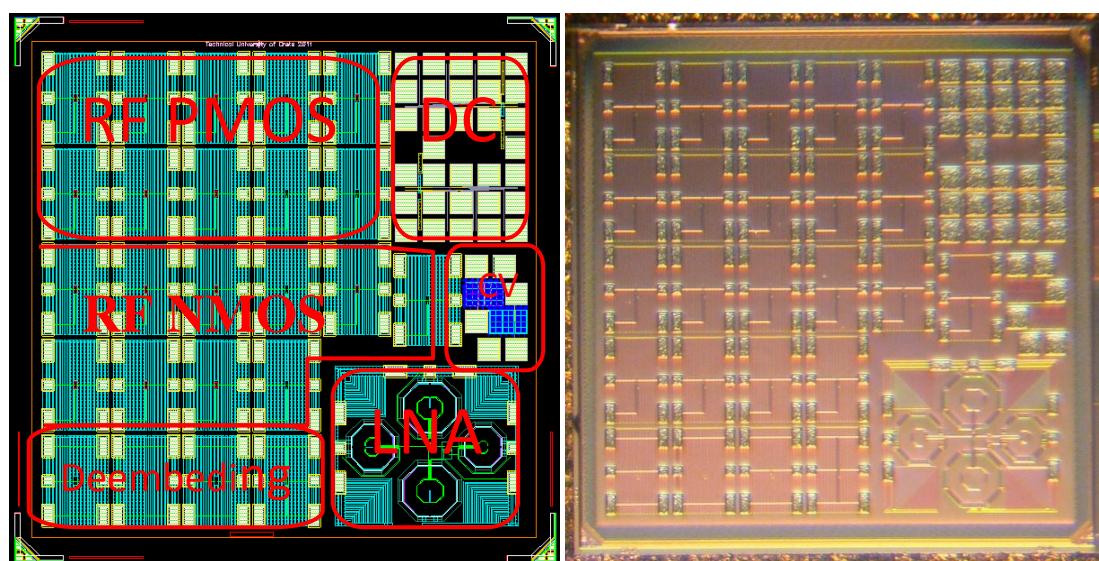


Εικόνα 2.9: DC pad διαστάσεων $80 \times 80 \mu\text{m}$ σχεδιασμένο στη τεχνολογία TSMC (αριστερά) και Ground-Signal-Ground pad για RF μετρήσεις, διαστάσεων $75 \times 35 \mu\text{m}$ για το Ground pad και $35 \times 35 \mu\text{m}$ για το Signal Pad (δεξιά)

2.4 Φυσικό Σχέδιο RF Test Chip

Στα πλαίσια της παρούσας διπλωματικής, ειδικά σχεδιασμένες δομές με MOSFET CMOS τεχνολογίας υλοποιήθηκαν για Capacitance-Voltage (CV), Drain-Current (DC) καθώς και Radio-Frequency (RF) χαρακτηρισμό. Επίσης σχεδιάστηκε ένας ενισχυτής χαμηλού θορύβου (LNA) με συχνότητα λειτουργίας στα 30GHz. Όλες οι δομές καθώς και το κύκλωμα του LNA τηρούσαν τις προδιαγραφές για on-wafer measurements. Η καθαρή επιφάνεια του Test Chip, και λέγοντας καθαρή εννοούμε χωρίς την προσθήκη του Seal Ring ήταν $3,5\text{mm}^2$ ή σε διαστάσεις $1875 \times 1875 \mu\text{m}$. Στην εικόνα 2.10 διακρίνεται το φυσικό σχέδιο του test chip, καθώς και μια εικόνα του κατασκευασμένου πλέον τσιπ μέσα από το φακό του μικροσκοπίου. Όπως είναι ευδιάκριτο την μεγαλύτερη επιφάνεια στο τεστ τσιπ καταλαμβάνουν οι RF δομές (NMOS-PMOS-Deembending) καθώς οι ιδιαίτεροι κανόνες που έπρεπε να τηρηθούν τα καθιστούν αρκετά δαπανηρά σε επιφάνεια πυριτίου.

Στα ολοκληρωμένα, η δομή του seal ring είναι απαραίτητο και αναγκαίο στοιχείο για την αξιοπιστία του προϊόντος προστατεύοντας τα κυκλώματα και τις δομές ενός τσιπ από το μηχανικό στρες και τις προσμίξεις. Αποτελείται από λωρίδες επαφών και στρώματα μετάλλου όπου περικυκλώνουν την ενεργό περιοχή του τσιπ. Το seal ring θα πρέπει να έχει συνεχή ροή χωρίς τη μεσολάβηση κενών προκειμένου να μπλοκάρει την αλληλεπίδραση κινητών ιόντων με το εσωτερικό του τσιπ. Επιπλέον, διάχυση τύπου-p τοποθετείται κάτω από τις επαφές ως επιπλέον βρόχος με το υπόστρωμα για ενισχυμένη προστασία [17].



Εικόνα 2.10: Layout RF Test Chip (αριστερά) και εικόνα του κατασκευασμένου RF Test Chip όπως διακρίνεται από μικροσκόπιο σε σταθμό ακίδων (δεξιά).

2.4.1 Υλοποίηση DC δομών

Για τον DC χαρακτηρισμό και μοντελοποίηση των τρανζίστορ της τεχνολογίας TSMC90nm επιλέχθηκαν MOSFET's με μήκος καναλιού από 100nm έως 10μm καλύπτοντας παράλληλα τις ενδιάμεσες τιμές καθώς επίσης και παραλλαγές ως προς το πλάτος καναλιού αφού λάμβανε τιμές από 150nm έως 5μm. Ο αριθμός των δαχτύλων (NF) επιλέχθηκε ίσο με 1 για όλες τις DC γεωμετρίες. Στον πίνακα που ακολουθεί απεικονίζονται οι τιμές των διαφορετικών γεωμετριών που επιλέχθηκαν, ικανές για τον πλήρη χαρακτηρισμό μιας τεχνολογίας 90nm ως προς μήκος (L) και πλάτος (W) καναλιού.

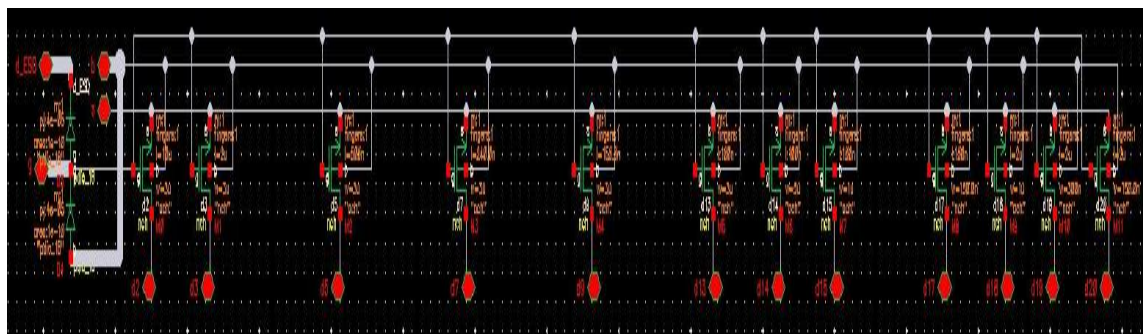
NMOS/PMOS	W	L	NF
1	3u	10u	1
2	3u	2u	1
3	3u	500n	1
4	3u	240n	1
5	3u	150n	1
6	3u	100n	1
7	5u	100n	1
8	1u	100n	1
9	150n	100n	1
10	1u	2u	1
11	300n	2u	1
12	150n	2u	1

Η αρχιτεκτονική που επιλέχθηκε να καλύψει τον DC χαρακτηρισμό MOSFETs CMOS τεχνολογίας, έχοντας όμως τον μικρότερο αντίκτυπο σε επιφάνεια πυριτίου, και αντίστοιχα το φυσικό σχέδιο της απεικονίζονται στην εικόνα 2.11.

Κατά την ηλεκτρονική σχεδίαση όλα τα Gate (G), Source (S) και Bulk (B) των διαφορετικών γεωμετριών NMOS ή PMOS αντιστοίχως είναι βραχυκυκλωμένα μεταξύ τους και οδηγούνται σε μια κοινή έξοδο/Pad ενώ τα αντίστοιχα Drains (D) είναι αυτόνομα. Αυτό συνεισφέρει στο DC χαρακτηρισμό ελαχιστοποιώντας την κατανάλωση επιφάνειας πυριτίου καθώς σε οποιαδήποτε άλλη περίπτωση θα έπρεπε για το κάθε MOS να υπάρχουν τέσσερα Pads, ένα για την κάθε έξοδο και εάν προσθέσουμε και ένα ακόμα που χρησιμεύει ως ESD προστασία, τότε το σύνολο γίνεται πέντε.

Αρα στην περίπτωση μας που είχαμε να καλύψουμε ένα εύρος γεωμετριών όπου για αυτό το σκοπό απαιτούνταν 12 NMOS και αντίστοιχα 12 PMOS αυτό θα σήμαινε πως θα χρειαζόμασταν κατ' ελάχιστο 48! Pads για την υλοποίηση του καθενός από αυτά, ενώ όπως διακρίνεται στην εικόνα 2.11β επιτύχαμε τα ίδια αποτελέσματα με

Ιδιαίτερη προσοχή κατά τη φυσική σχεδίαση χρειάζεται το θέμα των διασυνδέσεων και πιο συγκεκριμένα ορισμένες από τις διασυνδέσεις των ακροδεκτών του drain με τα αντίστοιχα pads καθώς προβλέπεται να διαπεράσει από αυτά αρκετά μεγάλο ρεύμα με κίνδυνο κατάρρευσης της συγκεκριμένης σύνδεσης.

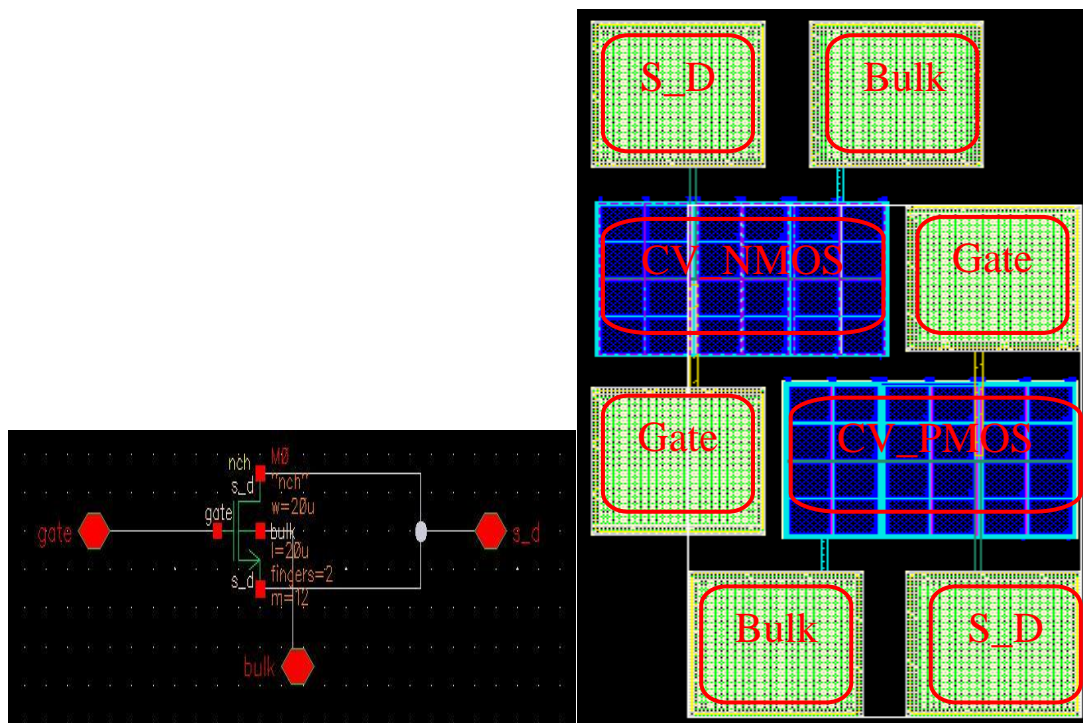


Εικόνα 2.11: (α) Ηλεκτρονικό σχέδιο MOS κατάλληλο για DC χαρακτηρισμό και μοντελοποίηση διατάξεων τεχνολογίας CMOS όπου οι ακροδέκτες των Gate, Source, Bulk των διάφορων γεωμετριών είναι βραχυκυκλωμένα μεταξύ τους ενώ οι αντίστοιχοι ακροδέκτες των Drain αυτόνομοι και (β) το φυσικό σχέδιο (Layout) αυτής της υλοποίησης.

2.4.2 Υλοποίηση CV δομών

Για τον Capacitance-Voltage (CV) χαρακτηρισμό και εν συνεχεία της εξαγωγής χρήσιμων παραμέτρων, όπως είναι το πάχος οξειδίου είναι απαραίτητα MOSFET μεγάλων διατάξεων προκειμένου οι παράμετροι να παραμείνουν όσο το δυνατόν πιο ανεπηρέαστα από τα παρασιτικά φαινόμενα που θα αναπτυχθούν κατά τη διάρκεια της μέτρησης. Η κατάλληλη ηλεκτρονική σχεδίαση απεικονίζεται στην εικόνα 2.12 καθώς και το φυσικό σχέδιο των NMOS και PMOS αντιστοίχως που υλοποιήθηκε.

Ο τρόπος σχεδίασης της CV δομής σχηματίζεται βραχυκυκλώνοντας τον ακροδέκτη του Source με αυτόν του Drain ενώ οι ακροδέκτες των Gate και Bulk αντιστοίχως παραμένουν αυτόνομοι. Όπως έχουμε προαναφέρει, είναι απαραίτητα MOSFET μεγάλων διατάξεων, η ιδιαίτερα μεγάλες διαστάσεις που επιθυμούσαμε όμως ήταν εκτός ορίων στην TSMC τεχνολογία. Προκειμένου να ξεπεράσουμε αυτόν τον σκόπελο επιλέξαμε να δημιουργήσουμε εμείς ένα μεγάλο MOSFET επιλέγοντας number of fingers (NF) ίσο με 2 και multiplicity (M) ίσο με 12. Με αυτό τον τρόπο δημιουργήθηκαν δώδεκα πανομοιότυπα τρανζίστορ τα οποία όμως όταν συνδεθούν παράλληλα δημιουργούν ένα μεγάλο με το συνολικό πλάτος της διάταξης να ισούται με $W=W_F \cdot NF \cdot M$ ενώ το μήκος καναλιού παρέμεινε ίσο με $L=L_F$.



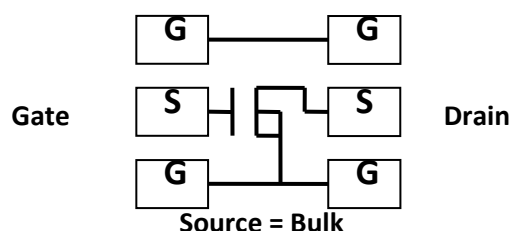
Εικόνα 2.12: Ηλεκτρονικό σχέδιο MOS κατάλληλο για CV χαρακτηρισμό διατάξεων οι ακροδέκτες Drain και Source είναι βραχυκυκλωμένοι ενώ οι ακροδέκτες των Gate και Bulk παραμένουν αυτόνομοι και το φυσικό σχέδιο (Layout) αυτής της υλοποίησης για NMOS και PMOS

2.4.3 Υλοποίηση RF δομών

Στα πλαίσια της παρούσας διπλωματικής σχεδιάσθηκαν ειδικές δομές NMOS και PMOS κατάλληλες για on-wafer RF μετρήσεις. Επιλέχθηκαν multi-finger MOS καλύπτοντας ένα εύρος από 100nm έως 240nm για το μήκος καναλιού (L) και από 10μm έως 200μm για το πλάτος καναλιού σύμφωνα με τον πίνακα που ακολουθεί:

NMOS/PMOS	W (μm)	L (nm)	NF	Total W (μm)
1	2	240	40	80
2	2	180	40	80
3	2	150	40	80
4	2	120	40	80
5	2	100	40	80
6	2	100	30	60
7	2	100	20	40
8	2	100	10	20
9	5	100	40	200
10	1	100	10	10

Οι διατάξεις RF MOS θεωρούνται και σχεδιάζονται ως δίθυρο δικτύωμα όπου ο ακροδέκτης της πηγής (S) είναι βραχυκυκλωμένος με το υπόστρωμα (B) και οι ακροδέκτες της πύλης (G) και του επαγωγού (D) δρουν ως θύρες εισόδου και εξόδου αντιστοίχως του δικτυώματος όπως απεικονίζεται στην εικόνα 2.13

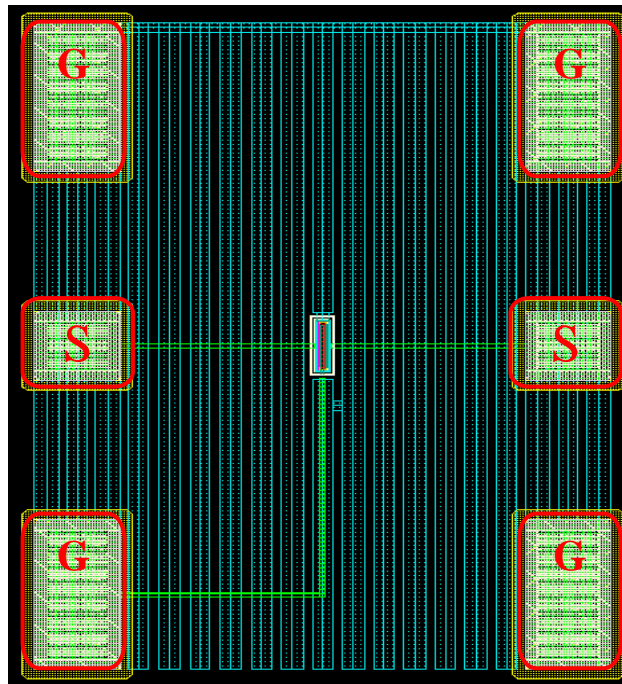


Εικόνα 2.13: Δίθυρο δικτύωμα RF MOST

Όπου τα G-S-G συμβολίζουν τα Ground-Signal-Ground Pads, απαραίτητα για RF on wafer μετρήσεις. Οι διαστάσεις των pads ήταν 35x35um για το signal και 75x75um για τα ground. Η απόσταση από το κέντρο του signal pad στο αντίστοιχο κέντρο των ground pad απείχε 125um ενώ από το κέντρο του απέναντι signal pad απείχε 200um.

Για να εξασφαλίσουμε μια καλά ορισμένη γείωση στο DUT, επιλέχθηκε η τεχνική της θωράκισης μέσω γειώσεων (ground shielding) [21][22]. Αυτό επιτυγχάνεται καλύπτοντας όλοι την επιφάνεια της δομής με το κατώτερο στρώμα μετάλλου της τεχνολογίας, το M1, δημιουργώντας μια σύνδεση/βραχυκύκλωμα με τα ground pads

και αφήνοντας παράλληλα μόνο ένα άνοιγμα δίχως μέταλλο/θωράκιση στο οποίο τοποθετείται το DUT/MOS όπως διακρίνεται στην εικόνα 2.14. Το signal pad έχει υλοποιηθεί μόνο με τα τρία ανώτερα στρώματα μετάλλου της τεχνολογίας και λόγω της θωράκισης (M1) που διέρχεται κάτω από αυτό προσδοκάμε καλύτερα επίπεδα θορύβου και απομόνωσης από το υπόστρωμα. Το ground shield παρέχει ένα μονοπάτι χαμηλής εμπίδησης μεταξύ των τεσσάρων ground pads και η σύζευξη μεταξύ αυτών προσδοκάται αρκετά μικρή καθώς έχουν σχεδιασθεί σε κατάλληλες αποστάσεις για ελαχιστοποίηση της σύζευξης.



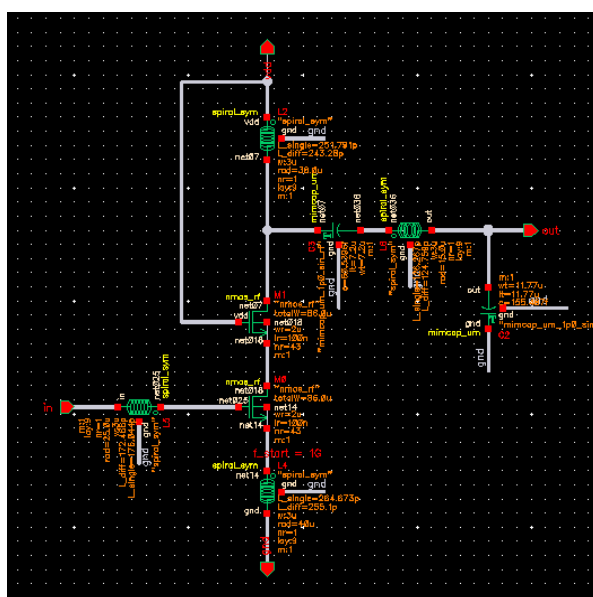
Εικόνα 2.14: Φυσικό Σχέδιο RF δομής όπου διακρίνονται τα GSG Pads, το MOS στο κέντρο της διάταξης με τις διασυνδέσεις του καθώς και το shielding.

2.4.4 Υλοποίηση LNA

Στη παρούσα διπλωματική υλοποιήθηκε η φυσική σχεδίαση (layout) ενός ενισχυτή χαμηλού θορύβου σχεδιασμένου να λειτουργεί σε πολύ υψηλές συχνότητες, για την ακρίβεια στα 30GHz σε τεχνολογία CMOS Low Power (LP) 90nm της TSMC. Επιλέχθηκε η αρχιτεκτονική του cascode LNA (εικόνα 1.15) η οποία απαρτίζεται από τρία μπλοκ, το δικτύωμα ταιριάσματος εισόδου στα 50Ω, το στάδιο κέρδους και το δικτύωμα εξόδου στα 50Ω. Η αντίσταση εισόδου και εξόδου σχεδιάσθηκε να είναι ίση με 50Ω για το λόγο ότι δεν ακολουθεί κάποιο άλλο κύκλωμα αλλά επρόκειτο να μετρηθεί on-wafer μέσω του αναλυτή δικτύου (VNA).

Οι προσομοιώσεις που έγιναν (έχοντας συμπεριλάβει τις παρασιτικές απώλειες --αντιστάσεις, πυκνωτές-- μετά την υλοποίηση του φυσικού σχεδίου) έδειξαν κέρδος (S_{21}) 5,9dB, reverse isolation ($-S_{12}$) 18,1dB, input reflection (S_{11}) -11,8dB και τέλος output reflection (S_{22}) -11,4dB. Στα χαρακτηριστικά του LNA αναφέρουμε ότι ο θόρυβος (Noise Figure) του κυκλώματος ήταν ίσος με 3,9dB, η γραμμικότητα IIP3 4,9 dBm και τέλος η ισχύς που καταναλώνει υπολογίσθηκε ίση με 7,2mW [23].

Ένα σημείο που χρήζει ιδιαίτερης προσοχής κατά την ηλεκτρική αλλά και φυσική σχεδίαση είναι η επιλογή της triple well τεχνολογίας καθώς θα πρέπει να αποτελεί την πρώτη επιλογή. Το κέρδος του ενισχυτή περιορίζεται στις υψηλές συχνότητες λόγω της χωρητικότητας που δημιουργείται μεταξύ επαγωγού και υποστρώματος (drain-bulk capacitance). Σε μια triple-well τεχνολογία όμως η χωρητικότητα μεταξύ του p-well και του deep n-well είναι σε σειρά με την χωρητικότητα υποστρώματος με αποτέλεσμα να μειώνεται η χωρητικότητα drain-bulk [24].



Εικόνα 2.15: Ηλεκτρονική σχεδίαση cascode LNA σε περιβάλλον της CADENCE

Στην εικόνα 2.16 απεικονίζεται το φυσικό σχέδιο (layout) του LNA συμπεριλαμβανομένου και των RF pads, τα οποία σχεδιάστηκαν σε ιδιαίτερα μικρές διαστάσεις προκειμένου η χωρητικότητα τους να κρατηθεί σε χαμηλά επίπεδα. Για τις διασυνδέσεις των πηνίων με τα MOSFET's χρησιμοποιήθηκε το ανώτερο επίπεδο μετάλλου της τεχνολογίας (M9). Επιλέχθηκαν RF MOSFET's πολλών δαχτύλων με διπλή επαφή στη πύλη προκειμένου να κρατήσουμε σε χαμηλά επίπεδα την αντίσταση της πύλης. Επίσης διατηρήθηκε ο ίδιος προσανατολισμός των MOSFET ώστε τα ρεύματα που τα διαρρέουν να έχουν την ίδια φορά, αυτός είναι ένας βασικός κανόνας που θα πρέπει να τηρείται σε όλα τα layout, analog και RF. Το πλάτος των διασυνδέσεων καθορίστηκε από το ρεύμα που θα τα διέρρεε, μεγαλύτερα πλάτη θα εμφάνιζαν περισσότερα παρασιτικά φαινόμενα.

Τα πηνία είναι από τα κρίσιμα στοιχεία στα ολοκληρωμένα κυκλώματα για RF και microwave ασύρματες εφαρμογές. Εάν ο συντελεστής ποιότητας Q είναι πολύ μικρός, η επίδοση του κυκλώματος θα αποκλίνει από τους επιθυμητούς στόχους. Τα σπειροειδή πηνία παρουσιάζουν συνήθως ένα υψηλό συντελεστή ποιότητας και η τιμή της επαγωγής είναι αυτό που συνήθως αναζητείται στα ασύρματα RFICs. Τα πιο σημαντικά χαρακτηριστικά ενός πηνίου είναι η τιμή της επαγωγής, της παρασιτικής χωρητικότητας και αντίστασης που καθορίζουν το συντελεστή ποιότητας καθώς και τη συχνότητα συντονισμού. Η τιμή της επαγωγής καθορίζεται σε πρώτο βαθμό από το μέσο όρο της διαμέτρου του σπειροειδή βρόχου ενώ οι απώλειες της καθορίζονται από το άθροισμα τριών στοιχείων: 1) της DC αντίστασης του πηνίου, 2) της αντίστασης λόγω επιδερμικού φαινομένου (skin effect) στην αγωγίμη επιφάνεια και τέλος 3) της αντίστασης λόγω διέγερσης από τα ρεύματα eddy στο υπόστρωμα. Επιτυγχάνοντας μια προκαθορισμένη επαγωγή και μικρή αντίσταση συμβάλλουμε σε μια αύξηση του συντελεστή ποιότητας. Η DC αντίσταση τείνει να αυξάνεται με την κλιμάκωση (scaling) των διασυνδέσεων στα πηνία. Ακόμα και αν κάποιοι βελτιωμένοι αγωγοί εμφανίζουν χαμηλότερη DC αντίσταση, η AC αντίσταση αυξάνεται. Συνήθως, τα ολοκληρωμένα πηνία υλοποιούνται από παχιά ανώτερα στρώματα μετάλλου ή/και από ειδικά ακόμα πιο παχιά στρώματα μετάλλου που προορίζονται αποκλειστικά για αυτό τον σκοπό και ενδεχομένως από στρώματα αλουμινίου.

Για συχνότητες μεγαλύτερες της συχνότητας συντονισμού, το πηνίο εμφανίζει χωρητική συμπεριφορά και χάνει την επαγωγική του ιδιότητα. Η συχνότητα συντονισμού των πηνίων θα πρέπει να είναι αρκετά μεγαλύτερη από τη συχνότητα

λειτουργίας. Για να αυξήσουμε τη συχνότητα συντονισμού, η παρασιτική χωρητικότητα των πηνίων προς το υπόστρωμα πυριτίου πρέπει να καταστέλλεται. Η παρασιτική χωρητικότητα των πηνίων καθορίζεται από την επιφάνεια η οποία γίνεται μικρότερη για μικρότερες τιμές πηνίων που απαιτούνται για τις υψηλές συχνότητες και από τα διηλεκτρικά/στοίβες ημιαγωγών κάτω από το πηνίο.

Οι εφαρμογές υψηλών συχνοτήτων απαιτούν πηνία μικρότερου μεγέθους και υψηλότερης συχνότητας συντονισμού. Ως αποτέλεσμα, η επαγωγική πυκνότητα γίνεται όλο και πιο σημαντική. Επομένως ένα μείζον σχεδιαστικό επίτευγμα των πηνίων είναι η αύξηση του συντελεστή ποιότητας Q μειώνοντας τις σειριακές απώλειες, αύξηση της πυκνότητας ολοκλήρωσης και αύξηση της συχνότητας συντονισμού ελαχιστοποιώντας τις παρασιτικές χωρητικότητες. Βέβαια και τα τρία ζητήματα που θίξαμε είναι σε αντίθεση με την κλιμάκωση (scaling) των διασυνδέσεων της τεχνολογίας. Τα συγκεκριμένα θέματα συνήθως λύνονται χρησιμοποιώντας επιπλέον ειδικά παχιά στρώματα μετάλλου αυξάνοντας βέβαια αρκετά το κόστος ολοκλήρωσης [25].

Ένα ακόμα πρόβλημα που πρέπει να αντιμετωπιστεί όσον αφορά τα πηνία είναι ότι καταλαμβάνουν τεράστια επιφάνεια συγκριτικά με τα υπόλοιπα στοιχεία. Αυτό μπορεί να βελτιωθεί με τη χρήση περισσότερων μετάλλων, το ένα πάνω από το άλλο (stack μετάλλων) το οποίο μειώνει σημαντικά το εμβαδό του πηνίου. Στην υλοποίηση του LNA χρησιμοποιήθηκαν τα τρία τελευταία μέταλλα της τεχνολογίας (M7-M9) προκειμένου να συνθέσουν τα πηνία. Η απόσταση των πηνίων διατηρήθηκε στην μέγιστη απόσταση που αυτή ήταν εφικτή. Τα πηνία εμφανίζουν έντονα φαινόμενα σύζευξης όποτε στόχος σε κάθε υλοποίηση είναι να διατηρούνται σε όσο το δυνατόν πιο μεγάλες αποστάσεις, ανασταλτικός παράγοντας σε αυτό είναι η κατανάλωση επιφάνειας.

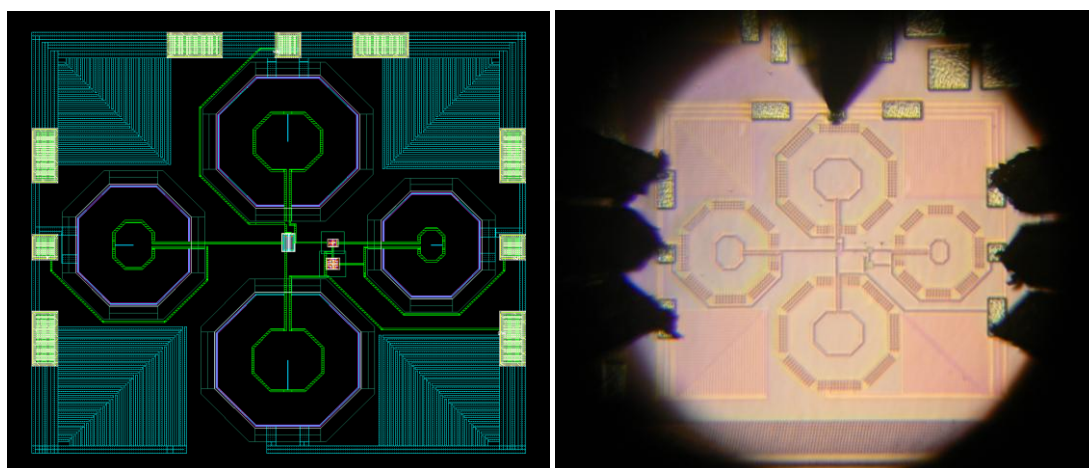
Όσον αφορά τους πυκνωτές υπάρχουν δύο τύποι γραμμικών πυκνωτών οι οποίοι χρησιμοποιούνται στα RF και microwave κυκλώματα: 1) Metal-Oxide-Metal (MOM) και 2) Metal-Insulator-Metal (MIM). Η επιλογή ανάμεσα σε αυτά τα δυο είδη οφείλεται κυρίως στη χωρητικότητα. Παραδοσιακά, η MOM χρησιμοποιούνταν όταν επιδιώκουμε τιμές χωρητικότητας της τάξης των μερικών picoFarads (pF) και για μεγαλύτερες τιμές η MIM προκειμένου να ελαχιστοποιήσουμε το συνολικό φυσικό μέγεθος και να αποφύγουμε τα φαινόμενα κατάτμησης. Ωστόσο, αυτή η τάση αλλάζει λόγω της σταθερής αύξησης της χωρητικής ολοκλήρωσης των MOM στις νέες CMOS τεχνολογίες. Για χωρητικότητες μεγαλύτερες των 200pF, η επιφάνεια

πυριτίου γίνεται απαγορευτική και γι αυτό η πυκνωτές MOS ή off-chip πυκνωτές κρίνονται απαραίτητοι. Παρόλα αυτά, οι πυκνωτές MOS είναι μη γραμμική και επίσης εισέρχονται περιορισμοί λόγω της υψηλής ισοδύναμης σειριακής αντίστασης στις υψηλές συχνότητες.

Για να αυξήσουμε την απόδοση των κυκλωμάτων στις υψηλές συχνότητες μειώνοντας παράλληλα το κόστος, χωρητικότητες υψηλής ολοκλήρωσης είναι επιθυμητές. Γι αυτό οξείδιο του πυριτίου και του νιτρίδιου χρησιμοποιούνται ευρέως στους συμβατικούς MIM πυκνωτές. Παρέχουν καλή γραμμικότητα και χαμηλό συντελεστή θερμοκρασίας αλλά η χωρητική τους ολοκλήρωση περιορίζεται από τη χαμηλή διηλεκτρική σταθερά. Προσπάθειες να αυξήσουν την χωρητική ολοκλήρωση μειώνοντας το πάχος του διηλεκτρικού συνήθως οδηγούν σε ανεπιθύμητα υψηλά ρεύματα διαρροής. Γι αυτό υλικά υψηλής διηλεκτρικής σταθεράς (high-k) χρησιμοποιούνται για να παρέχουν καλή ηλεκτρική συμπεριφορά και να αυξήσουν την ολοκλήρωση των κυκλωμάτων.

Ως εκ τούτου, οι πυκνωτές MIM είναι στοιχεία που δημιουργούνται από δυο ειδικές παράλληλες μεταλλικές πλάκες που παρεμβάλλεται ανάμεσα τους ένα στρώμα διηλεκτρικού μονωτή και είναι αυτοί που επιλέχθηκαν στη περίπτωση του LNA.

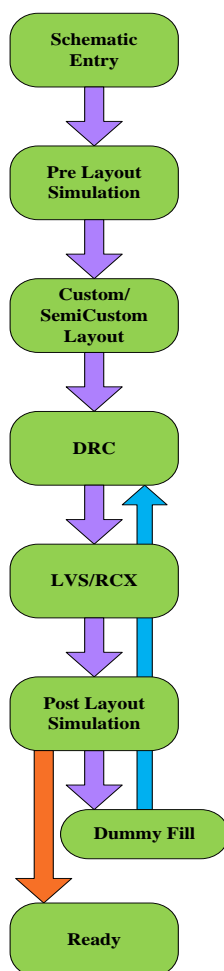
Η ελεύθερη επιφάνεια του LNA καλύφθηκε με ένα στρώμα μετάλλου, το πρώτο στρώμα μετάλλου (M1) της TSMC το οποίο ήταν γειωμένο. Αυτό είχε σκοπό να λειτουργήσει ως θωράκιση (shielding) καθώς με αυτό τον τρόπο περιορίζεται ο θόρυβος και το coupling. Η συνολική επιφάνεια πυριτίου που κατέλαβε ο LNA συμπεριλαμβανομένου και των pads ήταν $0,37\text{mm}^2$.



Εικόνα 2.16: Φυσικό Σχέδιο (Layout) LNA περιλαμβανομένων και των Pads (πάνω) και ο LNA με τα RF Probes (GSG) κατά τη διάρκεια της μέτρησης (κάτω)

2.5 Ροή Σχεδίασης Ολοκληρωμένων Κυκλωμάτων

Σε αυτό το κεφάλαιο αναπτύξαμε τα βήματα καθώς και τα σημεία που χρήζουν ιδιαίτερης προσοχής για ένα επιτυχημένο φυσικό σχέδιο ενός τεστ τσιπ που προορίζεται για RF on-wafer μετρήσεις. Ας δούμε λοιπόν και τη συνολική ροή μιας αναλογικής/RF σχεδίασης, που πρέπει να λειτουργεί ως οδηγός για όλες τις σχεδιάσεις ολοκληρωμένων κυκλωμάτων, εικόνα 2.17



Εικόνα 2.17: Τυπική ροή σχεδίασης

Αρχικά καθορίζονται οι προδιαγραφές του συστήματος και εν συνέχεια ακολουθεί η ηλεκτρονική σχεδίαση και οι πρώτες προσομοιώσεις του κυκλώματος. Εφόσον τα αποτελέσματα είναι τα επιθυμητά ακολουθεί η αποτύπωση του φυσικού σχεδίου η οποία θα πρέπει να διαφοροποιείται και να προσαρμόζεται στις ανάγκες (αναλογικά - ψηφιακά - RF κυκλώματα) και το σκοπό που προορίζεται (flip chip - package – on wafer μετρήσεις) του κάθε κυκλώματος. Κατόπιν το φυσικό σχέδιο οποιουδήποτε κυκλώματος προς κατασκευή χρησιμοποιώντας μια συγκεκριμένη διαδικασία (DRC –

Design Rule Check) πρέπει να συμμορφωθεί με ένα σύνολο γεωμετρικών περιορισμών ή κανόνων. Αυτοί οι κανόνες συνήθως προδιαγράφουν τα ελάχιστα επιτρεπτά πλάτη γραμμών για φυσικά αντικείμενα που βρίσκονται επί των ολοκληρωμένων, όπως διασυνδέσεις μετάλλου και πολυπυρίτιου, τις περιοχές διάχυσης, τις ελάχιστες διαστάσεις αυτών καθώς και τους ελάχιστους επιτρεπτούς διαχωρισμούς μεταξύ δυο τέτοιων χαρακτηριστικών. Αν ένα πλάτος μεταλλικής γραμμής έχει γίνει πολύ μικρό είναι πιθανόν η γραμμή να σπάσει κατά τη διάρκεια της διαδικασίας κατασκευής ή μετέπειτα έχοντας ως αποτέλεσμα ένα ανοιχτό κύκλωμα [1]. Εν συνεχεία ακολουθεί η διαδικασία του LVS (Layout Versus Schematic) κατά την οποία γίνεται έλεγχος αν έχει αποτυπωθεί σωστά σε επίπεδο μασκών οι ηλεκτρονικές διασυνδέσεις που απεικονίζονται σε επίπεδο σχηματικού και εφόσον περάσει επιτυχώς αυτό η διαδικασία του RCX/QRC. Κατά την διαδικασία του RCX/QRC υπολογίζονται όλα τα παρασιτικά φαινόμενα (αντιστάσεις, χωρητικότητες) που δημιουργούνται κατά τις διασυνδέσεις των στοιχείων καθώς και μεταξύ αυτών στο φυσικό σχέδιο. Εφόσον υπολογιστούν όλα τα παρασιτικά ακολουθούν νέες προσομοιώσεις, συμπεριλαμβανομένων όμως αυτή τη φορά και των παρασιτικών ώστε να γίνει μια εκτίμηση κατά πόσο επηρεάζουν την απόδοση του κυκλώματος/συστήματος. Αυτός είναι ένας κύκλος που ακολουθείται μέχρι να φτάσουμε στο επιθυμητό αποτέλεσμα. Ένα ακόμα προαιρετικό βήμα για να θεωρήσουμε ότι το κύκλωμα μας είναι έτοιμο προς κατασκευή είναι η διαδικασία του "dummy fill" κατά την οποία η επιφάνεια του τσιπ καλύπτεται με πολυπυρίτιο και τα μέταλλα της τεχνολογίας, χωρίς όμως αυτά να είναι συνδεδεμένα σε κάποιο κόμβο. Αυτός είναι ένας κανόνας ο οποίος εξυπηρετεί τη μηχανική αξιοπιστία και συνολική απόδοση στο πέρασμα του χρόνου του ολοκληρωμένου.

Κεφάλαιο 3

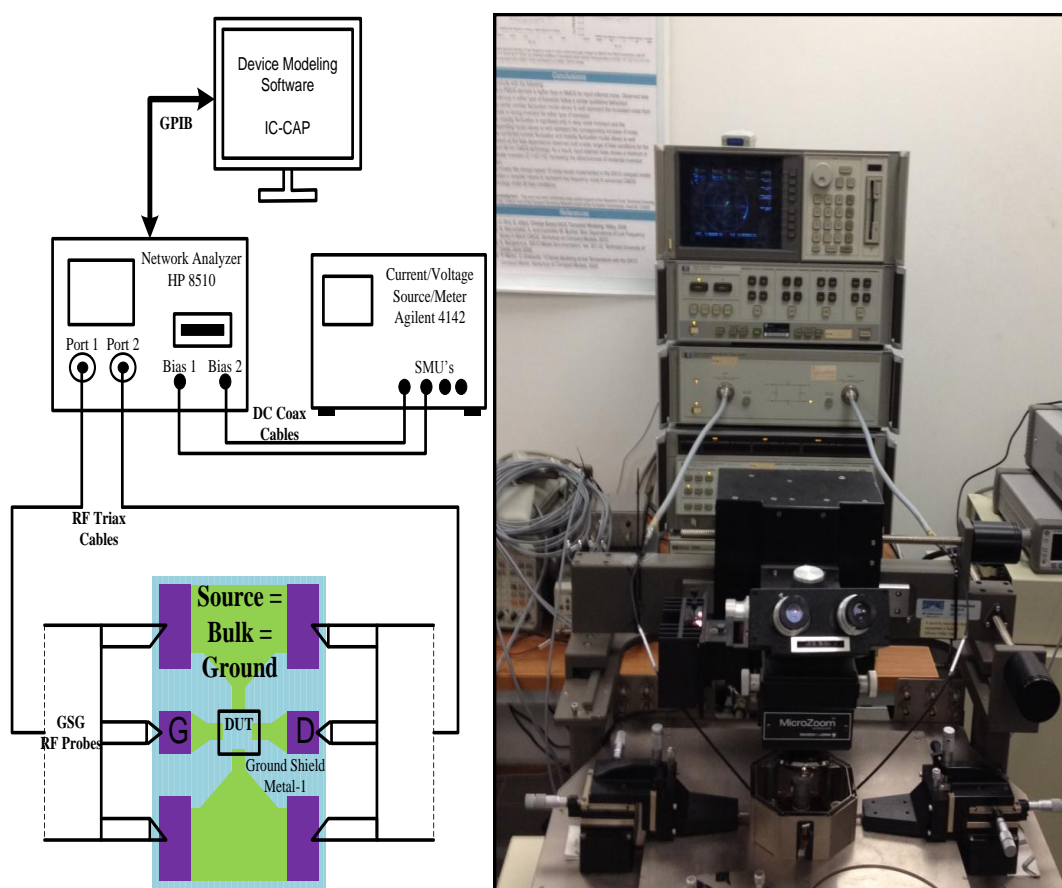
3 Μετρήσεις Υψηλών Συχνοτήτων

3.1 Εισαγωγή

Για τον χαρακτηρισμό ενεργών/παθητικών στοιχείων σε υψηλές συχνότητες τον κυρίαρχο ρόλο έχει ο αναλυτής δικτύου (Vector Network Analyzer - VNA). Η κατανόηση και η ορθή λειτουργία του αποτελούν τα βασικά συστατικά για τον σωστό χαρακτηρισμό. Η ανάπτυξη ενός πλήρους αυτοματοποιημένου συστήματος μετρήσεων υψηλών συχνοτήτων αποτελούσαν κύρια αρμοδιότητα της παρούσας διπλωματικής. Ο προσδιορισμός της μέγιστης ισχύος σήματος είναι μείζον ζήτημα στις μετρήσεις υψηλών συχνοτήτων και πρέπει να αποσαφηνιστεί πλήρως. Η εμβάθυνση στις τεχνικές της βαθμονόμησης (calibration) του αναλυτή δικτύου και της μη ενσωμάτωσης των παρασιτικών φαινομένων στο χαρακτηρισμό του στοιχείου μας (De-Embedding) κρίνονται απαραίτητες, τεχνικές οι οποίες θα αναπτυχθούν στα πλαίσια αυτού του κεφαλαίου.

3.2 Σύστημα Μετρήσεων Υψηλών Συχνοτήτων

Το σύστημα μετρήσεων που στήθηκε στο εργαστήριο μικροηλεκτρονικής του πολυτεχνείου Κρήτης για μετρήσεις υψηλών συχνοτήτων απαρτίζεται από έναν σταθμό μικροακίδων (Probe station – Cascade/Summit 10600), έναν αναλυτή δικτύου (VNA HP8510C) με δυνατότητα μέτρησης μέχρι τα 26.5GHz, και τέλος ένα "DC parameter analyzer HP/Agilent 4142". Η διασύνδεση μεταξύ των οργάνων αλλά και μεταξύ των οργάνων και του στοιχείου υπό μέτρηση γίνεται με κατάλληλα καλώδια και ακίδες χαρακτηρισμένα μέχρι τα 26.5GHz. Η επικοινωνία με τα μηχανήματα γίνεται μέσω λογισμικού της Agilent, το IC-CAP. Το αυτοματοποιημένο σύστημα μετρήσεων όπως υλοποιήθηκε στο εργαστήριο μικροηλεκτρονικής απεικονίζεται στην εικόνα 3.1.



Εικόνα 3.1: Σύστημα Μετρήσεων Υψηλών Συχνοτήτων On-Wafer υλοποιημένο στο εργαστήριο Μικροηλεκτρονικής Πολυτεχνείου Κρήτης

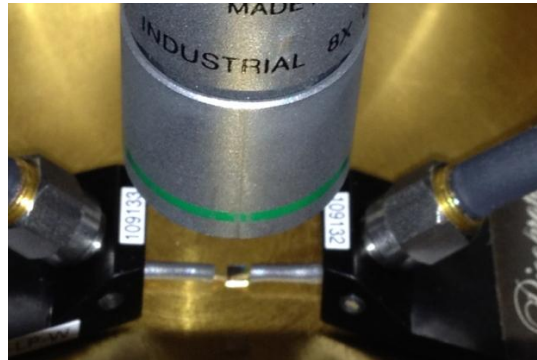
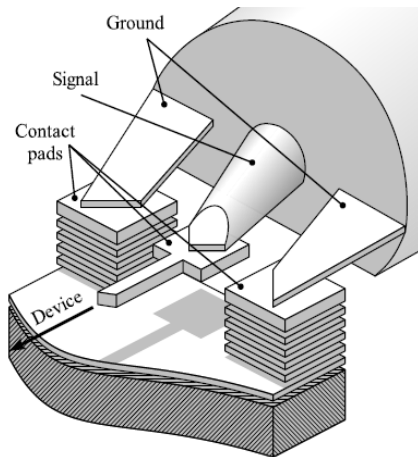
3.3 Προσδιορισμός Μέγιστης Ισχύος RF Σήματος

Ένα σημαντικό ζήτημα που προκύπτει πριν προχωρήσει κάποιος στη διαδικασία του "Calibration" και του "De-Embedding" είναι να βεβαιωθεί ότι το στοιχείο του (MOSFET στην περίπτωση μας) βρίσκεται σε γραμμική λειτουργία μικρού σήματος. Σε αντίθετη περίπτωση τα υψηλής συχνότητας σήματα παύουν να είναι ημιτονοειδή, με συνέπεια την εμφάνιση αρμονικών ταλαντώσεων που οδηγούν σε εσφαλμένες μετρήσεις (RF) και μετατοπισμένα σημεία πόλωσης (DC).

Ένας τρόπος για τον έλεγχο της ισχύος του σήματος στο σύστημα μετρήσεων που υλοποιήθηκε στο εργαστήριο μικροηλεκτρονικής είναι μετρώντας τα DC χαρακτηριστικά (I_D-V_G , I_D-V_D , g_m , g_{ds}) ενός MOSFET μέσω του Parameter Analyzer (HP4142) και αφήνοντας τον VNA να λειτουργεί/μετράει σε συνεχή ροή, όχι όμως συγχρονισμένα με τον Parameter Analyzer. Αυξάνοντας σταδιακά την ισχύ του σήματος του VNA, αυτό έχει ως αποτέλεσμα μόλις ξεπεράσουμε ένα μέγιστο κατώφλι τιμών να εμφανιστούν παραμορφώσεις στα DC χαρακτηριστικά και ιδιαίτερα στα μεγέθη g_m - g_{ds} που είναι σαφώς πιο ευαίσθητα. Με αυτό τον τρόπο μπορεί να προσδιοριστεί το κατώφλι της μέγιστης ισχύος του σήματος.

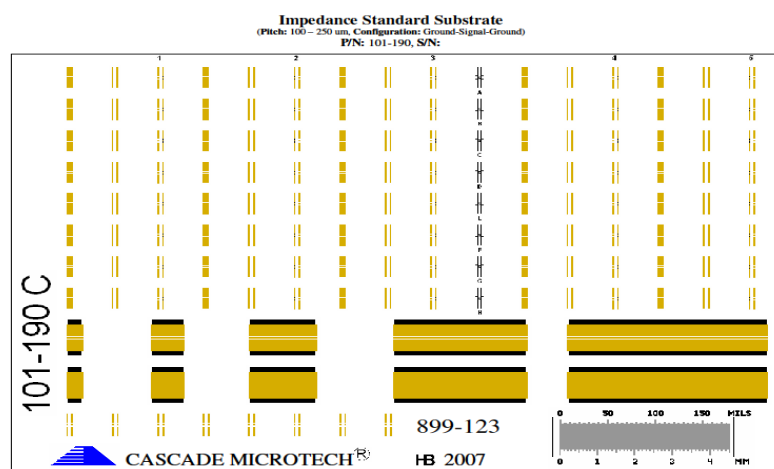
3.4 On-Wafer Βαθμονόμηση Συστήματος Μετρήσεων Υψηλών Συχνοτήτων (Calibration)

Βαθμονόμηση του συστήματος (calibration) καλείται η διαδικασία αφαίρεσης των συστηματικών λαθών που εισέρχονται στη μέτρηση μας από τα όργανα (Network Analyzer) και τις διασυνδέσεις (connectors - cables) μέχρι το σημείο αναφοράς. Ως σημείο αναφοράς θεωρούμε το σημείο διαχωρισμού μεταξύ του συστήματος μετρήσεων και του Device-Under-Test (DUT). Για να είμαστε πιο ακριβείς θεωρούμε ότι αυτό το σημείο εκτείνεται μέχρι τις ακίδες Μίκρο-κυματικής ζεύξης (RF probes), όπως απεικονίζεται στην εικόνα 3.2.



Εικόνα 3.2: Ακίδες Μίκρο-Κυματικής ζεύξης (RF probes - GSG)

Πρώτα από όλα για να προχωρήσουμε στη βαθμονόμηση του συστήματος είναι απαραίτητο να έχουμε στη διάθεση μας ένα Impedance Standard Substrate, εικόνα 3.3. Το ISS αποτελείται από κάποιες δομές-πρότυπα, τυπωμένα σε χρυσό, με γνωστή ηλεκτρική συμπεριφορά. Οι δομές που το απαρτίζουν είναι οι "Open", "Short", "Load" και "Thru" [26].



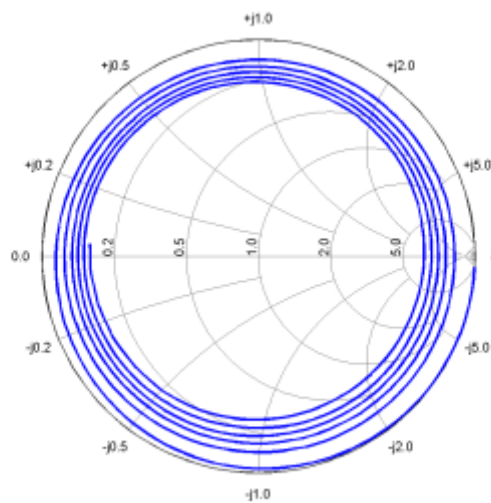
Εικόνα 3.3: Impedance Standard Substrate

Υπάρχουν διάφορες τεχνικές βαθμονόμησης αναλυτών δικτύων (VNA) που βασίζονται στις δομές του ISS. Οι πιο ευρέως διαδεδομένες είναι οι "Short-Open-Load-Thru (SOLT)", "Thru-Reflection-Line (TRL)", "Load-Reflection-Match (LRM)" και "Line-Reflection-Reflection-Match (LRRM)" [27-33] με την μέθοδο "SOLT" να αποτελεί την πρώτη επιλογή καθώς δεν περιορίζεται σε μια μπάντα συχνοτήτων [34].

3.4.1 Επαλήθευση της On-Wafer Βαθμονόμησης

Ο καλύτερος τρόπος για την επικύρωση της βαθμονόμησης (calibration) είναι μέσω της μέτρησης (on-wafer) ενός στοιχείου με γνωστές ηλεκτρικές ιδιότητες, βέβαια αυτό εισάγει ένα βαθμό δυσκολίας καθώς δεν υφίσταται τέτοιο στοιχείο. Αυτό το ρόλο λοιπόν έρχονται να λάβουν οι δομές από το "Impedance Standard Substrate", οι "Open", "Short", "Load" και "Thru" καθώς είναι πλήρως χαρακτηρισμένες από τον κατασκευαστή [34-36].

Ένας εξίσου αξιόπιστος τρόπος επαλήθευσης της βαθμονόμησης του συστήματος είναι να σηκώσουμε τις RF-ακίδες στον αέρα και να μετρήσουμε με τον VNA τον συντελεστή ανάκλασης S_{11} και S_{22} . Εφόσον η συγκεκριμένη μέτρηση συμπεριφέρεται σαν ιδανικό "OPEN" αυτό που θα περιμέναμε να δούμε είναι μια τέλεια ανάκλαση, η οποία σε S-parameters μεταφράζεται σε $|S_{11}| \cong 0$ dB στο εύρος της συχνότητας. Αν παρατηρήσουμε το S_{11} σε Smith Chart τότε θα πρέπει να έχει την μορφή της εικόνας 3.4 [35][37].

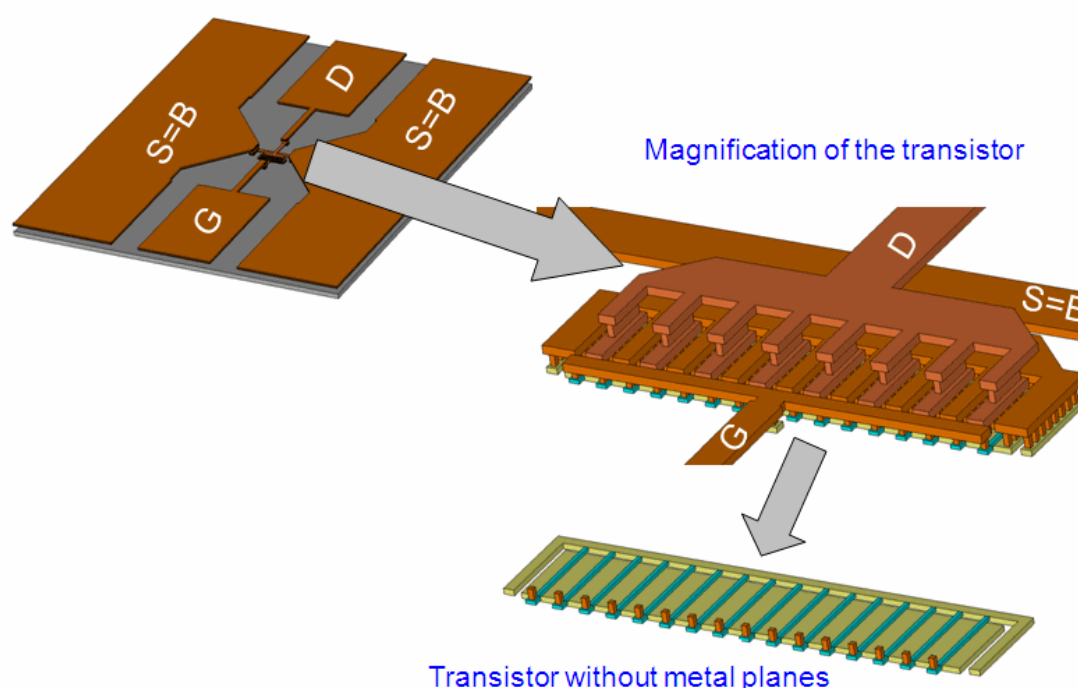


Εικόνα 3.4: Μέτρηση "OPEN" δομής που αποτυπώνεται σε Smith Chart

3.5 Μέθοδος Απενσωμάτωσης Παρασιτικών Φαινομένων -----

"De-Embedding"

Το επόμενο βήμα μετά την επιτυχημένη βαθμονόμηση (calibration) του συστήματος μετρήσεων είναι η διαδικασία του "De-embedding". Οι αντιστάσεις, οι χωρητικότητες και οι αυτεπαγωγές (παρασιτικές) που δημιουργούνται από τις διασυνδέσεις και από τα "pads" δεν επηρεάζουν την DC συμπεριφορά αλλά επιδρούν σε μεγάλο βαθμό στα RF χαρακτηριστικά. "De-"embedding" είναι λοιπόν η μέθοδος αφαίρεσης των παρασιτικών φαινομένων, όπως είναι χωρητικότητες, οι αγωγιμότητες και οι αυτεπαγωγές που εισέρχονται στη μέτρηση από τα "Pads" (για την ακρίβεια από τα Ground-Signal-Ground Pads που απαιτούν οι μετρήσεις υψηλών συχνοτήτων), από το υπόστρωμα και από τις διασυνδέσεις μεταξύ των Pads και του στοιχείου που είναι υπό εξέταση (Device Under Test – DUT), στην περίπτωση μας "MOSFET".



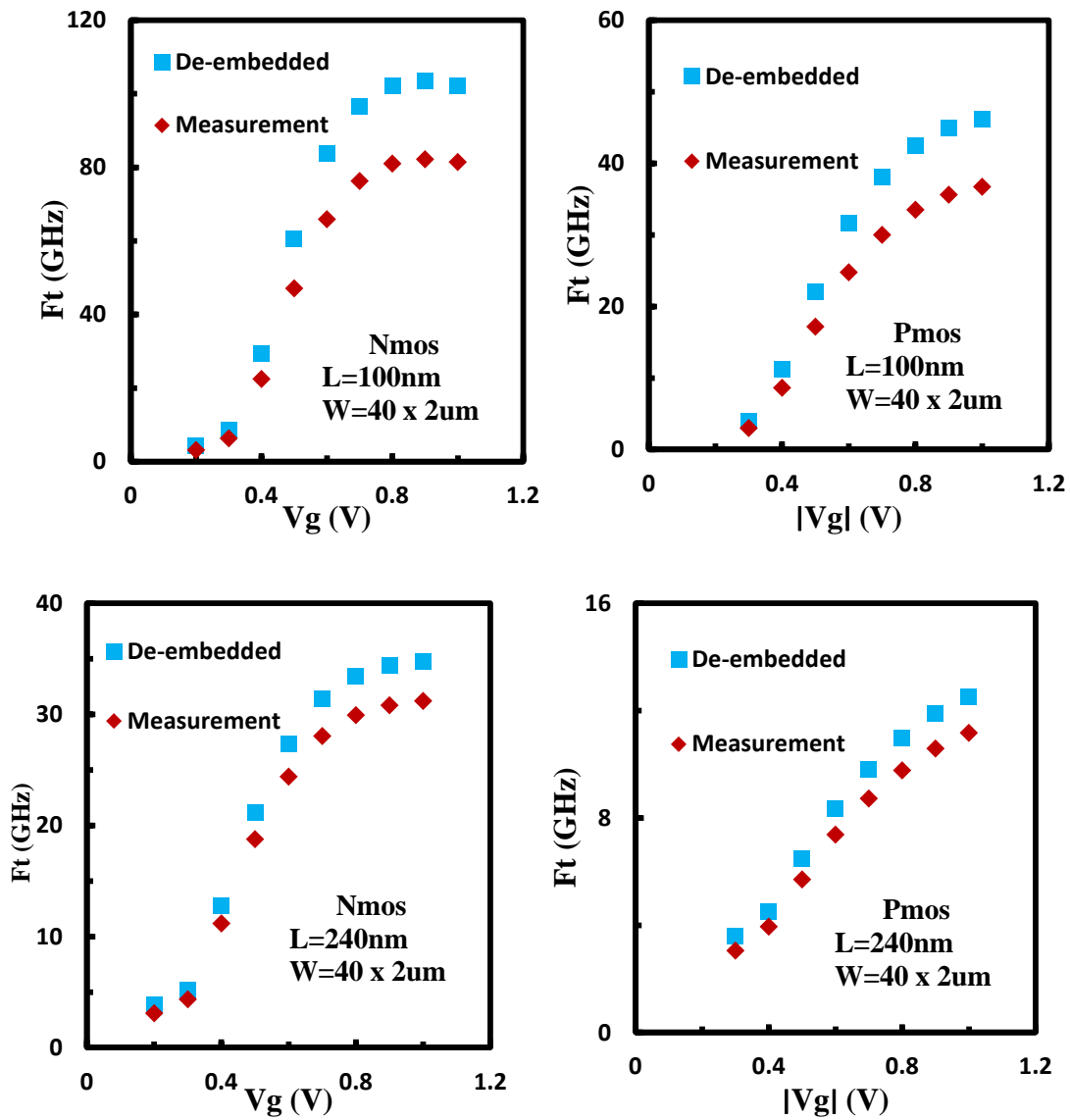
Εικόνα 3.5: Mosfet με GSG Pads, Mosfet με διασυνδέσεις και εν τέλει Mosfet χωρίς διασυνδέσεις [35]

Η διαδικασία της σωστής εξαγωγής του "De-embedding" γίνεται όλο και πιο ευαίσθητη όσο η τεχνολογία οδηγείται σε μικρότερα μήκη καναλιού. Ας εξετάσουμε λοιπόν μια τεχνολογία με ελάχιστο μήκος καναλιού 90 νανομέτρων ($L=90\text{nm}$).

Για παράδειγμα, τρανζίστορ (n-MOSFET) με μήκος καναλιού $L=100\text{nm}$ και συνολικού πλάτους $W_{\text{tot}}=20\mu\text{m}$ εμφανίζει χωρητικότητα

$$C_{\text{GG}} \approx C_{\text{GS}} + C_{\text{GD}} + C_{\text{GB}} \quad (2.1)$$

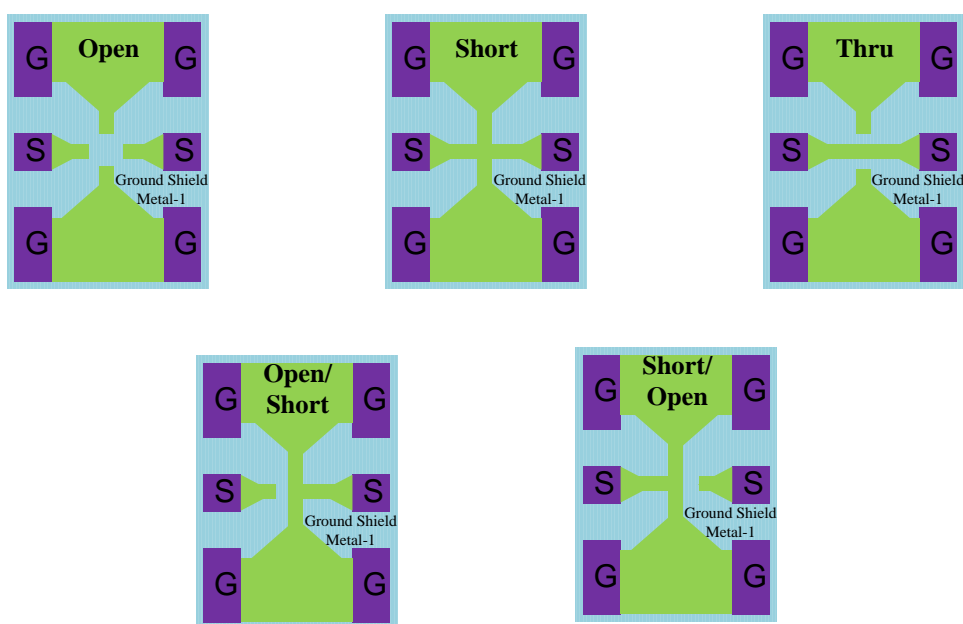
της τάξης των $\approx 14\text{fF}$ (10^{-15}F) [38][39]. Όπως είναι φυσικό αυτής της τάξης οι χωρητικότητες είναι άμεσα συγκρίσιμες με την χωρητικότητα που εμφανίζουν τα "GSG pads" [26][40] με συνέπεια αν δεν αφαιρεθούν να γίνει λάθος εκτίμηση των δεικτών απόδοσης της τεχνολογίας όπως φαίνεται και στην εικόνα 3.6.



Εικόνα 3.6: Εξαγωγή Συχνότητας Μοναδιαίου Κέρδους (F_T) ως προς τάση V_G για NMOS και PMOS μήκους καναλιού $L_1=100\text{nm}$ – $L_2=240\text{nm}$, $W=40 \times 2\mu\text{m}$, $|V_D|=1$, Μέτρηση και De-Embedding δεδομένα

Παρατηρούμε ότι όσο μειώνεται το μήκος καναλιού μιας τεχνολογίας, τα παρασιτικά φαινόμενα αυξάνονται υποβαθμίζοντας ακόμα περισσότερο τους δείκτες απόδοσης της εκάστοτε τεχνολογίας. Συγκεκριμένα για το NMOS μήκους καναλιού $L=100\text{nm}$ η απόκλιση στη συχνότητα μοναδιαίου κέρδους (F_T) μεταξύ της μέτρησης και των δεδομένων αφού έχει εφαρμοστεί το "De-embedding" είναι $\sim 20\text{GHz}$!!

Εφόσον διαπιστώσαμε ότι κρίνεται αναγκαία η διαδικασία αφαίρεσης των παρασιτικών φαινομένων προκειμένου να γίνει ο χαρακτηρισμός και η σωστή εκτίμηση των παραμέτρων στις υψηλές συχνότητες, ας εξετάσουμε και με ποιες μεθόδους μπορεί να γίνει αυτό. Ειδικές δομές τυπωμένες στο πυρίτιο (on wafer test structures) απαιτούνται για αυτή τη διαδικασία, εικόνα 3.7. Αρκετές "De-embedding" τεχνικές έχουν αναπτυχθεί στο πέρασμα των χρόνων βασισμένες στις διαφορετικές δομές [41-47]. Οι δομές αναφέρονται ως "open", "short", "thru", "open/short" και "short/open" ανάλογα με το αν είναι βραχυκυκλωμένο η επαφή του σήματος με την επαφή της γείωσης.



Εικόνα 3.7: Ειδικές δομές κατάλληλες για εφαρμογή στις τεχνικές του "De-embedding"

Η μέθοδος που έχει κυριαρχήσει στη βιομηχανία είναι η "open-short". Η ιδέα πίσω από αυτή τη μέθοδο είναι ότι η ηλεκτρική συμπεριφορά των "pads" μπορεί να περιγραφεί μόνο από παράλληλους ("Open") και σε σειρά ("Short") συνδυασμούς παρασιτικών στοιχείων [35][36].

Από τη στιγμή που οι μεταβλητές του δικτυώματος (σειριακές και παράλληλες) είναι γνωστές από την δίθυρη ανάλυση (two-port) τότε μπορούν εύκολα να αφαιρεθούν από τη μέτρηση εφαρμόζοντας τις παρακάτω εξισώσεις.

$$Y_{DUT/Open} = Y_{Total} - Y_{Open} \quad (2.2)$$

$$Y_{Short/Open} = Y_{Short} - Y_{Open} \quad (2.3)$$

Στη συνέχεια μετατρέπουμε τις Y-παραμέτρους σε Z-παραμέτρους σκέδασης

$$Z_{DUT/Open} = Z(Y_{DUT/Open}) \quad (2.4)$$

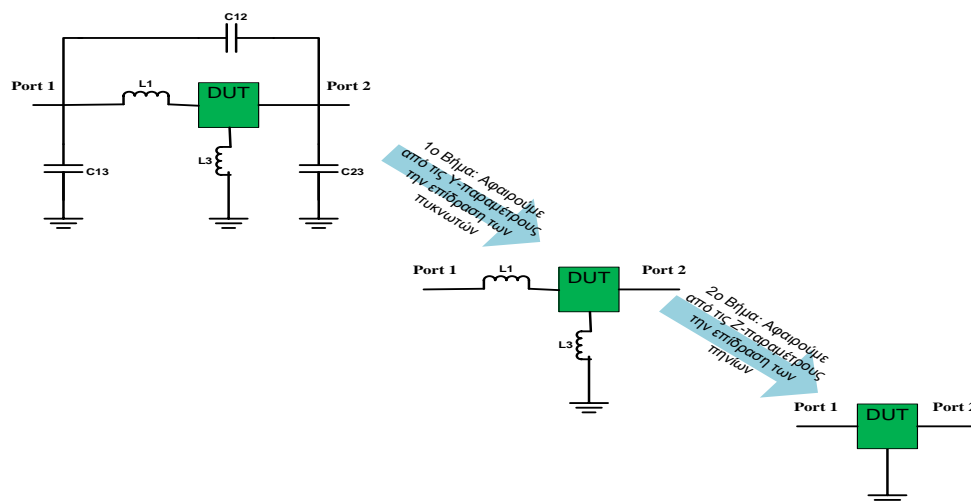
$$Z_{Short/Open} = Z(Y_{Short/Open}) \quad (2.5)$$

$$Z_{DUT} = Z_{DUT/Open} - Z_{Short/Open} \quad (2.6)$$

$$S_{Deembed} = S(Z_{DUT}) \text{ ή } Y_{Deembed} = Y(Z_{DUT}) \quad (2.7)$$

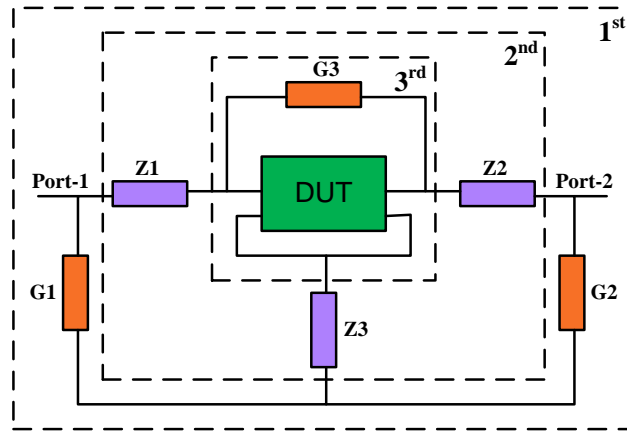
Στο πρώτο βήμα αφαιρείται η επίδραση των παράλληλων παρασιτικών στοιχείων σε δυο στάδια, στο πρώτο αφαιρώντας τις Y-παραμέτρους του "Open" (Y_{Open}) από τις Y-παραμέτρους του στοιχείου μας (Y_{Total} - ενεργό ή και παθητικό) δημιουργώντας το $Y_{DUT/Open}$ και στη συνέχεια τις Y-παραμέτρους του "Short" (Y_{Short}) από τις Y-παραμέτρους του "Open" (Y_{Open}) προκύπτοντας το $Y_{Short/Open}$.

Στο επόμενο βήμα μετατρέπουμε τις παραμέτρους αυτών που έχουν προκύψει από Y σε Z και στο τελευταίο βήμα αφαιρείται η επίδραση των σειριακών παρασιτικών στοιχείων αφαιρώντας τις $Z_{Short/Open}$ από την $Z_{DUT/Open}$. Αυτό που προκύπτει Z_{DUT} είναι το στοιχείο μας χωρίς την επίδραση των εξωτερικών στοιχείων, εικόνα 3.8.



Εικόνα 3.8: Ισοδύναμα κυκλώματα και "Open-Short De-Embedding" μεθοδολογία

Στα πλαίσια της παρούσας διπλωματικής εφαρμόστηκε εκτός της μεθοδολογία που μόλις αναπτύξαμε, εφαρμόσαμε και την "improved 3-Step De-embedding" [41]. Ο λόγος που έγινε αυτό έγκειται στο γεγονός ότι είχαμε στη διάθεση μας διαφορετικές δομές ("dummy structures"), όπου στη μια περίπτωση ευνοούσε την εφαρμογή της "Open-Short" τεχνικής ενώ στην άλλη περίπτωση της "improved 3-Step De-embedding". Ο αποτρεπτικός παράγοντας στο να σχεδιασθούν/τυπωθούν και οι πέντε δομές, ώστε να είναι στην ευχέρεια του μηχανικού ποια μέθοδο θα επιλέξει να εφαρμόσει, οφείλεται στο γεγονός ότι οι δομές καταλαμβάνουν μεγάλο μέρος επιφάνειας πυριτίου το οποίο μεταφράζεται σε επιπλέον κόστος. Για την εφαρμογή της [41] είναι απαραίτητες οι δομές "Open", "Open/Short", "Short/Open" και για λόγους επαλήθευσης κυρίως η "Thru". Ο υπολογισμός των παρασιτικών στοιχείων στηρίζεται στο ισοδύναμο σχήμα της εικόνας 3.9.



Εικόνα 3.9: Ισοδύναμο κύκλωμα RF δομής και "3-step De-embedding" διαδικασία

Όλα τα παρασιτικά στοιχεία που εμφανίζονται, αγωγιμότητα και εμπέδηση, υπολογίζονται από μετρήσεις S-παραμέτρων των "De-embedding" δομών μέσω των εξής εξισώσεων:

$$G_1 = Y_{11,Open} + Y_{12,Open} \quad (8)$$

$$G_2 = Y_{22,Open} + Y_{12,Open} \quad (9)$$

$$G_3 = \frac{Y_{12,Open} * Y_{12,Thru}}{Y_{12,Open} - Y_{12,Thru}} \quad (10)$$

$$Z_1 = \frac{1}{2} \left(-\frac{1}{Y_{12,Thru}} + \frac{1}{Y_{11,Short/Open} - G_1} - \frac{1}{Y_{11,Open/Short} - G_2} \right) \quad (11)$$

$$Z_2 = \frac{1}{2} \left(-\frac{1}{Y_{12,Thru}} - \frac{1}{Y_{11,SHort/Open} - G_1} + \frac{1}{Y_{11,Open/SHort} - G_2} \right) \quad (12)$$

$$Z_3 = \frac{1}{2} \left(\frac{1}{Y_{12,Thru}} + \frac{1}{Y_{11,SHort/Open} - G_1} + \frac{1}{Y_{11,Open/SHort} - G_2} \right) \quad (13)$$

Βέβαια για να ισχύουν τα Z_1, Z_2, Z_3 έχει γίνει η υπόθεση ότι

$$\frac{1}{G_3} + Z_X \gg Z_3 \quad (14)$$

όπου $Z_X = Z_1$ ή Z_2 . Βέβαια η (14) μπορεί να λειτουργήσει ως ένα μέτρο επαλήθευσης της συγκεκριμένης "De-embedding" μεθοδολογίας. Επιπλέον λόγω της συγκεκριμένης παραδοχής η μεθοδολογία μπορεί να εφαρμοστεί σε αρκετά υψηλές συχνότητες, πάνω από 50GHz [16].

Από τη στιγμή που έχουν οριστεί οι μεταβλητές από το G_1 έως Z_3 , μπορεί να γίνει το "De-embedding", αυτό γίνεται σε τρία βήματα όπως φαίνεται στην εικόνα 3.9.

Στο πρώτο βήμα οι S-παράμετροι, που προκύπτουν από τη μέτρηση του στοιχείου που θέλουμε να εφαρμόσουμε το "De-embedding", μετατρέπονται σε Y-παραμέτρους και αφαιρείται η επίδραση των αγωγιμοτήτων G_1 και G_2 .

$$Y_A = Y_{meas} - \begin{bmatrix} G_1 & 0 \\ 0 & G_2 \end{bmatrix} \quad (15)$$

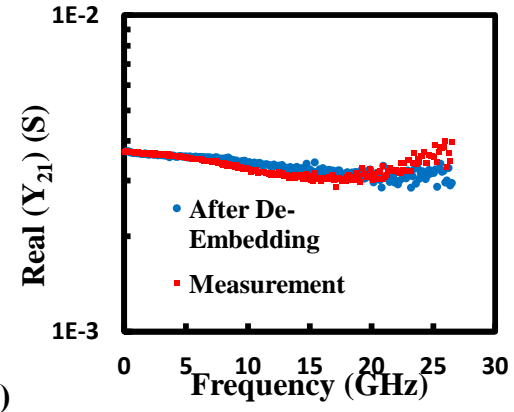
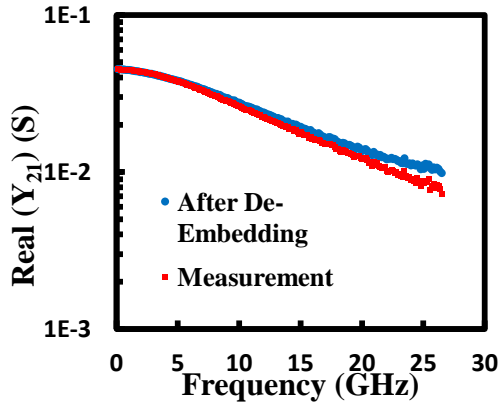
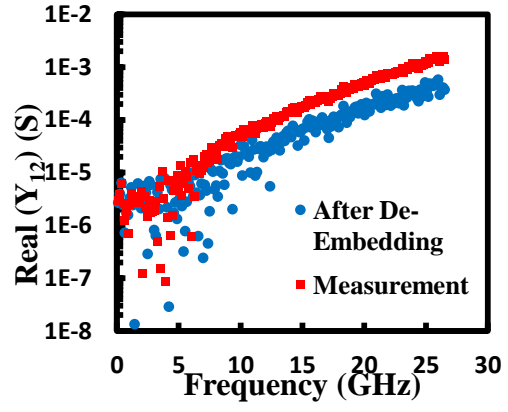
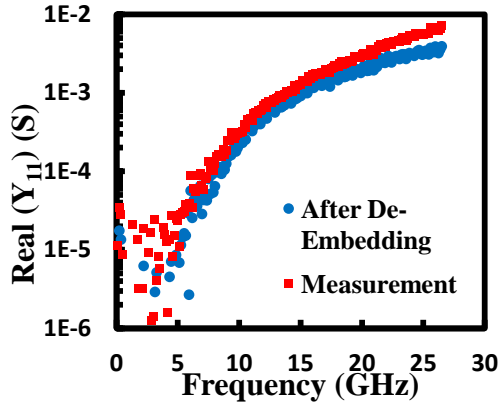
Στο επόμενο βήμα ο πίνακας Y_A μετατρέπεται σε Z_A και αφαιρείται η σειριακή εμπέδηση του δικτύωματος.

$$Z_B = Z_A - \begin{bmatrix} Z_1 + Z_3 & Z_3 \\ Z_3 & Z_2 + Z_3 \end{bmatrix} \quad (16)$$

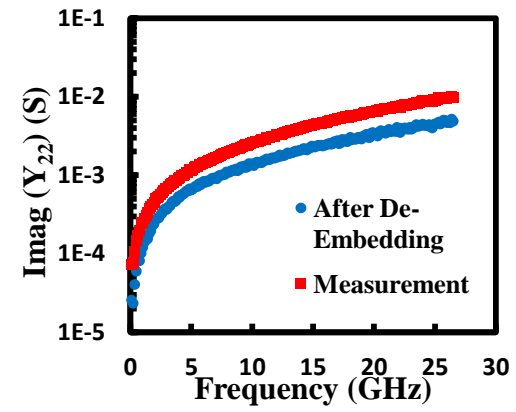
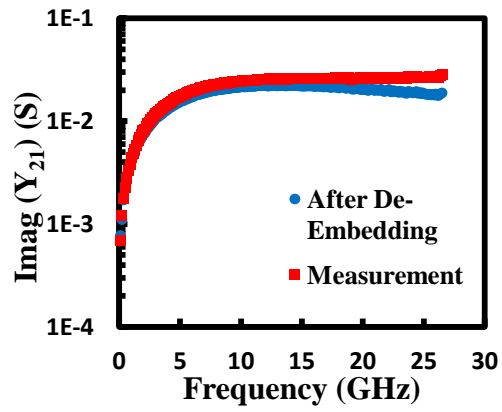
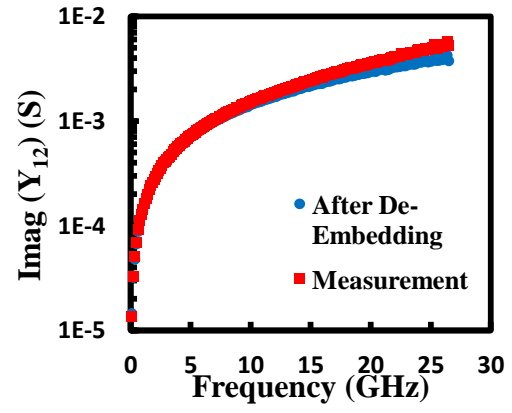
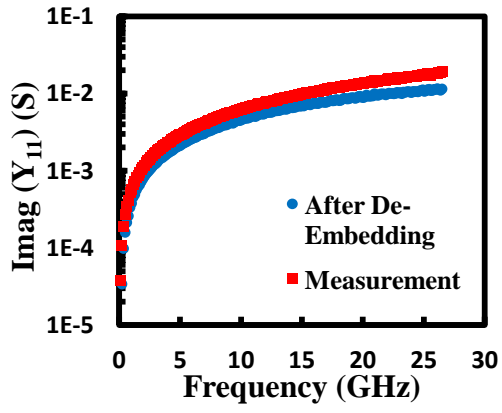
Στο τρίτο και τελευταίο βήμα ο πίνακας Z_B μετατρέπεται ξανά σε Y_B με στόχο να περιοριστούν οι απώλειες λόγω σύζευξης μεταξύ των δυο εισόδων (port-1/port-2) μέσω της αγωγιμότητας G_3 .

$$Y_{DUT} = Y_B - \begin{bmatrix} G_3 & -G_3 \\ -G_3 & G_3 \end{bmatrix} \quad (17)$$

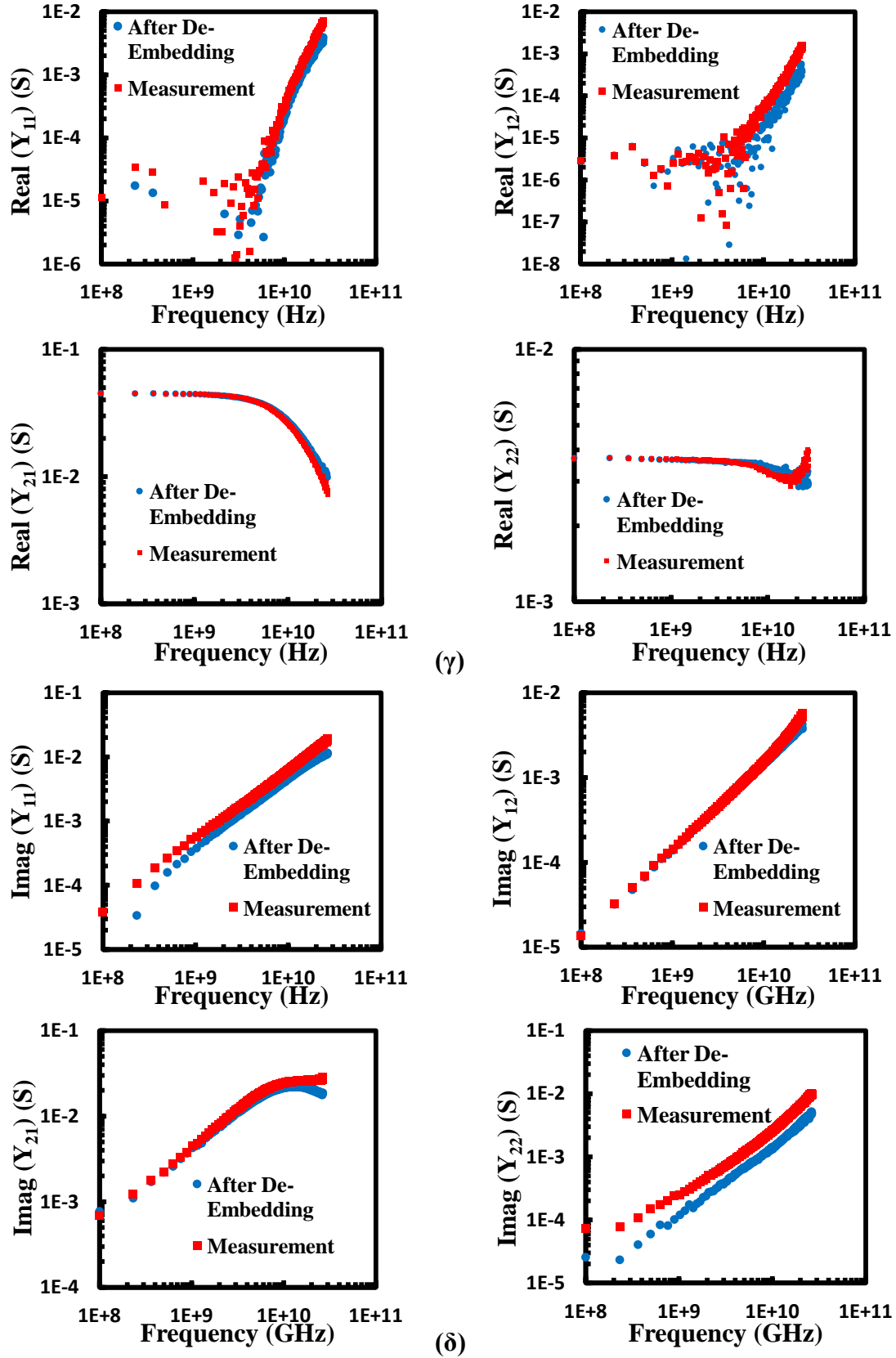
Στις εικόνες 3.10 και 3.11 διακρίνονται NMOS και PMOS αντίστοιχα, $L=100\text{nm}$ και $W=30 \times 2\mu\text{m}$, $|V_{DS}|=1\text{V}$ και $|V_{GS}|=0.8\text{V}$ όπου εφαρμόστηκε το "Improved 3-Step De-Embedding", τα αποτελέσματα Real και Imagine των Y-parameter απεικονίζονται σε λογαριθμική και ήμι-λογαριθμική κλίμακα. Οι μετρήσεις υλοποιήθηκαν στο εργαστήριο Μικροηλεκτρονικής Πολυτεχνείου Κρήτης μέχρι τα 26.5GHz και καλύπτουν ένα μεγάλο εύρος πολώσεων.



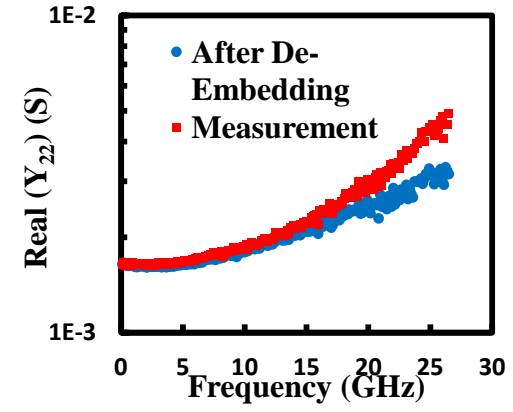
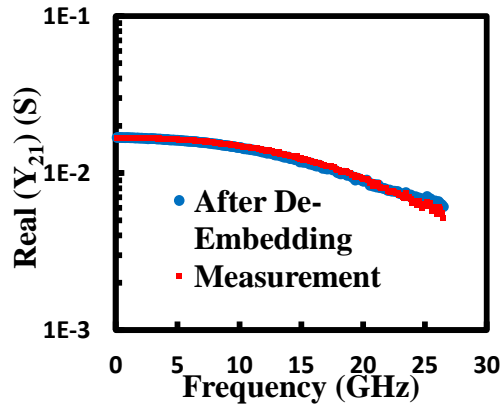
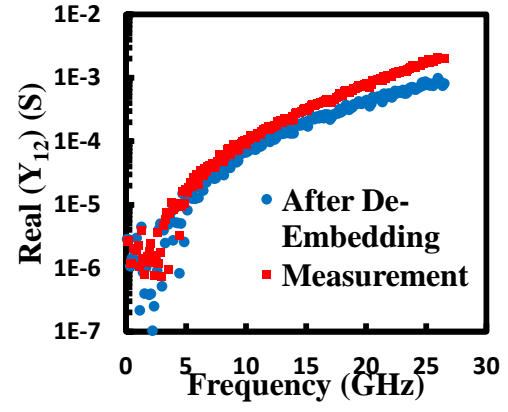
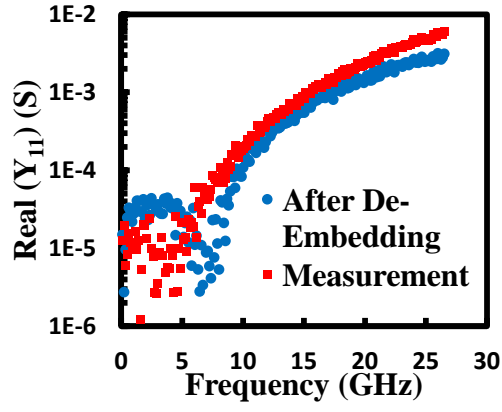
(a)



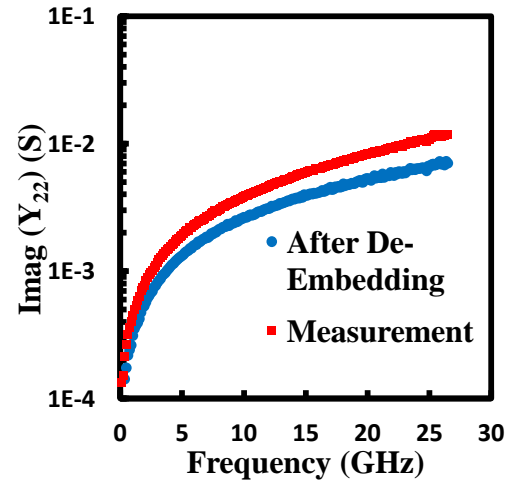
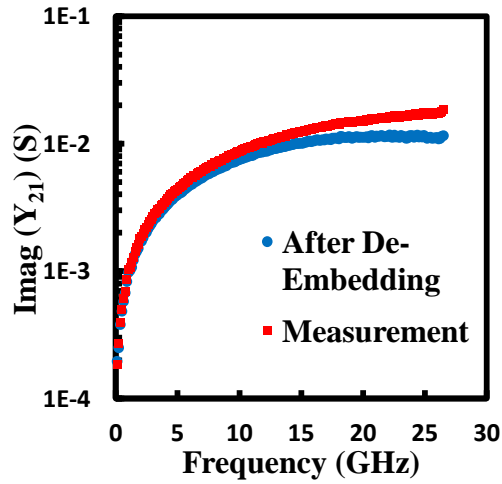
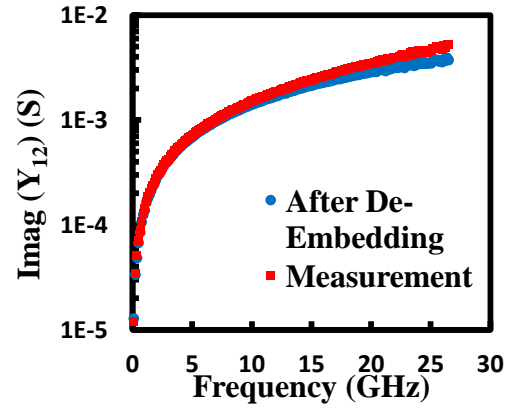
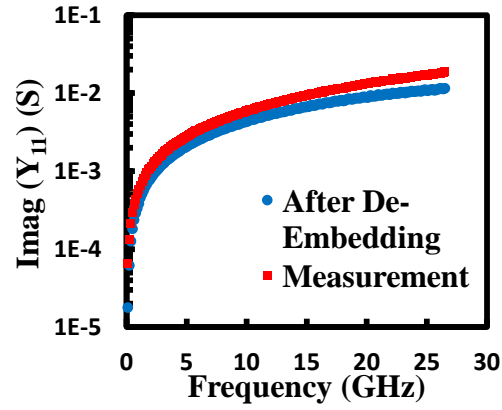
(b)



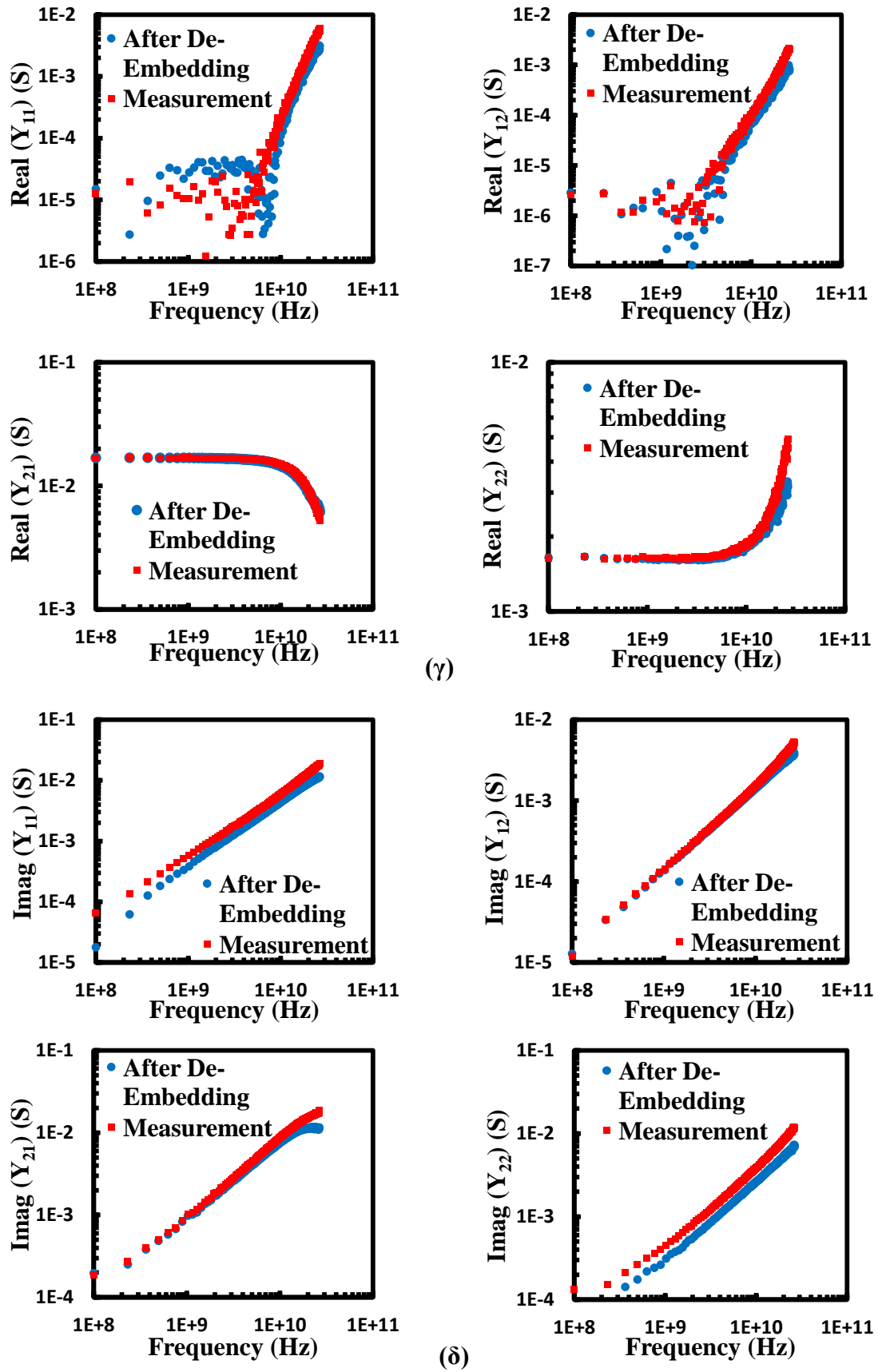
Εικόνα 3.10: Πραγματικό (Real) και Φανταστικό (Imaginary) μέρος Y -παραμέτρων ως προς τη συχνότητα σε (α) (β) ήμι-λογαριθμική και (γ) (δ) λογαριθμική κλίμακα αντίστοιχα, για NMOS με διαστάσεις $L=100\text{nm}$, $W=30 \times 2\mu\text{m}$, $V_{DS}=1\text{V}$ και $V_{GS}=0.8\text{V}$



(α)



(β)



Εικόνα 3.11: Πραγματικό (Real) και Φανταστικό (Imaginary) μέρος Y-παραμέτρων ως προς τη συχνότητα σε (α) (β) ήμι-λογαριθμική και (γ) (δ) λογαριθμική κλίμακα αντίστοιχα για PMOS με διαστάσεις $L=100\text{nm}$, $W=30 \times 2\mu\text{m}$, $V_{DS}=1\text{V}$ και $V_{GS}=0.8\text{V}$

3.5.1 Επικύρωση της διαδικασίας του "De-Embedding"

Βέβαια, ένα ακόμα σημαντικό βήμα είναι η επαλήθευση του "De-Embedding". Χωρίς αυτό το βήμα, λάθη ή προβλήματα κατά την διαδικασία του De-Embedding θα ενσωματωθούν στο στοιχείο μας (τρανζίστορ, πηνίο, ενεργό/παθητικό) με αποτέλεσμα να οδηγηθούμε σε ανακριβή αποτελέσματα. Γι αυτό το λόγο συστήνεται να γίνεται η επαλήθευση/εφαρμογή του "De-Embedding" πρώτα σε κάποιο στοιχείο με γνωστά ηλεκτρικά χαρακτηριστικά ή όπως είναι γνωστό "golden device". Στην πραγματικότητα όμως δεν υπάρχει τέτοιο στοιχείο οπότε γι αυτό το λόγο, αυτό το ρόλο έρχεται να τον πάρει η δομή "Thru". Η ιδέα είναι ότι η δομή "Thru" συμπεριφέρεται σαν μια απλή γραμμή καθυστέρησης με χαρακτηριστική αγωγιμότητα Z_0 και χρόνο καθυστέρησης TD.

Στην περίπτωση που εφαρμόστηκε η μέθοδος του Vandamme [41] τότε η επαλήθευση μπορεί να γίνει συγκρίνοντας τις Y-παραμέτρους των δομών που δεν χρησιμοποιήθηκαν στις εξισώσεις (8)-(13), με τις θεωρητικές τιμές που προκύπτουν από τα ισοδύναμα κυκλώματα.

Κεφάλαιο 4

4 Χαρακτηρισμός και Μοντελοποίηση MOSFET στις Υψηλές Συχνότητες

Η σχεδίαση RFIC συστημάτων αποτελεί μια πρόκληση για τον κόσμο της μικροηλεκτρονικής λόγω της αυξημένης ανάγκης που υπάρχει για μείωση της συνολικής κατανάλωσης ισχύος και θορύβου, αποτέλεσμα αυτού είναι να υπάρχουν μικρά περιθώρια βελτιστοποίησης. Επομένως κρίνεται αναγκαία η ευχέρεια σωστής πρόβλεψης της ηλεκτρικής συμπεριφοράς των CMOS RF κυκλωμάτων προκειμένου να αυξήσουμε την απόδοση μειώνοντας παράλληλα το χρόνο σχεδίασης του τελικού προϊόντος. Αυτό όμως συνεπάγεται την αυξημένη απαίτηση για μοντέλα MOS τρανζίστορ τα οποία να είναι αξιόπιστα σε ένα μεγάλο εύρος πολώσεων, να καλύπτουν την ηλεκτρική συμπεριφορά από DC έως RF καθώς επίσης να καλύπτουν και πληθώρα διαφορετικών γεωμετριών [48]. Σε αυτό το κεφάλαιο θα καλύψουμε μια σειρά ζητημάτων χαρακτηρισμού και μοντελοποίησης CMOS τεχνολογίας 90nm στις υψηλές συχνότητες με το συμπαγές μοντέλο EKV3. Το μοντέλο EKV3 αναπτύσσεται στο εργαστήριο Μικροηλεκτρονικής του Πολυτεχνείου Κρήτης και είναι διαθέσιμο/ενσωματωμένο σε βιομηχανικά πακέτα μοντελοποίησης και σχεδίασης ολοκληρωμένων κυκλωμάτων όπως είναι αυτά της CADENCE, της SYNOPSIS και της AGILENT.

4.1 Τι διαφέρει στα RF MOSFETs

Όταν αυξάνεται η συχνότητα λειτουργίας σε ένα MOS τρανζίστορ, τα χαρακτηριστικά του, όπως είναι το κέρδος και η διαγωγιμότητα του, αρχίζουν να υποβαθμίζονται. Οι παράγοντες που προκαλούν την υποβάθμιση διακρίνονται ανάμεσα σε αυτά που προέρχονται από το εσωτερικό (intrinsic) μέρος του στοιχείου (την περιοχή καναλιού) και αυτά που σχετίζονται με το εξωτερικό κομμάτι του τρανζίστορ (τα παρασιτικά στοιχεία). Το όριο στη συχνότητα λειτουργίας του εσωτερικού μέρους καθορίζεται από την συχνότητα ω_{qs} , η οποία οριοθετεί και τη στατική σε μη-στατική λειτουργία (από QS σε NQS) του στοιχείου. Η συχνότητα ω_{qs} δίνεται από τον τύπο:

$$\omega_{qs} = \omega_{spec} \cdot \Omega_{qs}(q_s, q_d) \quad (4.1)$$

όπου $\omega_{spec} = \mu U_T / L_f^2$ και $\Omega_{qs}(q_s, q_d)$ είναι η κανονικοποιημένη συχνότητα QS, η οποία όμως είναι εξαρτώμενη από την πόλωση. Σε ισχυρή αναστροφή και κορεσμό η Ω_{qs} ισούται από

$$\Omega_{qs} \cong \frac{15}{2} q_s = \frac{15}{2} \sqrt{i_f} = \frac{15}{4} \frac{V_P - V_S}{U_T} \quad (4.2)$$

Προκειμένου να μην έχουμε υποβάθμιση λόγω NQS λειτουργίας, κατά την QS λειτουργία η συχνότητα ω_{qs} πρέπει να είναι υψηλότερα από την συχνότητα λειτουργίας (συνήθως κατά ένα συντελεστή 5-7). Αυτή η συνθήκη επιτυγχάνεται αυξάνοντας την Ω_{qs} είτε επιλέγοντας αρκετά υψηλή πόλωση για δεδομένο μήκος καναλιού είτε αυξάνοντας την ω_{spec} μειώνοντας το μήκος καναλιού σε δεδομένη πόλωση ή και τα δυο μαζί. Ας σημειώσουμε ότι η συχνότητα QS είναι αντιστρόφως ανάλογη με το τετράγωνο του μήκους καναλιού (στο μη κορεσμό) για συγκεκριμένο σημείο λειτουργίας.

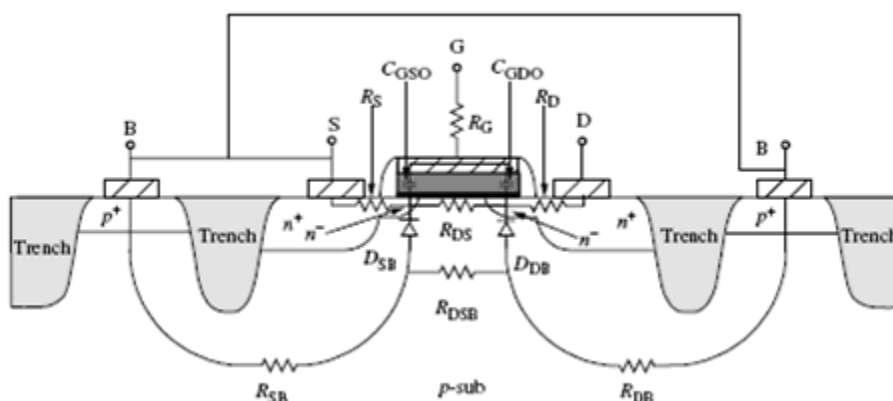
Οι περιορισμοί λόγω των εξωτερικών παραγόντων συνδέονται ισχυρά με το φυσικό σχέδιο της δομής, αλλά σε γενικές γραμμές οι περιορισμοί στη συχνότητα οφείλονται κυρίως στις χωρητικότητες και πιο συγκεκριμένα στις χωρητικότητες (junction & overlap) που εμφανίζονται στον επαγωγό C_{BDj} και C_{GD0} . Η C_{GD0} βέβαια επηρεάζει και την σύζευξη μεταξύ πύλης και επαγωγού [48].

Τα RF MOS τρανζίστορ συνήθως σχεδιάζονται ως μεγάλα στοιχεία προκειμένου να επιτύχουν την επιθυμητή διαγωγιμότητα που απαιτούν οι αυξημένες ανάγκες στα RF. Γι αυτό το λόγο συνήθως σχεδιάζονται ως multifinger στοιχεία όπου το συνολικό μήκος ισούται με $W = N_f \cdot W_f$.

4.2 Μοντελοποίηση MOSFET στις υψηλές συχνότητες

Στους περισσότερους εμπορικά διαθέσιμους προσομοιωτές κυκλωμάτων, τα μοντέλα για MOS τρανζίστορ έχουν αναπτυχθεί και ενσωματωθεί σε αυτούς για σχεδιάσεις ψηφιακών κυκλωμάτων και αναλογικών χαμηλής συχνότητας. Ιδιαίτερη έμφαση έχει δοθεί στο ρεύμα του επαγωγού (DC), στη διαγωγιμότητα και στα εσωτερικά φορτία/χωρητικότητες έως την περιοχή των MHz. Ωστόσο όσο η συχνότητα λειτουργίας των κυκλωμάτων εκτείνεται στην περιοχή των GHz και στο άμεσο μέλλον των THz [49], το εξωτερικό (extrinsic) μέρος ανταγωνίζεται και υποβαθμίζει το εσωτερικό (intrinsic) μέρος των MOS. Ως εκ τούτου, ένα μοντέλο υψηλών συχνοτήτων που λαμβάνει υπόψη και τα εσωτερικά και τα εξωτερικά στοιχεία των MOS είναι εξαιρετικά αναγκαίο για να επιτύχουμε αξιόπιστα και αναμενόμενα αποτελέσματα κατά την προσομοίωση των κυκλωμάτων σε αυτές τις συχνότητες.

Όπως φαίνεται στην εικόνα 4.1 [50] ένα MOSFET τεσσάρων ακροδεκτών μπορεί να χωριστεί σε δύο τμήματα: το εσωτερικό (intrinsic) και το εξωτερικό (extrinsic) μέρος.

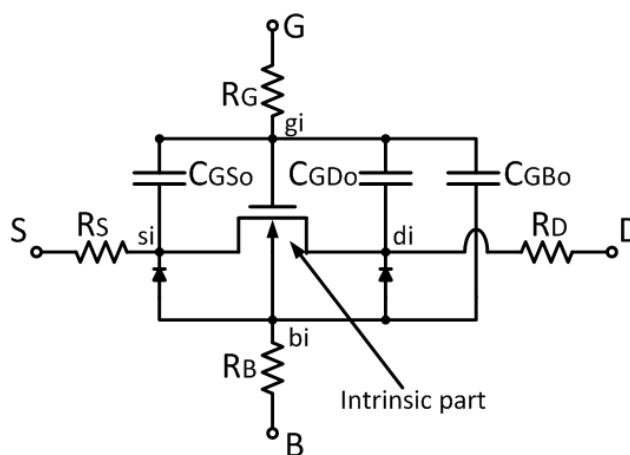


Εικόνα 4.1: Διατομή MOSFET περιλαμβάνοντας τα παρασιτικά στοιχεία [50]

Το εξωτερικό μέρος αποτελείται από όλα τα παρασιτικά στοιχεία, όπως είναι η αντίσταση της πύλης R_G , οι χωρητικότητες αλληλοεπικάλυψης πύλης/πηγής C_{GSO} , πύλης/επαγωγού C_{GDO} , πύλης/υποστρώματος C_{GBO} , οι αντιστάσεις πηγής R_S και επαγωγού R_D , οι διόδοι ζεύξης πηγής/υποστρώματος D_{SB} και επαγωγού/υποστρώματος D_{DB} και τέλος οι αντιστάσεις υποστρώματος R_{SB} , R_{DB} και R_{DSB} . Το εσωτερικό μέρος είναι ο πυρήνας του στοιχείου χωρίς τα παραπάνω παρασιτικά. Ακόμα και αν το ιδανικό θα ήταν η σχεδίαση και κατασκευή MOSFETs χωρίς αυτά, στην πραγματικότητα είναι αδύνατο. Να σημειώσουμε ότι σε DC καθώς και σε λειτουργία χαμηλής συχνότητας, κάποια από αυτά τα παρασιτικά έχουν

ανεπαίσθητο αντίκτυπο. Για παράδειγμα, η εμπέδηση (*impedance*) των χωρητικότητων ζεύξης (*junction capacitance*) είναι τόσο μεγάλη με αποτέλεσμα στις χαμηλές συχνότητες ο ακροδέκτης του επαγωγού να μην λαμβάνει υπόψη την εμπέδηση υποστρώματος. Ωστόσο, το δικτύωμα R - C λόγω *depletion* χωρητικότητων και αντιστάσεων υποστρώματος και του AC σήματος που το διαρρέει θα επηρεάσει σημαντικά την απόδοση του στοιχείου στις υψηλές συχνότητες [51].

Τα δυο μέρη των MOSFET (*intrinsic* και *extrinsic*) διακρίνονται από τους εσωτερικούς κόμβους (gi , di , si , bi) όπως φαίνεται και στην εικόνα 4.2. Η σύνδεση του εσωτερικού μέρους με το εξωτερικό γίνεται μέσω των επεκτάσεων της πηγής και του επαγωγού (*Source Drain Extension – SDE*) καθώς και μέσω της διάχυσης πηγής και επαγωγού [38][48][52]. Βέβαια αυτά τα μέρη προσθέτουν παρασιτικές αντιστάσεις οι οποίες όμως μοντελοποιούνται μέσω των αντιστάσεων πηγής R_S και επαγωγού R_D . Η προσβασιμότητα στην πύλη μπορεί να μοντελοποιηθεί μέσω μιας ισοδύναμης αντίστασης, R_G . Προκειμένου να μοντελοποιήσουμε το δικτύωμα υποστρώματος, αρκετές προσεγγίσεις έχουν προταθεί [53-55] με την πιο απλή από αυτές να κάνει χρήση μόνο μιας αντίστασης υποστρώματος, την R_B .



Εικόνα 4.2: Ισοδύναμο κύκλωμα MOSFET που περιλαμβάνει το εξωτερικό μέρος [38]

Όπως έχει προαναφερθεί λόγω της SDE, παρασιτικές χωρητικότητες ενσωματώνονται στο εξωτερικό μέρος του στοιχείου. Οι χωρητικότητες αλληλοεπικάλυψης C_{GS0} και C_{GD0} οφείλονται στην επικάλυψη του οξειδίου της πύλης πάνω από το SDE. Στα MOSFET μικρού καναλιού ειδικά όταν βρίσκονται στην περιοχή ισχυρής αναστροφής (*strong inversion*) οι παρασιτικές χωρητικότητες ισοδυναμούν περίπου με το μισό της συνολικής χωρητικότητας με συνέπεια να πρέπει

να είναι αρκετά ακριβής η μοντελοποίηση τους. Βέβαια δεν έχουν όλες την ίδια επίδραση καθώς η χωρητικότητα πύλης/υποστρώματος C_{GBO} έχει αμελητέα επιρροή σε σύγκριση με τις προαναφερθέντες.

4.2.1 Μοντελοποίηση του Εσωτερικού Τμήματος (*Intrinsic*) των MOSFETs

Τα RF MOSFET μοντέλα προκειμένου να πληρούν τις προδιαγραφές που αναφέρθηκαν νωρίτερα, πρέπει να περιλαμβάνουν τα περισσότερα (αν όχι όλα) από τα πιο σημαντικά φυσικά φαινόμενα που αντιμετωπίζουν τα MOSFET. Προκειμένου να μη προκληθεί κάποια σύγχυση στον αναγνώστη με την ελληνική ορολογία τα αναφέρω αυτούσια, "*normal and reverse short channel and narrow width effects, channel length modulation, drain-induced barrier lowering (DIBL) velocity saturation, mobility degradation due to vertical electric field, impact ionization, self heating, polysilicon depletion, edge effect...*". Ένα συμπαγές μοντέλο, όπως είναι το EKV3 [48][56-59], περιλαμβάνει αρκετές μαθηματικές εξισώσεις προκειμένου να περιγράψει φυσικά τα διάφορα φαινόμενα που αναφέραμε. Βέβαια από τα πιο σημαντικά και ουσιώδη μέρη ενός μοντέλου είναι αυτό που περιγράφει την DC ηλεκτρική συμπεριφορά καθώς και τις χωρητικότητες. Αξίζει να σημειώσουμε ότι η ακρίβεια προσαρμογής ενός μοντέλου μικρού σήματος στις υψηλές συχνότητες καθορίζεται πρωταρχικά με σχετικά καλή ακρίβεια από το μοντέλο DC και χωρητικότητων.

Στο DC μοντέλο, τα φορτία καναλιού καθώς και η ευκινησία πρέπει να μοντελοποιηθούν προσεχτικά προκειμένου να περιγράψουν με ακρίβεια τις χαρακτηριστικές ρεύματος. Κατά την μοντελοποίηση το φορτίο στο κανάλι, καθώς και τα φυσικά φαινόμενα μικρού μήκους καναλιού, πρέπει να υπολογισθούν προκειμένου να περιγράψουν τα φορτία που αναπτύσσονται στις νέες γενιές MOS τρανζίστορ. Η ευκινησία επηρεάζει σημαντικά την ακρίβεια του μοντέλου με συνέπεια η μη σωστή εκτίμηση της να νοθεύει τη συμπεριφοράς του [60]. Βασισμένο στο μοντέλο φορτίων και ευκινησίας, πλήρης εξισώσεις έχουν αναπτυχθεί και ενσωματωθεί στο μοντέλο EKV3 για τα φυσικά φαινόμενα που προαναφέραμε.

Κατά την λειτουργία των κυκλωμάτων, τα MOSFETs λειτουργούν έχοντας ως είσοδο σήματα τα οποία μεταβάλλονται με το χρόνο. Η δυναμική λειτουργία αυτών μπορεί να ταξινομηθεί ως μικρού σήματος ή μεγάλου σήματος ανάλογα με το μέγεθος του

AC σήματος που εφαρμόζεται. Και τα δυο είδη όμως λειτουργίας επηρεάζονται από τα χωρητικά φαινόμενα του στοιχείου. Αρκετές προσεγγίσεις για την μοντελοποίηση των χωρητικότητων του εσωτερικού τμήματος των MOSFET έχουν γίνει μέχρι τώρα, οι οποίες διακρίνονται κυρίως σε δυο κατηγορίες: 1) Τα μοντέλα Meyer και αυτά που μοιάζουν στη προσέγγιση Meyer για τις χωρητικότητες [61] και 2) το μοντέλο φορτίων για τις χωρητικότητες [56][62]. Το μοντέλο Meyer για τις χωρητικότητες είναι αρκετά απλοποιημένο σε σύγκριση με το μοντέλο φορτίων, το μοντέλο φορτίων όμως για τις χωρητικότητες είναι ιδανικό για RF εφαρμογές καθώς μπορεί να περιγράψει με μεγαλύτερη ακρίβεια την επίδραση αυτών. Η ανάπτυξη ενός μοντέλου για τις εσωτερικές χωρητικότητες των MOS σε λειτουργία υψηλών συχνοτήτων είναι ακόμα μια πρόκληση καθώς το μοντέλο θα πρέπει να πληροί τις εξής προδιαγραφές: 1) συνεχές και ομαλό σε όλες τις περιοχές πολώσεων, 2) να παρέχει ακρίβεια για τις διαφορετικές γεωμετρίες και τέλος 3) να διασφαλίζει συμμετρία του μοντέλου στο σημείο $V_{DS}=0V$.

4.2.2 Μοντελοποίηση του Εξωτερικού Τμήματος (*Extrinsic*) των MOSFETs

Όπως αναφέραμε νωρίτερα, το MOSFET περιέχει αρκετά εξωτερικά στοιχεία όπως είναι αυτά της αντίστασης της πύλης, οι αντιστάσεις πηγής/επαγωγού, αντίσταση και χωρητικότητα υποστρώματος καθώς και οι χωρητικότητες αλληλοεπικάλυψης.

Είναι γνωστό πως η R_G έχει αντίκτυπο στο ταίριασμα της εμπίδησης προκειμένου να επιτύχει μέγιστη μεταφορά ισχύος και επίσης αυξάνει το NF του τρανζίστορ λόγω του θερμικού θορύβου που εισάγεται από την αντίσταση της πύλης. Επιπλέον η αντίσταση της πύλης μειώνει την F_{max} , η οποία είναι μια κρίσιμη παράμετρος για την σχεδίαση RF κυκλωμάτων. Η R_G είναι ένα στοιχείο ανεξάρτητο από την πόλωση σε dc και χαμηλής συχνότητας λειτουργία, αλλά στις υψηλές συχνότητες αυτό μπορεί να αλλάζει λόγω δυο επιπλέον φυσικών φαινομένων. Το ένα από αυτά είναι το φαινόμενο της κατάτμησης των γραμμών μεταφοράς της πύλης στις υψηλές συχνότητες και το άλλο είναι το φαινόμενο κατάτμησης ή NQS στο κανάλι [63-64].

Τα φαινόμενα γίνονται πιο έντονα όσο το πλάτος της πύλης αυξάνεται, γι αυτό συνιστώνται "*multifinger*" MOS στη σχεδίαση κυκλωμάτων με μικρότερο πλάτος για το κάθε κανάλι ώστε να μειώσουμε την επίδραση του φαινομένου.

Μια έκφραση για την αντίσταση της πύλης βασισμένη σε αυτήν που ισχύει για dc και χαμηλής συχνότητας λειτουργία έχει προταθεί για τον υπολογισμό της R_G στις υψηλές συχνότητες περιλαμβάνοντας και την επίδραση των φαινομένων [59] [65-66]:

$$R_G = \kappa \cdot \frac{1}{3} \cdot \frac{W_f}{N_f \cdot L_f} \cdot R_{gsh} \quad (4.3)$$

Ο συντελεστής $1/3$ συνήθως αντικατοπτρίζει την κατανεμημένη φύση RC των γραμμών μεταφοράς κατά μήκος του καναλιού, στη διεύθυνση του πλάτους [67][68]. Εάν η πύλη συνδέεται με μεταλλικές γραμμές και στη μεριά της πηγής και του επαγωγού τότε η R_G είναι τέσσερις φορές μικρότερη από ότι αν ήταν συνδεδεμένη μόνο στη μια πλευρά [55][69]. Ο συντελεστής " κ " έχει το ρόλο να είναι ίσος με ένα στη μια περίπτωση και $1/4$ στην περίπτωση που η πύλη συνδέεται και στις δυο μεριές. Οι αντιστάσεις πηγής/επαγωγού εξαρτώνται από την πόλωση. Ωστόσο ένα μοντέλο χωρίς να περιλαμβάνει αυτή την εξάρτηση μπορεί να είναι περιγράφει εξίσου καλά τις αντιστάσεις στα σημερινά MOS τρανζίστορ. Οι νέες τεχνολογίες (180nm και κάτω) έχουν μεγάλη συγκέντρωση φορέων το οποίο μεταφράζεται σε χαμηλή εξάρτηση των R_D και R_S από την πόλωση [3].

$$R_D \cong R_{D0} + \frac{r_{dw}}{N_f \cdot W_f} \quad (4.4)$$

$$R_S \cong R_{S0} + \frac{r_{sw}}{N_f \cdot W_f} \quad (4.5)$$

Όπου οι r_{dw} , r_{sw} είναι οι παρασιτικές αντιστάσεις στον επαγωγό και στην πηγή με μοναδιαίο πλάτος και οι R_{D0} , R_{S0} υπολογίζουν την σειριακή αντίσταση χωρίς την εξάρτηση από το πλάτος.

Η επίδραση της αντίστασης υποστρώματος συνήθως αγνοείται στα συμπαγή μοντέλα κατά την προσομοίωση στις χαμηλές συχνότητες. Ωστόσο, στις ψηλές συχνότητες υπάρχει σύζευξη μεταξύ του σήματος στον ακροδέκτη του επαγωγού με τους ακροδέκτες της πηγής και του υποστρώματος μέσω των *junction* πυκνωτών και της αντίστασης υποστρώματος. Η αντίσταση υποστρώματος επηρεάζει κυρίως τις χαρακτηριστικές εξόδου και μπορεί να συμβάλει έως 20% στη συνολική διαγωγιμότητα εξόδου [66][70]. Γενικά αν θεωρήσουμε ότι το στοιχείο μας είναι συμμετρικό ανάμεσα στη πηγή και στον επαγωγό και δεν υπάρχουν διαφορές ανάμεσα στο εξωτερικό και εσωτερικό μέρος των περιοχών πηγής/επαγωγού σε ένα *multifinger* στοιχείο, τότε μπορούμε να κάνουμε την εκτίμηση ότι:

$$R_{DSB} = \frac{r_{dsb} \cdot L_f}{N_f \cdot L_f} \quad (4.6)$$

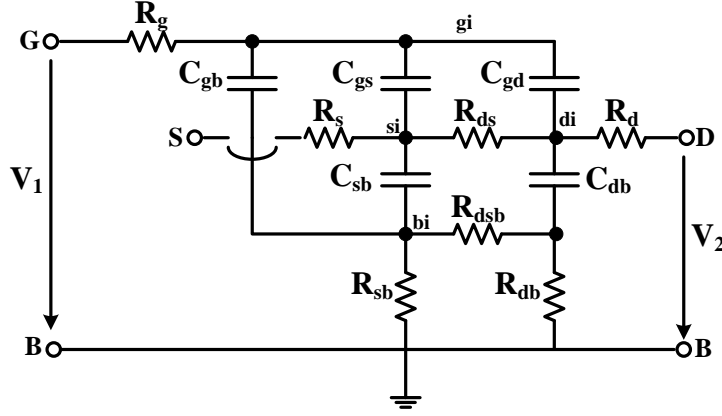
Όπου r_{dsb} είναι η *sheet resistance* στο υπόστρωμα ανάμεσα στη πηγή και τον επαγωγό. Σύμφωνα με το φυσικό σχέδιο, οι αντιστάσεις R_{SB} και R_{DB} θα πρέπει να είναι συνάρτηση του πλάτους καναλιού του στοιχείου.

4.3 Λειτουργία MOST's Διατάξεων στις Υψηλές Συχνότητες

Συνήθως υιοθετείτε η *Y-parameter* ανάλυσης για να αποκτήσουμε τις κατάλληλες εξισώσεις προκειμένου να εξάγουμε τις τιμές των στοιχείων που λαμβάνουν δράση στο εσωτερικό και εξωτερικό τμήμα των MOS τρανζίστορ στις υψηλές συνθήκες. Οι πόλοι που δημιουργούνται λόγω των αντιστάσεων (που κατά βάση είναι μικρές λόγω του μεγάλου αριθμού των δαχτύλων που επιλέγεται) εμφανίζονται σε πολύ μεγαλύτερη συχνότητα από τις τυπικές συχνότητες διέλευσης, με αποτέλεσμα να μπορούν να παραμεληθούν όταν υπολογίζουμε τις *Y-parameter* και τις σχετικές ποσότητες. Οι αντιστάσεις υποστρώματος στην ανάλυση μικρού σήματος επίσης θεωρούνται αμελητέες για τις Y_{11} , Y_{12} , Y_{21} προκειμένου να προκύψουν κατάλληλες εκφράσεις/εξισώσεις που θα συνεισφέρουν στην εξαγωγή των παραμέτρων. Οι παράμετροι σχετικά με τα *dc* χαρακτηριστικά εξάγονται από τα δεδομένα των *dc* μετρήσεων. Μεθοδολογίες για την εξαγωγή *dc* χαρακτηριστικών με το μοντέλο EKV έχουν αναπτυχθεί αρκετά καλά στις [52][55][57][71].

Προκειμένου να εκτιμήσουμε την επίδραση των εξωτερικών στοιχείων, τα φαινόμενα λόγω του εσωτερικού τμήματος των MOS πρέπει να ελαχιστοποιηθούν. Εφαρμόζοντας αρκετά υψηλή πόλωση στη πύλη προκειμένου το MOS να λειτουργεί στην περιοχή της ισχυρής αναστροφής έχει ως αποτέλεσμα η εσωτερική χωρητικότητα που εμφανίζεται μεταξύ πύλης-υποστρώματος να είναι αρκετά μικρή σε σημείο που μπορεί να θεωρηθεί αμελητέα. Επίσης, αν εφαρμόσουμε παράλληλα και $V_{DS}=0V$ η συμπεριφορά στο εσωτερικό τμήμα του τρανζίστορ γίνεται συμμετρική όσον αφορά την πηγή και τον επαγωγό.

Ως εκ τούτου, η επίδραση των διαγωγιμοτήτων και διαχωρητικοτήτων γίνεται πολύ μικρή και μπορεί να αμεληθεί, $g_m \approx 0$, $g_{mb} \approx 0$, $C_m \approx 0$, $C_{mb} \approx 0$ [69]. Το ισοδύναμο κύκλωμα μπορεί να απλοποιηθεί όπως φαίνεται στην εικόνα 4.3:



Εικόνα 4.3: Ισοδύναμο κύκλωμα μικρού σήματος για τον υπολογισμό των Y-parameters στη γραμμική περιοχή

Η τάση V_{GS} περιορίζεται σε μια τιμή τέτοια ώστε η αντίσταση καναλιού R_{DS} είναι αρκετά μεγάλη προκειμένου να μην επηρεάσει τις εξαχθέντες τιμές για την R_S και R_D . Σε αυτή την πόλωση, το απλοποιημένο δίθυρο δικτύωμα έχει μόνο αντιστάσεις και χωρητικότητες. Με βάση τα παραπάνω μπορούμε να καταλήξουμε στις αναλυτικές εξισώσεις για τις Y-parameters [50][59][72][73]:

$$Y_{11} \cong \omega^2 R_g C_{gg}^2 + j\omega C_{gg} \quad (4.7)$$

$$Y_{12} \cong -\omega^2 R_g C_{gg} C_{gd} - j\omega C_{gd} \quad (4.8)$$

$$Y_{21} \cong g_m - \omega^2 R_g C_{gg} C_{dg} - j\omega(C_{dg} + g_m R_g C_{gg}) \quad (4.9)$$

$$Y_{22} \cong g_{ds} + \omega^2 R_g C_{gg} (C_{bd} + C_{gd}) + j\omega(C_{bd} + C_{gd} - g_{ds} R_g C_{gg}) \quad (4.10)$$

Όπου $C_{gg} = C_{gs} + C_{gd} + C_{gb}$ είναι η συνολική χωρητικότητα πύλης. Επίσης οι χωρητικότητες που αναγράφονται στις εξισώσεις (4.7-4.10) περιλαμβάνουν τις χωρητικότητες και από το εσωτερικό (*intrinsic*) καθώς και από το εξωτερικό (*extrinsic*) μέρος των MOS.

Προκειμένου να καταλήξουμε στις εξισώσεις που μόλις αναπτύξαμε έχει γίνει η υπόθεση πως $\omega R_g C_{gg} \ll 1$. Η εγκυρότητα της υπόθεσης ελέγχεται μόλις εξαχθούν οι συγκεκριμένες παράμετροι. Ένα από τα βασικά πλεονεκτήματα της ύπαρξης των απλών αναλυτικών εξισώσεων είναι ότι μπορούν να χρησιμοποιηθούν για την εξαγωγή των παραμέτρων του RF μοντέλου απευθείας από τα δεδομένα των μετρήσεων.

Όλα τα στοιχεία του ισοδύναμου κυκλώματος εξάγονται από το πραγματικό και φανταστικό μέρος των Y-parameters, π.χ. το g_m καθορίζεται από την τιμή της τομής με το y-άξονα του $\text{Re}[Y_{21}]$ όταν το αντιπαραβάλουμε ως προς ω^2 στις χαμηλές

συχνότητες. Αντίστοιχα μπορούμε να ορίσουμε και τα υπόλοιπα στοιχεία βάση των εξισώσεων:

$$g_m \cong \operatorname{Re}[Y_{21}]|_{\omega^2=0} \quad (4.11)$$

$$g_{ds} \cong \operatorname{Re}[Y_{22}]|_{\omega^2=0} \quad (4.12)$$

$$R_g \cong \frac{\operatorname{Re}[Y_{12}]}{\operatorname{Im}[Y_{11}]\operatorname{Im}[Y_{12}]} \quad (4.13)$$

$$R_d \cong \frac{\operatorname{Re}[Y_{21}] - \operatorname{Re}[Y_{12}]}{(\operatorname{Im}[Y_{12}])^2} \quad (4.14)$$

$$C_{gg} \cong \left| \frac{\operatorname{Im}[Y_{11}]}{\omega} \right| \quad (4.15)$$

$$C_{gd} \cong -\frac{\operatorname{Im}[Y_{12}]}{\omega} \quad (4.16)$$

$$C_{gs} \cong \operatorname{Im}[Y_{11}] + \frac{\operatorname{Im}[Y_{12}]}{\omega} \quad (4.17)$$

$$C_{dg} \cong -\frac{\operatorname{Im}[Y_{21}]}{\omega} - g_m R_g C_{gg} \quad (4.18)$$

Στις περισσότερες RF εφαρμογές, τα τρανζίστορ πολώνονται στην περιοχή κορεσμού προκειμένου να επιτύχουν μεγαλύτερο κέρδος και δυναμικό εύρος. Ο σκοπός της ανάλυσης στα προηγούμενα βήματα με $V_{DS}=0V$ γίνεται κυρίως για να εξάγουμε τις σειριακές αντιστάσεις χρησιμοποιώντας το απλό ισοδύναμο κύκλωμα. Από τη στιγμή που μόνο το φανταστικό μέρος απαιτείται για τον καθορισμό των εσωτερικών χωρητικότητων, η συγκεκριμένη μέθοδος μπορεί να εφαρμοστεί και στην περιοχή του κορεσμού για την εξαγωγή των χωρητικότητων C_{gg} και C_{gd} [73].

Για την εξαγωγή των εισόδων του δικτυώματος σύζευξης του υποστρώματος, πρέπει αρχικά να αφαιρεθούν οι σειριακές αντιστάσεις R_G και R_D από τις θύρες εισόδου και εξόδου έτσι ώστε να απλοποιηθεί η ανάλυση του ισοδύναμου κυκλώματος. Επιπλέον μετρήσεις και δεδομένα απαιτούνται κάτω από τις συνθήκες $V_{GS}=V_{DS}=0$ όπου στη συνέχεια με τη βοήθεια των εξισώσεων (4.19-4.25) μπορούμε να υπολογίσουμε την ισοδύναμη είσοδο υποστρώματος

$$Y_{sub} = Y'_{22} - j\omega C_{gd} - g_{ds} \quad (4.19)$$

Όπου το g_{ds} εξάγεται από την τιμή του της παράστασης $\left(\frac{1}{\operatorname{Real}(Y'_{22})} - R_s \right)^{-1}$ στις χαμηλές συχνότητες (κάτω από 1GHz) και ο προσδιορισμός του C_{gd} έγινε μέσω της

(4.16). Επιπλέον η Y_{sub} εξάγεται μέσω της Y'_{22} από τα *de-embedding* δεδομένα όπου η Y'_{22} ορίζεται από την (4.23) μέσω μετατροπής των *Z-parameters* σε *Y-parameters*:

$$Z'_{11} = Z_{11} - R_g \quad (4.20)$$

$$Z'_{12} = Z_{12} \quad (4.21)$$

$$Z'_{21} = Z_{21} \quad (4.22)$$

$$Z'_{22} = Z_{22} - R_d \quad (4.23)$$

Όποτε σύμφωνα με τα προαναφερθέντα μπορούμε να καταλήξουμε στα εξής:

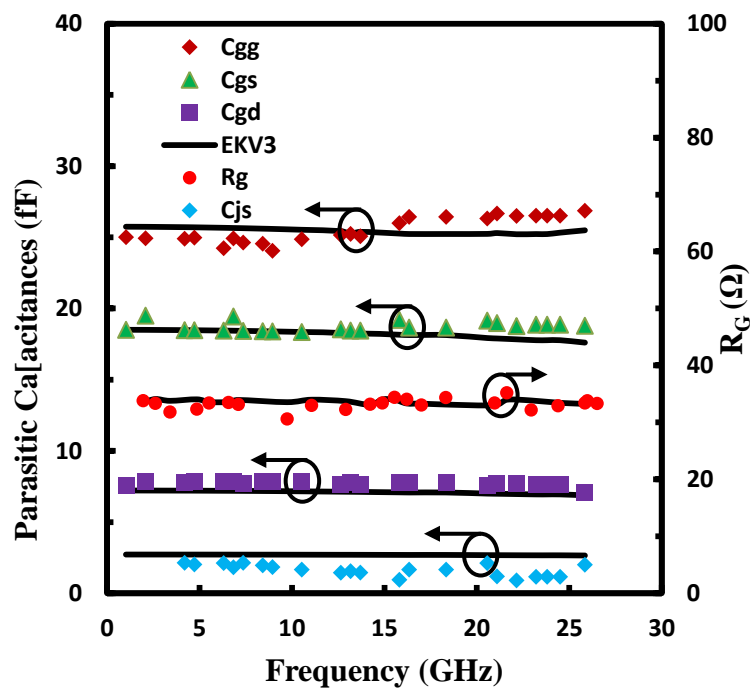
$$Re\{Y_{sub}\} = Re\{Y'_{22}\} - R_G(\omega C_{gd})^2 - \frac{1}{R_{DS}} \quad (4.24)$$

$$Im\{Y_{sub}\} = Re\{Y'_{22}\} - j\omega C_{gd} \quad (4.25)$$

4.4 Χαρακτηρισμός Τεχνολογίας CMOS 90nm και Εξαγωγή Παραμέτρων με το EKV3 Μοντέλο

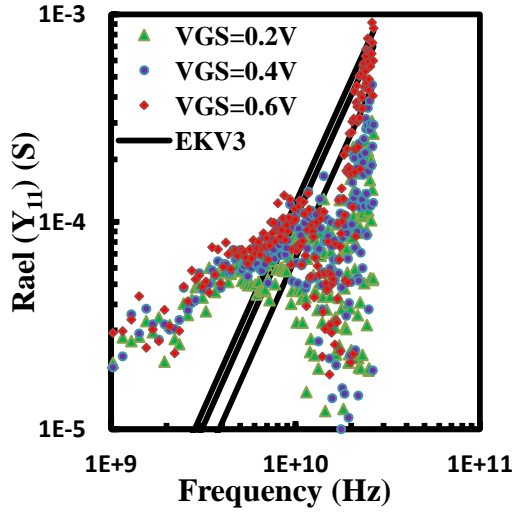
Το EKV3 είναι ένα συμπαγές μοντέλο για MOSFET's βασισμένο στη θεωρία των φορτίων [56][57]. Το μοντέλο δομείται έτσι ώστε να καλύπτει τις ανάγκες για αναλογικά/RF κυκλώματα χαμηλής κατανάλωσης και τροφοδοσίας. Στο πυρήνα του μοντέλου πρωταρχικό ρόλο έχουν οι μεταβλητές q_s και q_d , όπου q_s και q_d συμβολίζουν τα φορτία αναστροφής στο *source* και στο *drain*. Τα φορτία αναστροφής υπολογίζονται για όλες τις περιοχές λειτουργίας ως συνάρτηση της διαφοράς δυναμικού $V_P - V_S$ και $V_P - V_D$ όπου V_P είναι η pinch-off τάση. Όλοι οι περαιτέρω υπολογισμοί, όπως ρεύματα, διαγωγιμότητες, χωρητικότητες, θόρυβος είναι συναρτήσεις των φορτίων q_s και q_d . Επιπλέον το EKV3 έχει θερμοκρασιακή και γεωμετρική κλιμάκωση και εκτός αυτού μπορεί να καλύπτει ικανοποιητικά ανώτερης τάξης φαινόμενα, θερμικό θόρυβο ακόμα και στις πιο σύγχρονες τεχνολογίες [74-77]. Το EKV3 μοντέλο είναι ικανό να προβλέπει την ηλεκτρική συμπεριφορά των MOS σε ένα μεγάλο εύρος συχνοτήτων, γεωμετριών και πολώσεων. Για την εξαγωγή όμως του EKV3 μοντέλου σε τεχνολογία 90nm και την επιβεβαίωση της αξιοπιστίας του μοντέλου, *multifinger MOSFET's* διαφορετικών γεωμετριών μετρήθηκαν στο εργαστήριο μικροηλεκτρονικής του πολυτεχνείου Κρήτης κάτω από ένα μεγάλο εύρος πολώσεων.

Στα MOSFET's με μικρό μήκος καναλιού τα εξωτερικά στοιχεία επηρεάζουν δραστικά την συμπεριφορά καθώς και τους δείκτες απόδοσης αυτών. Γι αυτό κρίνεται αναγκαία η σωστή πρόβλεψη και μοντελοποίηση των παρασιτικών αντιστάσεων και χωρητικοτήτων. Από τη στιγμή που τα εξωτερικά στοιχεία προκύπτουν μέσω των Y-παραμέτρων (εξ. 4.11-4.18) συνεπάγεται ότι η σωστή εκτίμηση αυτών θα έχει αντίκτυπο και στη προσαρμογή του μοντέλου στις Y-παραμέτρους. Στην εικόνα 4.4 απεικονίζονται μετρήσεις και το EKV3 μοντέλο για τις παρασιτικές χωρητικότητες C_{GG} , C_{GS} , C_{GD} , C_{JS} καθώς και η αντίσταση πύλης R_G ως προς τη συχνότητα για n-MOS διαστάσεων $L=100\text{nm}$ και $W=10 \times 2\mu\text{m}$.

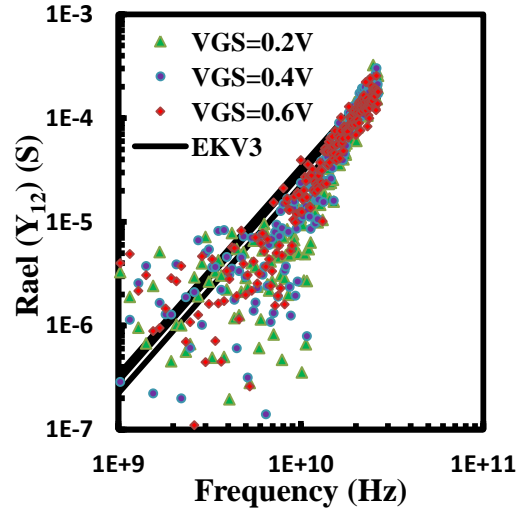


Εικόνα 4.4: Αντίσταση πύλης και παρασιτικές χωρητικότητες ως προς τη συχνότητα για n-MOS διαστάσεων $L=100\text{nm}$, $W=10 \times 2\mu\text{m}$, με συνθήκες πόλωσης $V_{GS}=V_{DS}=1\text{V}$

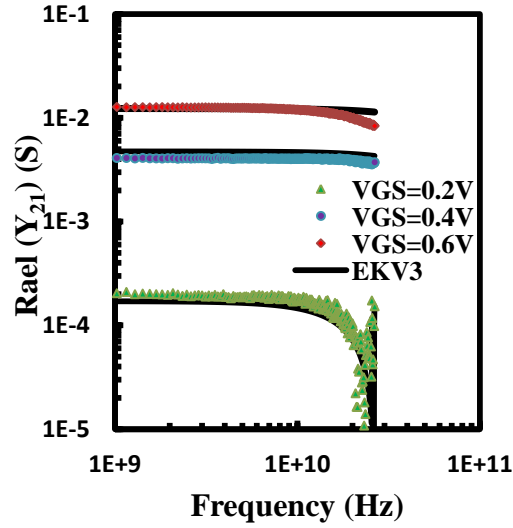
Στην εικόνα 4.5 & 4.6 αποτυπώνονται οι Y-parameters, πραγματικό και φανταστικό μέρος, μετρήσεις και μοντέλο EKV3 (n-MOS, $L=100\text{nm}$, $W=10 \times 2\mu\text{m}$) για τρεις διαφορετικές συνθήκες πόλωσης $V_{GS}=0.2\text{V}$, $V_{GS}=0.4\text{V}$, $V_{GS}=0.6\text{V}$ ενώ η $V_{DS}=1\text{V}$ και για τις τρεις περιπτώσεις. Οι συγκεκριμένες συνθήκες πόλωσης καλύπτουν από την ασθενή περιοχή έως και την περιοχή ισχυρής αναστροφής.



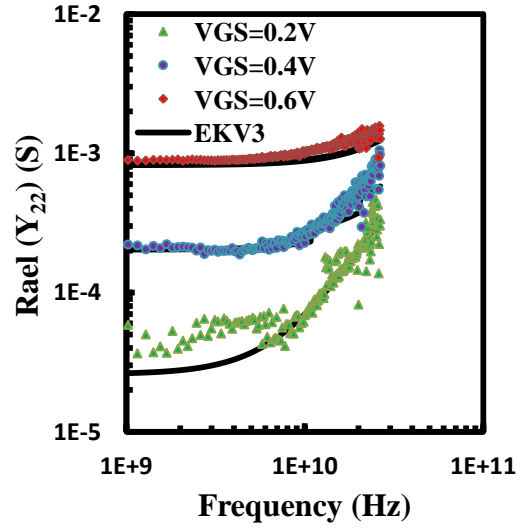
(a) Real (Y_{11})



(b) Real (Y_{12})

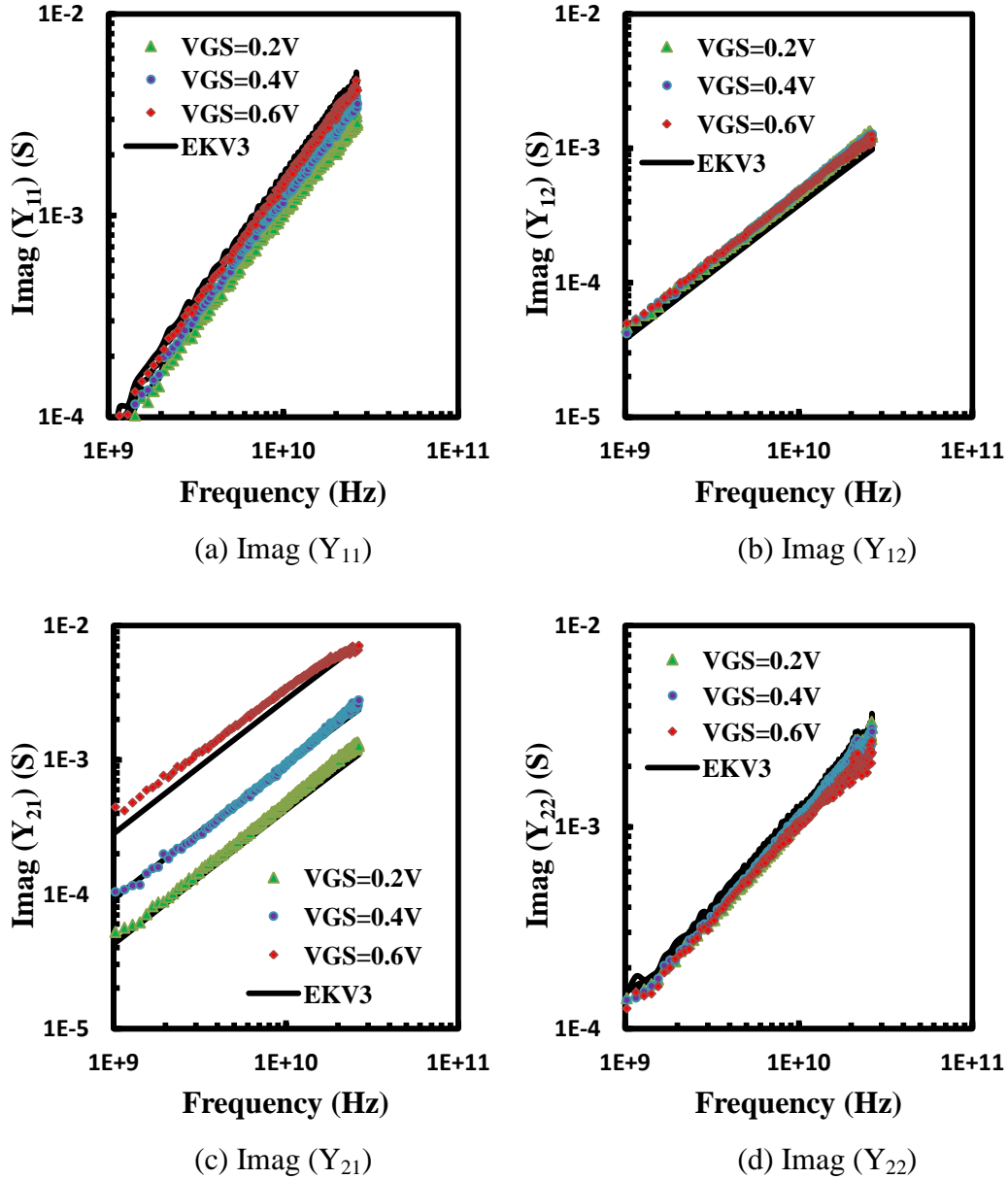


(c) Real (Y_{21})



(d) Real (Y_{22})

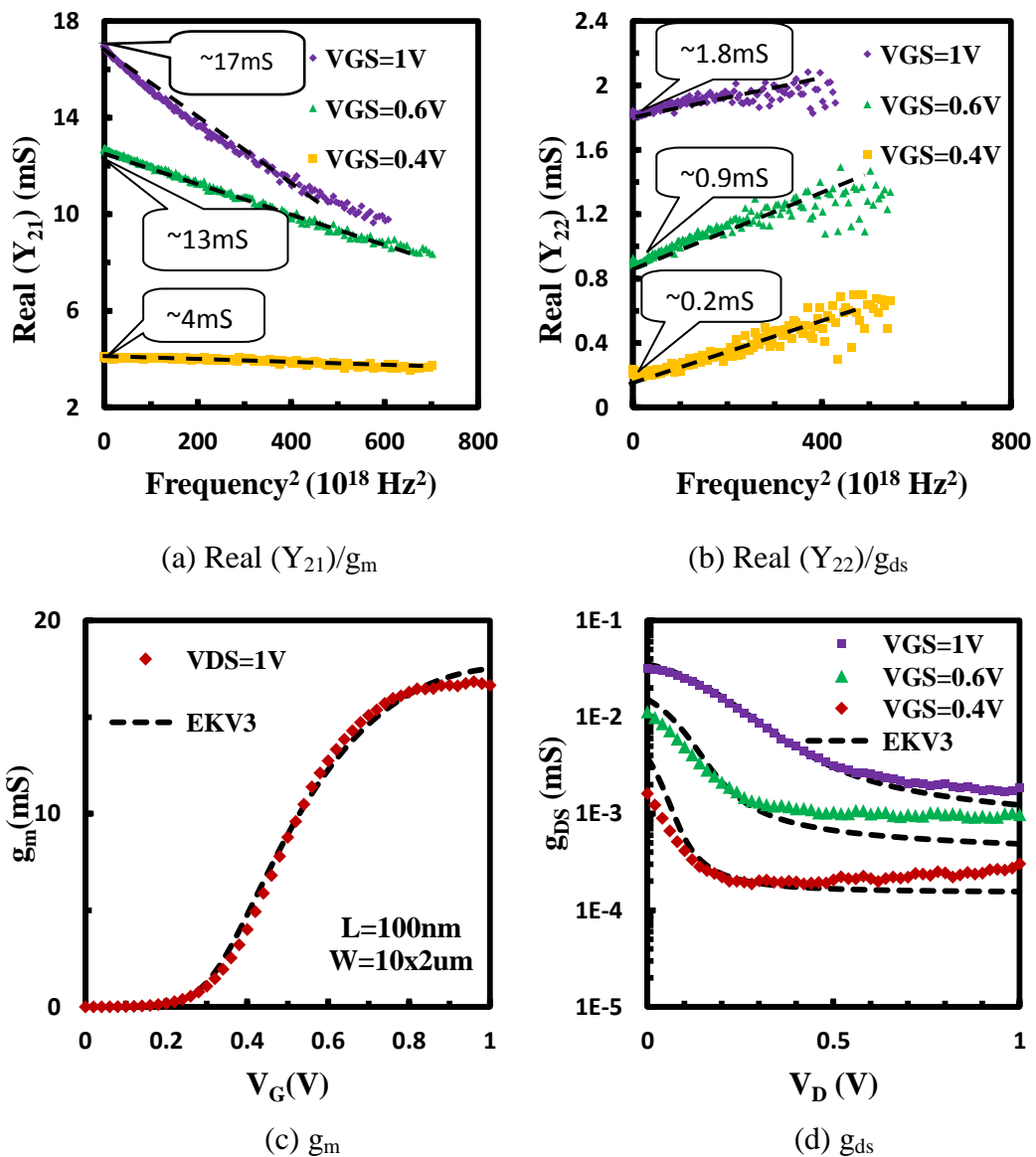
Εικόνα 4.5: Πραγματικό (Real) μέρος Y-parameters ως προς συχνότητα για n-MOS διαστάσεων $L=100\text{nm}$, $W=10 \times 2\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=1\text{V}$



Εικόνα 4.6: Φανταστικό (Imag) μέρος Y-parameters ως προς συχνότητα για n-MOS διαστάσεων $L=100\text{nm}$, $W=10 \times 2\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=1\text{V}$

Το EKV3 αποκρίνεται ικανοποιητικά σε ένα μεγάλο εύρος συχνοτήτων που εκτείνεται έως τα 26.5GHz. Η αντίσταση πύλης R_G σύμφωνα με τις εξισώσεις (4.9) & (4.10) έχει σημαντική επίδραση στο πραγματικό μέρος των Y_{21} και Y_{22} , ειδικά στις υψηλές συχνότητες όπως διακρίνεται στις εικόνες 5(c) και 5(d). Το ίδιο ισχύει και για την παρασιτική χωρητικότητα C_{GD} . Αξίζει να αναφέρουμε ότι όλα τα στοιχεία που αναφέραμε και αποτυπώνονται στην εικόνα 4 έχουν εξαχθεί στην περιοχή ισχυρής αναστροφής και κορεσμού σύμφωνα με την [72]. Η χωρητικότητα C_{GG} είναι το άθροισμα των $C_{GG} = C_{GS} + C_{GD} + C_{GB}$ και συμβολίζει την συνολική χωρητικότητα του n-MOS. Επίσης το γεγονός ότι τα παρασιτικά στοιχεία που απεικονίζονται στην

εικόνα 4.4 είναι ανεξάρτητα από την συχνότητα, αποτελεί μια καλή μέθοδο επαλήθευσης της de-embedding διαδικασίας και είναι ένα μέτρο αξιοπιστίας αυτής. Μια καλή εκτίμηση των DC τιμών της διαγωγιμότητας (g_m) και αγωγιμότητας εξόδου (g_{ds}) μπορεί να εξαχθεί μέσω των Y -παραμέτρων και των εξισώσεων (4.11) & (4.12). Το g_m εξάγεται μέσω της Y_{21} ενώ το g_{ds} μέσω της Y_{22} και συγκεκριμένα από την τομή του $\text{real}Y_{21}$ και $\text{real}Y_{22}$ με τον άξονα y όταν αυτά προβάλλονται ως προς ω^2 . Αυτό είναι εφικτό καθώς η επίδραση των εξωτερικών στοιχείων στις χαμηλές συχνότητες είναι αμελητέα, βέβαια οι τιμές των g_m και g_{ds} πρέπει να εξαχθούν ξεχωριστά για κάθε σημείο πόλωσης, εικόνα 4.7.



Εικόνα 4.7: Εξαγωγή των g_m (a) και g_{ds} (b) μέσω των Y -parameters στις υψηλές συχνότητες, Y_{21} και Y_{22} ως προς ω^2 για $V_{DS}=1V$ καθώς και g_m (c) και g_{ds} (d) εξαχθέντα από τις DC μετρήσεις.

Παρατηρούμε ότι οι τιμές της διαγωγιμότητας και αγωγιμότητας εξόδου που εξήχθησαν μέσω των Y-παραμέτρων στις υψηλές συχνότητες συμφωνούν με τις τιμές εξαγωγής αυτών μέσα από *dc* μετρήσεις καθώς και μια καλή προσέγγιση από το EKV3 μοντέλο.

4.5 Δείκτες απόδοσης MOSFET's για Σχεδίαση RFIC κυκλωμάτων

Προκειμένου να γίνει μια πιο λεπτομερής αξιολόγηση και εξαγωγή ενός συμπαγούς μοντέλου σε τεχνολογία CMOS 90nm, το EKV3 μοντέλο δοκιμάσθηκε απέναντι σε RF δείκτες απόδοσης (*Figures of Merit*) απαραίτητους για την σχεδίαση RFIC κυκλωμάτων. Ο πρώτος δείκτης που μελετήθηκε είναι η συχνότητα μοναδιαίου κέρδους.

Η συχνότητα μοναδιαίου κέρδους (*transit frequency*) είναι ο πιο κοινός δείκτης απόδοσης των τρανζίστορ και αντιστοιχεί στη συχνότητα κατά την οποία το κέρδος ρεύματος σε ένα ενισχυτή κοινής πηγής ισούται με ένα. Το κέρδος ρεύματος σε ένα δίθυρο δίκτυο μπορεί να υπολογισθεί μέσω της παραμέτρου H_{21} σύμφωνα με:

$$h_{21} = \left. \frac{I_2}{I_1} \right|_{V_2=0} = \frac{Y_{21}}{Y_{11}} \cong \frac{g_m}{j\omega C_{GG}} = \frac{\omega_t}{j\omega} \quad (4.26)$$

Όπου ω_t είναι η συχνότητα μοναδιαίου κέρδους (rad/sec) και ισοδυναμεί με την αναλογία της διαγωγιμότητας πύλης (g_m) προς την συνολική χωρητικότητα (C_{GG}) που εμφανίζεται στο στοιχείο.

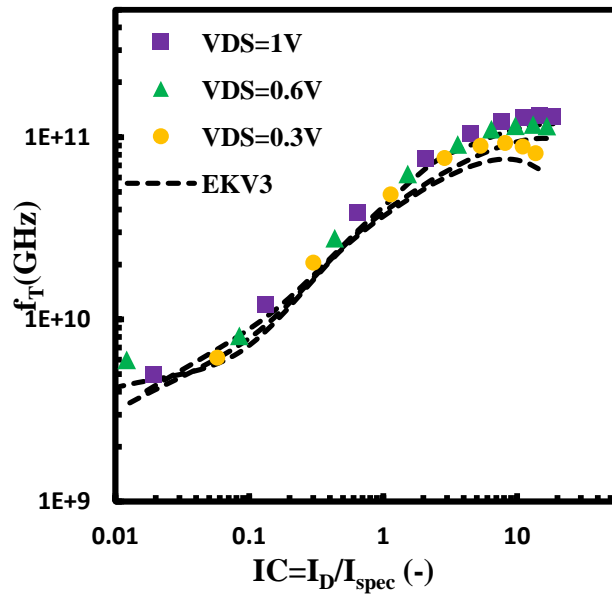
$$\omega_t = \frac{g_m}{C_{GG}} \quad (4.27)$$

Με βάση τα παραπάνω η συχνότητα μοναδιαίου κέρδους μπορεί να υπολογισθεί μέσω των H- ή Y-παραμέτρων και πιο συγκεκριμένα μέσω των εξισώσεων:

$$f_T = \text{Imag}(h_{21}) \cdot f_{spot} = \text{Imag}\left(\frac{Y_{21}}{Y_{11}}\right) \cdot f_{spot} \quad (4.28)$$

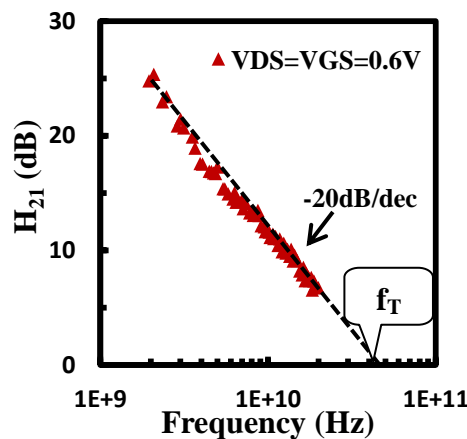
Όπου η f_{spot} είναι μια σχετικά μικρή συχνότητα, προσεγγιστικά από 1-5GHz. Η συχνότητα μοναδιαίου κέρδους βέβαια είναι ανεξάρτητη από την f_{spot} που θα ορίσουμε και δεν πρέπει να μεταβάλλεται για διαφορετικές τιμές της f_{spot} . Βέβαια στην περιοχή ισχυρής αναστροφής και κορεσμού υπάρχει ακόμα μια μέθοδος για τον προσδιορισμό της f_T . Εξάγεται μέσω της H_{21} καθώς όπως είναι γνωστό στην περιοχή της ισχυρής αναστροφής η κλίση της H_{21} είναι -20dB/dec, αν προεκτείνουμε νοητά αυτή την ευθεία τότε στο σημείο που η H_{21} ισοδυναμεί με 1 (0 dB) αντιστοιχεί η f_T .

Επιθυμητό είναι η συχνότητα μοναδιαίου κέρδους να λαμβάνει όσο το δυνατόν πιο μεγάλες τιμές καθώς καθορίζει τα όρια συχνότητας στα οποία το τρανζίστορ λειτουργεί ως ενισχυτής. Επίσης το f_T σχετίζεται και με το θόρυβο μέσω του συντελεστή θορύβου [48], γενικά όσο υψηλότερο το f_T τόσο χαμηλότερος ο συντελεστής θορύβου. Στην εικόνα 4.8 παρουσιάζεται η συχνότητα μοναδιαίου κέρδους ως προς πόλωση, όπου παρατηρείται καλή συσχέτιση μεταξύ των μετρήσεων και το EKV3 μοντέλο.



Εικόνα 4.8: Συχνότητα μοναδιαίου κέρδους (f_T) ως προς δείκτη αναστροφής (IC) για NMOS διαστάσεων $L=100\text{nm}$ & $W=10 \times 2\mu\text{m}$ για διαφορετικές συνθήκες πόλωσης V_{DS} .

Η εικόνα 4.9 αποδεικνύει τη σχέση μεταξύ f_T και κέρδος ρεύματος H_{21} . Η τομή της προέκτασης H_{21} με τον άξονα x , στο σημείο όπου τα dB είναι μηδέν αντιστοιχεί η συχνότητα μοναδιαίου κέρδους f_T του τρανζίστορ για τη συγκεκριμένη πόλωση, αυτό βέβαια ισχύει όσο η κλίση της H_{21} ισούται με -20dB/dec .



Εικόνα 4.9: H_{21} για NMOS διαστάσεων $L=100\text{nm}$ & $W=10 \times 2\mu\text{m}$

Ο δείκτης αναστροφής IC (*inversion coefficient*) όπου ισούται με I_D/I_{spec} συμβολίζει το κανονικοποιημένο ρεύμα στο κανάλι. Το I_{spec} είναι ο συντελεστής κανονικοποίησης του ρεύματος και αποκαλείται "specific current". Ο τρόπος εξαγωγής του έχει αναπτυχθεί στην [78], εν συντομία αναφέρουμε ότι εξάγεται μέσω της γραφικής $U_T^*(g_m/I_D)$ ως προς I_D στην περιοχή της ισχυρής αναστροφής και κορεσμού. Αν πολλαπλασιάσουμε το σημείο $U_T^*(g_m/I_D)|_{\text{max}}$ με το σταθερό όρο 0,616 τότε στο σημείο που αντιστοιχεί, βρίσκεται το "specific current", I_{spec} . Το I_{spec} βέβαια ισούται και με $I_{\text{spec}}=I_0^*(W/L)$ οπότε βάση αυτή της σχέσης μπορούμε να εξάγουμε το I_0 που είναι μοναδικό και χαρακτηρίζει την κάθε τεχνολογία. Στη περίπτωση της τεχνολογίας TSMC 90nm το I_0 ισούται με 2,25μΑ. Αξίζει να αναφέρουμε ότι βάση των τιμών του IC διακρίνουμε της περιοχές αναστροφής, ασθενής ≤ 0.1 , $0.1 \leq \text{μέτρηση} \leq 10$ και ισχυρής αναστροφής ≥ 10 .

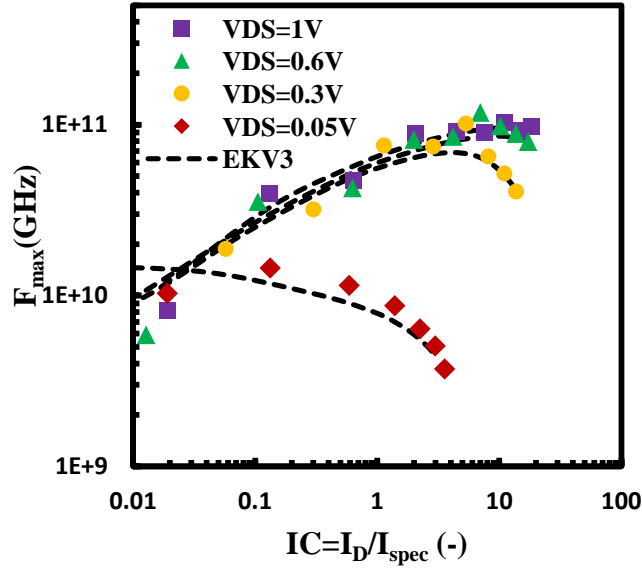
Ένα ακόμα μέτρο σύγκρισης RF απόδοσης διαφορετικών διατάξεων είναι μέσω της μέγιστης συχνότητας ταλάντωσης F_{max} . Η F_{max} συνδέεται άμεσα με το μέγιστο μοναδιαίο κέρδος "U" το οποίο δηλώνει το μέγιστο δυνατό κέρδος ενός δίθυρου δικτύωματος θεωρώντας ότι η είσοδος ανάδρασης είναι μηδέν ($Y_{12}=0$). Το μέγιστο μοναδιαίο κέρδος ορίζεται από:

$$U = \frac{|Y_{21} - Y_{12}|^2}{4[\text{Real}(Y_{11})\text{Real}(Y_{22}) - \text{Real}(Y_{12})\text{Real}(Y_{21})]} \quad (4.29)$$

Η μέγιστη συχνότητα ταλάντωσης μπορεί να υπολογισθεί από το μοναδιαίο κέρδος U αντιστοίχως όπως συνέβη με το f_T και το H_{21} , προεκτείνοντας μέχρι το σημείο που το U γίνεται ίσο με 1 (0dB), το σημείο τομής με τον άξονα της συχνότητας προσδιορίζει την F_{max} . Επίσης η F_{max} υπολογίζεται μέσω της:

$$F_{\text{max}} = \sqrt{U} \cdot f_{\text{spot}} \quad (4.30)$$

Στην εικόνα 4.10 παρουσιάζεται η μέγιστη συχνότητα ταλάντωσης για διαφορετικές συνθήκες πόλωσης περιλαμβάνοντας και τη γραμμική περιοχή ως προς το δείκτη αναστροφής. Η υψηλή ακρίβεια του EKV3 μοντέλου αποδεικνύεται σε όλες τις περιπτώσεις από τη στιγμή που προσεγγίζει αποτελεσματικά όλους τις δείκτες απόδοσης ως πόλωση και μέχρι τα ανώτερα όρια της συχνότητας.



Εικόνα 4.10: Μέγιστη συχνότητα ταλάντωσης (F_{max}) ως προς δείκτη αναστροφής (IC) για NMOS διαστάσεων $L=100\text{nm}$ & $W=10 \times 2\mu\text{m}$ για διαφορετικές συνθήκες πόλωσης V_{DS} .

Εκτός από τους δείκτες απόδοσης που μόλις αναπτύξαμε έχουν αναφερθεί κάποιοι ακόμα οι οποίοι είναι εστιασμένοι στα κυκλώματα RFIC. Σύμφωνα με όσα γνωρίζουμε οι [79] ήταν οι πρώτοι που συνδύασαν το g_m/I_D με την συχνότητα μοναδιαίου κέρδους σε ένα μοναδικό δείκτη απόδοσης για MOS τρανζίστορ. Αυτός ο δείκτης απόδοσης καλείται "transconductance frequency product - TFP", αποτέλεσμα αυτού του δείκτη είναι η βελτιστοποίηση των πολύ χαμηλής κατανάλωσης RF κυκλωμάτων. Ο δείκτης ισούται με:

$$TFP = \left(\frac{G_m}{I_D} \right) \cdot f_T \quad (4.31)$$

Στη συνέχεια οι [80] το εξέλιξαν ακόμα περισσότερο όσον αφορά την σχεδίαση RFIC. Κατέληξαν στο συμπέρασμα ότι το TFP μπορεί να αξιοποιηθεί ως δείκτης απόδοσης για την σχεδίαση LNA, συνδυάζοντας όλους τους μεμονωμένους δείκτες απόδοσης των LNA όπως είναι το κέρδος τάσης (G_V), τη συχνότητα λειτουργίας (f), το συντελεστή θορύβου (F) και την κατανάλωση ισχύος (P_{cons}) σε ένα μοναδικό δείκτη απόδοσης σύμφωνα με την εξίσωση:

$$FOM_{LNA} = \frac{G_V \cdot f}{(F - 1) \cdot P_{cons}} \propto \frac{G_m}{I_D} \cdot f_T \quad (4.32)$$

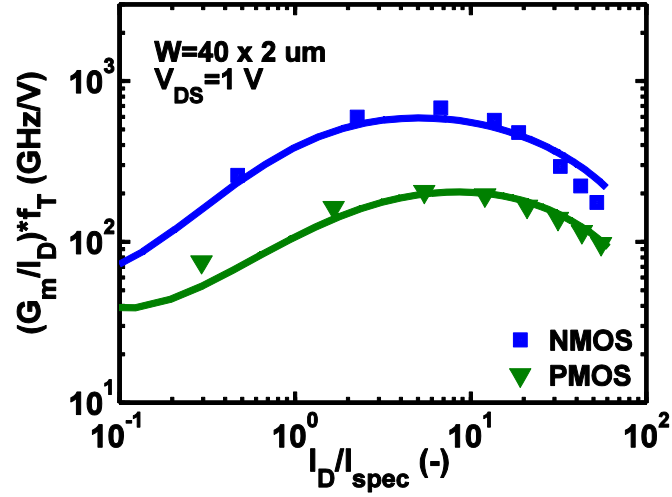
Η ανάλυση τους εφαρμόστηκε σε έναν LNA κοινής πηγής (*common source*) αλλά μπορεί να επεκταθεί σε cascode τοπολογία. Η εικόνα 4.11(a) αποδεικνύει τη συμπεριφορά του TFP ως προς το δείκτη αναστροφής για n-MOS και p-MOS τρανζίστορ διαστάσεων $L=100\text{nm}$, $W=40 \times 2\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=1\text{V}$ [76]. Το p-MOS τρανζίστορ παρουσιάζει αρκετά μικρότερη απόδοση στο δείκτη TFP που όμως οφείλεται στη πολύ μικρότερη συχνότητα μοναδιαίου κέρδους f_T που έχει συγκριτικά με αυτή του n-MOS τρανζίστορ.

Κατόπιν, οι [81] πρότειναν έναν ακόμα πιο απλό τρόπο για την περιγραφή της συνολικής συμπεριφοράς των LNA. Βασισμένο στην τοπολογία cascade, ανέλυσαν το δείκτη απόδοσης που διατυπώθηκε στην (32) χωρίς να περιλαμβάνει τη συχνότητα λειτουργίας και κατέληξαν στο εξής:

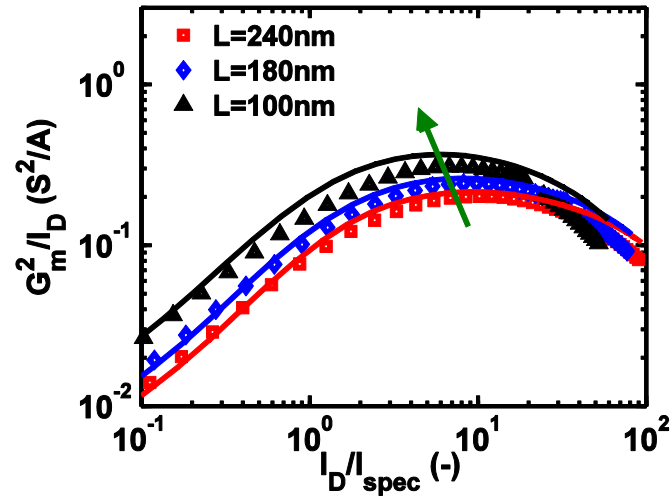
$$FoM_{LNA} = \frac{G_P}{(F - 1) \cdot P_{cons}} \propto \frac{G_m^2}{I_D} \quad (4.33)$$

Όπου το G_P στην (4.33) δηλώνει την ισχύ. Το σημαντικό σημείο σε αυτή κατά τ' άλλα απλή έκφραση είναι το γεγονός ότι οι DC μετρήσεις επαρκούν για να περιγράψουν την RF συμπεριφορά ενός LNA σύμφωνα με την [79].

Η εξάρτηση του δείκτη απόδοσης G_m^2/I_D από το μήκος καναλιού (L) ως προς το δείκτη αναστροφής αποτυπώνεται στην εικόνα 4.11(b), όπου το μήκος καναλιού κυμαίνεται από 240nm έως 100nm . Ο συγκεκριμένος δείκτης απόδοσης παρουσιάζει παρόμοια συμπεριφορά με το TFP όπου σύμφωνα με τα αποτελέσματα της εικόνας 4.11 η μέγιστη τιμή λαμβάνεται κοντά στο κέντρο της περιοχής μέτριας αναστροφής.



(a)



(b)

Εικόνα 4.11: (a) TFP ως προς δείκτη αναστροφής για n-MOS και p-MOS διαστάσεων $L=100\text{nm}$, (b) G_m^2/I_D ως προς δείκτη αναστροφής για n-MOS διαστάσεων $W=40 \times 2\mu\text{m}$, με το μήκος καναλιού να κυμαίνεται από 240 έως 100nm, σε συνθήκες πόλωσης $V_{DS}=1\text{V}$.

4.5.1 Γεωμετρική Εξάρτηση των Δεικτών Απόδοσης MOST's

Στα RF MOSFET, η υποβάθμιση τους μπορεί να αποδοθεί στη στάθμιση των παρασιτικών χωρητικοτήτων, όπου ως παρασιτικές χωρητικότητες αναφέρουμε χαρακτηριστικά τις χωρητικότητες πύλης-πηγής C_{GS} , πύλης-επαγωγού C_{GD} , και πύλης-υποστρώματος C_{GB} . Επιπροσθέτως, οι επιμέρους χωρητικότητες περιλαμβάνουν τόσο τα εσωτερικά όσο και τα εξωτερικά στοιχεία (π.χ. $C_{GS}=C_{GSI}+C_{GSE}$, $C_{GD}=C_{GDI}+C_{GSD}$, $C_{GB}=C_{GBI}+C_{GBE}$, όπου (i)ntinsic και (e)xtrinsic).

Συνήθως οι C_{GS} , C_{GD} και C_{GBI} είναι ανάλογες με το συνολικό πλάτος καναλιού W_t ενώ η V_{GBE} είναι ανάλογη με τον αριθμό δαχτύλων πύλης NF (*Number of Fingers*). Η V_{GBE} σύμφωνα με την [82] θα επηρεάσει σημαντικά τα RF χαρακτηριστικά. Είναι προφανές ότι η συνολική χωρητικότητα C_{GG} αυξάνεται καθώς αυξάνεται το συνολικό μήκος καναλιού.

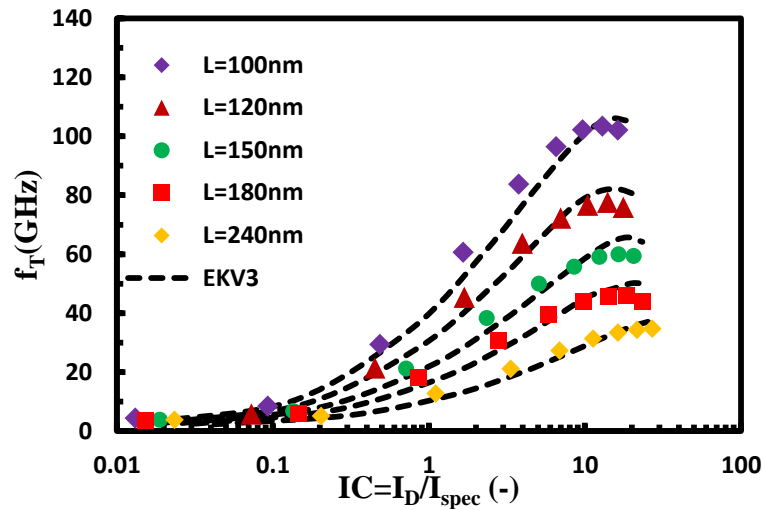
Στα RF MOSFET, η συχνότητα μοναδιαίου κέρδους f_T μπορεί να περιγραφεί μέσω της εξίσωσης:

$$f_T = \frac{g_m}{2\pi[C_{GG} + (R_S + R_D)(g_{ds}C_{GG} + g_mC_{GD})]} \cong \frac{g_m}{2\pi C_{GG}} \propto \frac{1}{L_{eff}^2} \quad (4.34)$$

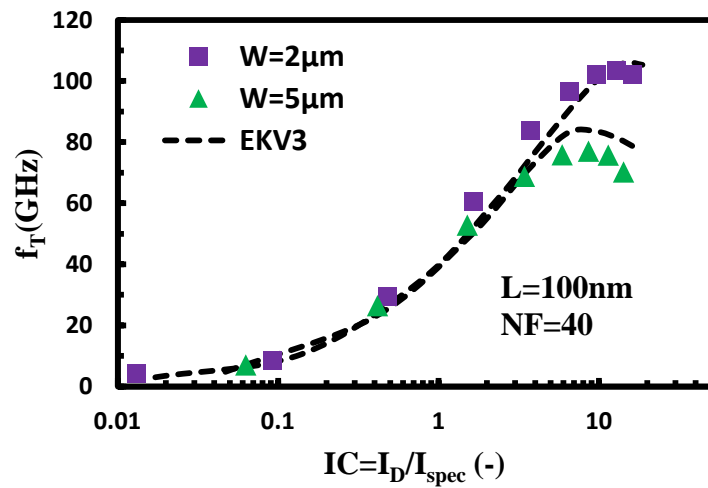
Από την στιγμή που το g_m είναι ανάλογο του W_{eff}/L_{eff} και το C_{GG} είναι ανάλογο του $W_{eff} \cdot L_{eff}$ καταλήγουμε στο συμπέρασμα ότι το f_T είναι αντιστρόφως ανάλογο με το L_{eff}^2 . Να σημειώσουμε ότι αυτό ισχύει για χαμηλό ηλεκτρικό πλευρικό πεδίο καθώς δεν υπάρχει *velocity saturation*, αν όμως υπάρχει τότε το f_T είναι ανάλογο με το $1/L_{eff}$. Η εξάρτηση της διαγωγιμότητας g_m από την πόλωση μεταφράζεται σε μια παρόμοια εξάρτηση του f_T από την πόλωση. Αποτέλεσμα είναι η μέγιστη τιμή του f_T να βρίσκεται στο σημείο πόλωσης όπου το g_m μεγιστοποιείται. Επειδή η χωρητικότητα C_{GG} είναι μεγαλύτερη στα MOS με μεγαλύτερο πλάτος δαχτύλου αναμένουμε το f_T να είναι μικρότερο για μεγαλύτερο πλάτος δαχτύλου [83].

Προκειμένου να εξετάσουμε την γεωμετρική συμπεριφορά του f_T σχεδιάσαμε, υλοποιήσαμε και μετρήσαμε έως τα 26.5GHz διαφορετικά MOS ως προς μήκος (L), πλάτος (W) και αριθμό δαχτύλων (NF). Στην εικόνα 4.12 παρουσιάζεται η συχνότητα μοναδιαίου κέρδους (f_T) ως προς δείκτη αναστροφής για διαφορετικά μήκη καναλιού $L=240, 180, 150, 120, 100\text{nm}$. Το πλάτος και ο αριθμός δαχτύλων για όλα τα n-MOS τρανζίστορ παρέμεινε σταθερός και ίσος με $W=40 \times 2\mu\text{m}$. Όπως αναμέναμε η συχνότητα μοναδιαίου κέρδους αυξάνεται όσο το μήκος καναλιού μειώνεται.

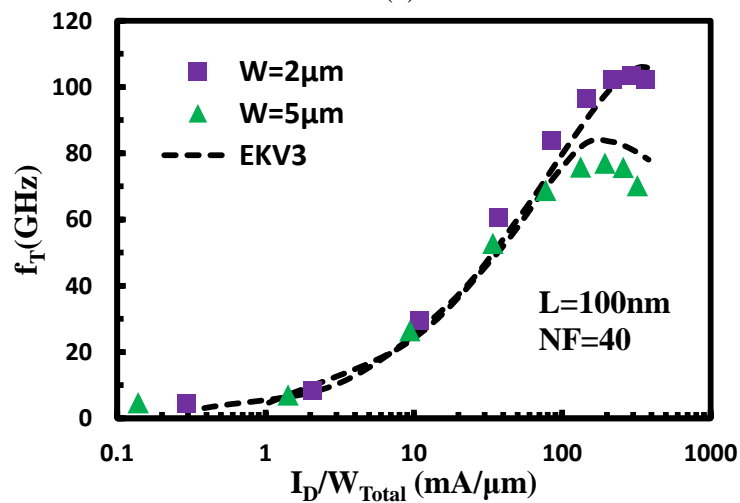
Αντιστοίχως στην εικόνα 4.13 παρουσιάζεται η συχνότητα μοναδιαίου κέρδους (f_T) ως προς δείκτη αναστροφής για διαφορετικά πλάτη καναλιού $W=5, 2\mu\text{m}$. Το μήκος και ο αριθμός δαχτύλων και στις περιπτώσεις των n-MOS τρανζίστορ παρέμεινε σταθερός και ίσος με $L=100\text{nm}$, $NF=40$. Όπως αναμέναμε η συχνότητα μοναδιαίου κέρδους αυξήθηκε καθώς το πλάτος καναλιού μειώθηκε και αυτό οφείλεται κατά κύριο λόγο στο γεγονός ότι μειώθηκε αισθητά η συνολική παρασιτική χωρητικότητα.



Εικόνα 4.12: Συχνότητα μοναδιαίου κέρδους f_T ως προς δείκτη αναστροφής IC για διάφορα μήκη καναλιού ίδιας όμως τεχνολογίας, n-MOS με διαστάσεις $W=10 \times 2 \mu m$ σε συνθήκες πόλωσης $V_{DS}=1V$.



(a)



(b)

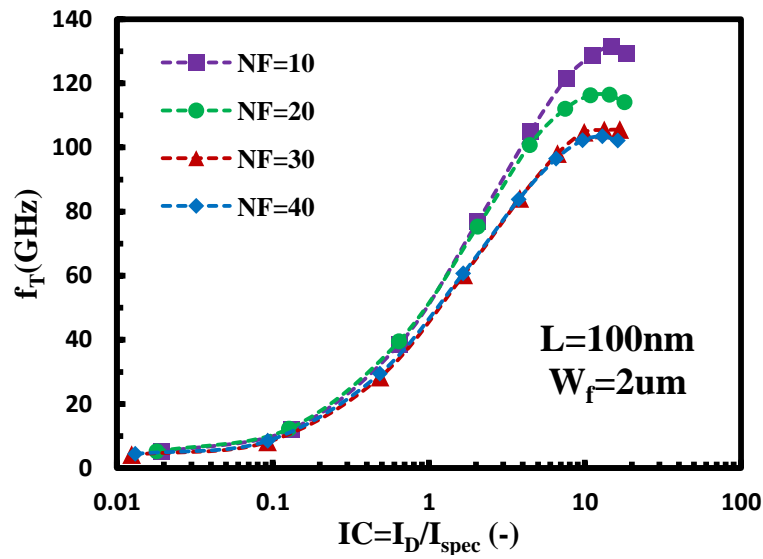
Εικόνα 4.13: (a) Συχνότητα μοναδιαίου κέρδους f_T ως προς δείκτη αναστροφής IC και (b) ως προς ρεύματος επαγωγού ανά μικρόμετρο πλάτους για διάφορα πλάτη καναλιού ίδιας τεχνολογίας, n-MOS με $L=100nm$ και $NF=40$ σε συνθήκες πόλωσης $V_{DS}=1V$

Τα RF MOS τρανζίστορ συνήθως σχεδιάζονται με μεγάλο πλάτος πύλης προκειμένου να αποκτήσουν μεγάλη διαγωγιμότητα, ωστόσο λόγω αυτού αυξάνεται και η περιοχή διάχυσης source/drain αυξάνοντας παράλληλα τις junction χωρητικότητες στο τρανζίστορ. Για να ελαχιστοποιήσουμε λοιπόν τις junction χωρητικότητες, τα μεγάλα τρανζίστορ χωρίζονται σε πολλαπλά μικρότερα ιδανικά τμήματα τα οποία όμως συνδέονται μεταξύ τους παράλληλα. Η περιοχή των MOSFET μπορεί να περιοριστεί χρησιμοποιώντας πύλες τύπου πολλαπλών δαχτύλων με αποτέλεσμα γειτονικές περιοχές διάχυσης να μοιράζονται το ίδιο δάχτυλο για πηγή και επαγωγό. Ως εκ τούτου, οι παρασιτικές junction χωρητικότητες μπορούν να μειωθούν σε ένα μεγάλο ποσοστό με την συγχώνευση των δαχτύλων πηγής/επαγωγού. Βέβαια όσο ο αριθμός των δαχτύλων αυξάνεται (NF), το μήκος της μεταλλικής σύνδεσης το οποίο συλλέγει τα ρεύματα από όλα τα μεμονωμένα δάχτυλα των παράλληλων τρανζίστορ στον ακροδέκτη της πηγής επίσης αυξάνεται με αποτέλεσμα την υποβάθμιση της διαγωγιμότητας (g_m) του MOS τρανζίστορ λόγω πτώσης τάσης που οφείλεται στη μεταλλική σύνδεση. Οι πολλοί-δαχτυλικές πύλες θα επηρεάσουν την συμπεριφορά των τρανζίστορ στις υψηλές συχνότητες.

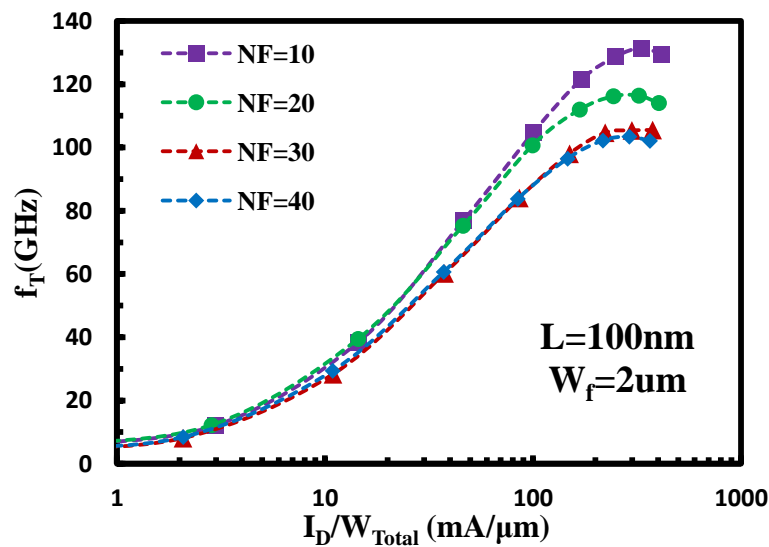
Η εικόνα 4.14 δείχνει τη συχνότητα μοναδιαίου κέρδους ως προς το δείκτη αναστροφής για διάφορους αριθμούς δαχτύλων NF. Είναι εμφανές ότι η συχνότητα μοναδιαίου κέρδους (f_T) αρχικά αυξάνεται όσο το ρεύμα I_D αυξάνεται και κατόπιν μειώνεται λόγω του γεγονότος ότι αυξάνεται η πτώση τάσης σε ολόκληρη την περιοχή source/drain με συνέπεια τη μείωση της απόδοσης των MOST's στις υψηλές συχνότητες. Συνεπώς καταλήγουμε στο συμπέρασμα ότι η συχνότητα μοναδιαίου κέρδους (f_T) μειώνεται όσο ο αριθμός των δαχτύλων (NF) της πύλης αυξάνεται. Από την άλλη μεριά, σύμφωνα με την [83] για πολύ-δαχτυλικά τρανζίστορ με δεδομένο το συνολικό πλάτος (W_T), η συχνότητα μοναδιαίου κέρδους αυξάνεται όσο αυξάνεται και το πλάτος κάθε δαχτύλου (W_f) μειώνοντας όμως παράλληλα τον αριθμό των δαχτύλων ώστε να διατηρείται σταθερό το συνολικό πλάτος W_T . Αυτό συμβαίνει λόγω της μείωσης των παρασιτικών αντιστάσεων $R_{S/D}$.

Στην εικόνα 4.15 αποτυπώνεται ο δείκτης απόδοσης $TFP = G_m/I_D * f_T$ ως προς το δείκτη αναστροφής IC για διάφορους αριθμούς δαχτύλων, με δεδομένο $L=100\text{nm}$ και $W=2\mu\text{m}$. Όπως αναμέναμε το TFP ακολουθεί την τάση που έχει αποτυπωθεί στο γράφημα 14, με το TFP να αυξάνεται όσο αυξάνονται οι αριθμοί των δαχτύλων (NF). Βέβαια για μια πιο σφαιρική εικόνα των λόγων αύξησης της συχνότητας μοναδιαίου κέρδους με την μείωση των αριθμών των δαχτύλων (NF) στην εικόνα 16 παραθέτεται

η DC μεταβολή της διαγωγιμότητας (g_m) ως προς αριθμό δαχτύλων (NF), η μεταβολή της συνολικής χωρητικότητας καθώς και η μεταβολή της τάσης κατωφλίου ως προς NF. Παρατηρούμε ότι τόσο η διαγωγιμότητα όσο και η συνολική χωρητικότητα αυξάνονται ~ 4 φορές με τη μεταβολή του NF από 10 σε 40 ενώ αντιστοίχως η τάση κατωφλίου τόσο στη γραμμική περιοχή όσο και στη περιοχή κορεσμού μεταβάλλεται ελαφρώς $\sim 5\%$. Σύμφωνα με τα παραπάνω θα αναμέναμε ότι το f_T θα παρέμενε σταθερό, οι αποκλίσεις όμως στο λόγο $\left(\frac{g_m}{C_{GG}}\right)_{NF=10} \neq \left(\frac{g_m}{C_{GG}}\right)_{NF=40}$ σηματοδοτούν και τις διαφορές στο f_T .

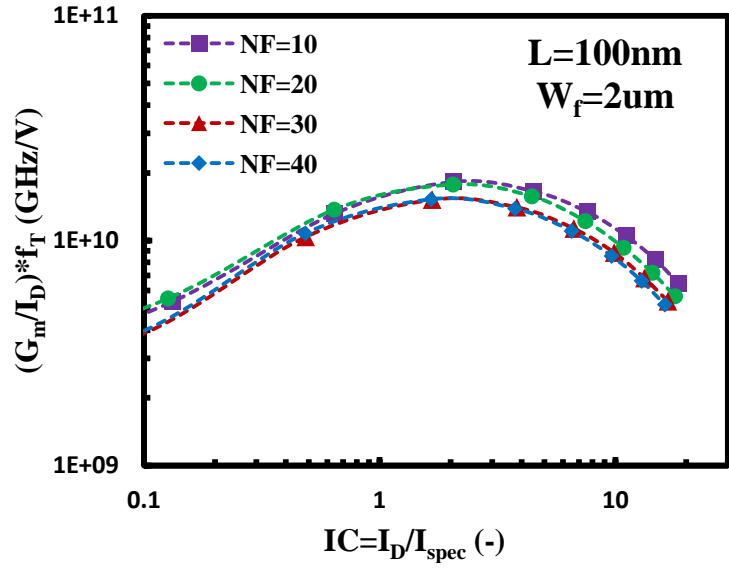


(a)

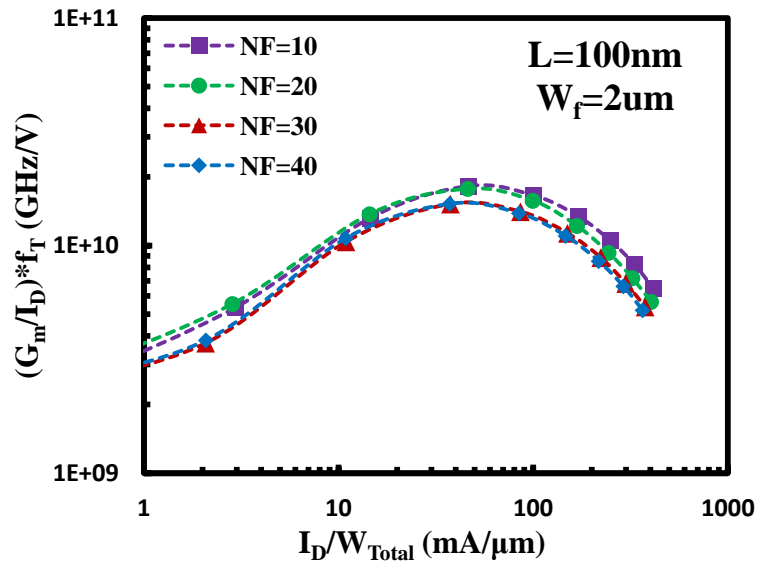


(b)

Εικόνα 4.1: (a) Συχνότητα μοναδιαίου κέρδους f_T ως προς δείκτη αναστροφής IC και (b) ως προς ρεύματος επαγωγού ανά μικρομέτρον πλάτους για διάφορους αριθμούς δαχτύλων (NF) σε n-MOS διαστάσεων $L=100\text{nm}$ και $W_f=2\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=1\text{V}$

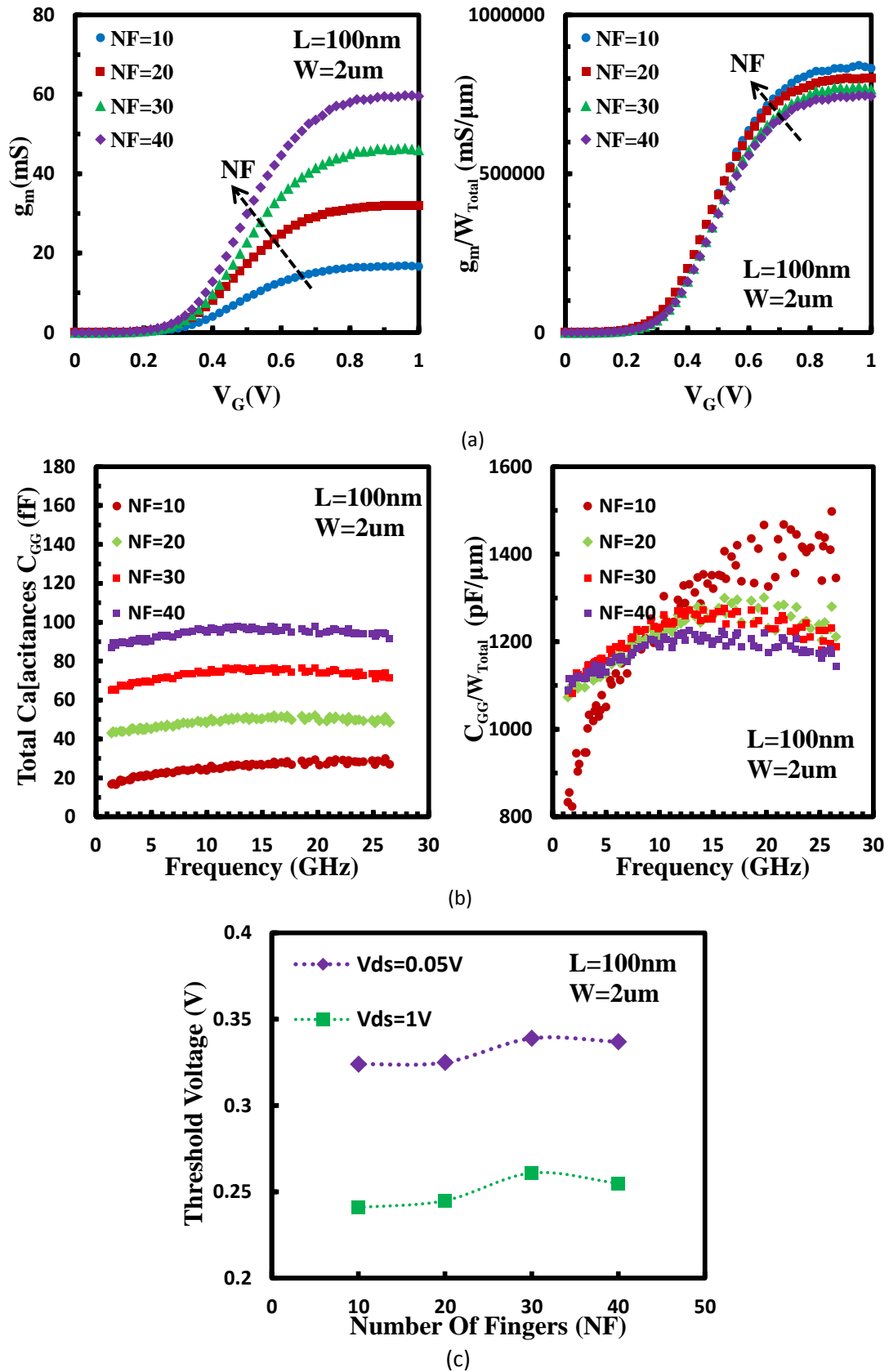


(a)



(b)

Εικόνα 4.15: (a) TFP ως προς δείκτη αναστροφής IC και (b) ως προς ρεύματος επαγωγού ανά μικρομέτρου πλάτους για διάφορους αριθμούς δαχτύλων (NF) σε n-MOS διαστάσεων $L=100nm$ και $W_f=2um$ σε συνθήκες πόλωσης $V_{DS}=1V$.



Εικόνα 4.16: (a) Διαγωγιμότητα πύλης (g_m) ως τάσης πύλης, n-MOS διαστάσεων $L=100\text{nm}$, $W=2\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=1\text{V}$ (V_G). (b) Συνολική χωρητικότητα C_{GG} ως προς συχνότητα εξαχθέν στη περιοχή της ισχυρής αναστροφής και κορεσμού ($V_{DS}=1\text{V}$, $V_{GS}=1\text{V}$) και τέλος (c) τάση κατωφλίου στην γραμμική περιοχή και στην περιοχή κορεσμού ως προς αριθμό δαχτύλων (NF).

4.6 Μη Γραμμικότητες στα RF MOSFET's

Οι μη γραμμικότητες συνήθως περιγράφονται από το σημείο συμπίεσεως 1dB (*compression point*) και το σημείο τομής εισόδου 3^{ης} τάξης P_{IP3} (*3rd-order input intercept point*). Μια μέθοδος εξαγωγής αυτών των μετρικών επιδόσεων είναι μέσω DC μετρήσεων του ρεύματος επαγωγού και σε συνδυασμό με το δυναμικό πύλης-πηγής V_{GS} μπορούμε να υπολογίσουμε τις παραγώγους 1^{ης}, 2^{ης} και 3^{ης} τάξης, G_m , G_{m2} , G_{m3} αντιστοίχως (35) και ακολούθως το P_{IP3} (36) [84][85].

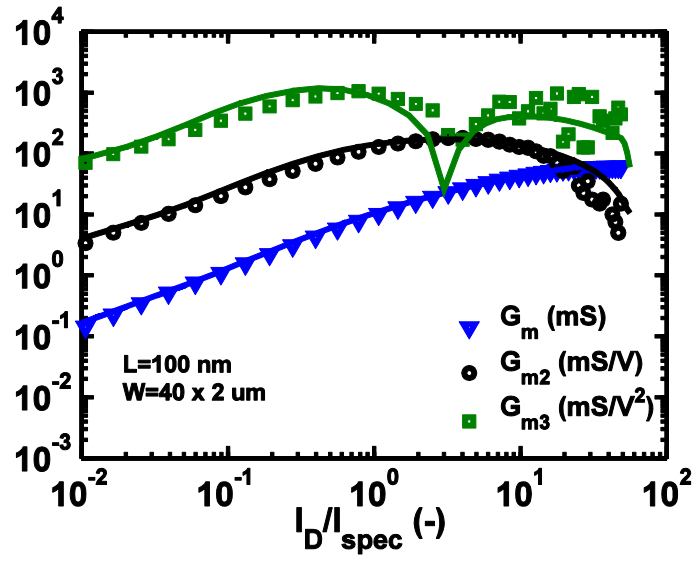
$$G_m = \frac{\partial I_D}{\partial V_{GS}}, G_{m2} = \frac{\partial^2 I_D}{\partial V_{GS}^2}, G_{m3} = \frac{\partial^3 I_D}{\partial V_{GS}^3} \quad (4.35)$$

$$P_{IP3} = \left| \frac{2G_m}{3G_{m3}R_S} \right| \quad (4.36)$$

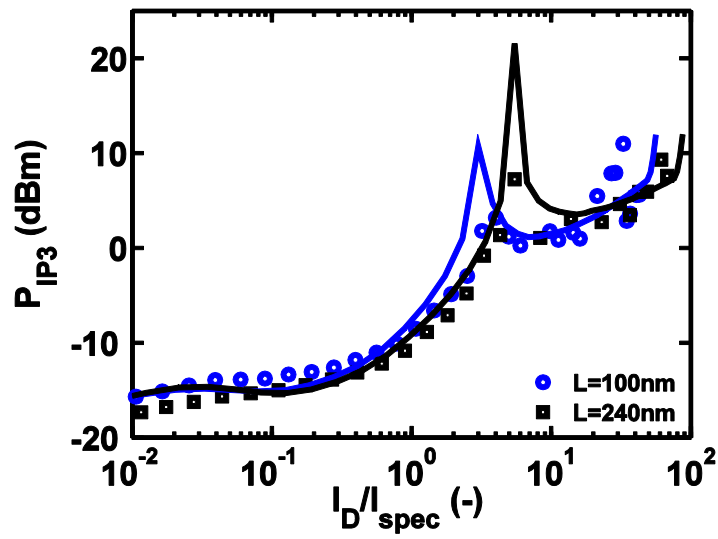
Όπου R_S είναι η εμπέδηση εισόδου και συνήθως ισούται με 50Ω.

Στην εικόνα 4.17 (a) παρουσιάζονται οι μη γραμμικότητες G_m , G_{m2} , και G_{m3} ως προς δείκτη αναστροφής IC για n-MOS διαστάσεων $L=100\text{nm}$ και $W=40 \times 2\mu\text{m}$ ενώ στην εικόνα 4.17 (b) επιδεικνύεται το P_{IP3} για n-MOS με το μικρότερο και μεγαλύτερο διαθέσιμο μήκος καναλιού της τεχνολογίας [76].

Από τη στιγμή που επιθυμητό είναι η μικρότερη δυνατή παραμόρφωση στη λειτουργία των MOSFET's, όλοι οι γραμμικοί δείκτες απόδοσης πρέπει να επιλέγονται όσο πιο μεγάλοι γίνεται. Αξίζει να αναφέρουμε ότι αν ακολουθήσουμε την τάση που κυριαρχεί για επιλογή MOSFET's με το μικρότερο μήκος καναλιού, η μέγιστη τιμή των δεικτών γραμμικότητας κινείται προς χαμηλότερους δείκτες αναστροφής, συμφωνεί με την τάση που υπάρχει και για τους υπόλοιπους δείκτες απόδοσης, δηλαδή να πλησιάζουν προς το κέντρο της περιοχής μέτριας αναστροφής ($IC=1$). Τα αποτελέσματα για το EKV3 μοντέλο συμβαδίζει με τις μετρήσεις και την πρόσφατη δημοσιευμένη δουλειά [74][86][87].



(a)



(b)

Εικόνα 4.17: (a) G_m , G_{m2} , G_{m3} και (b) P_{IP3} ως προς δείκτη αναστροφής για n-MOS διαστάσεων $W=40 \times 2 \mu$ m σε συνθήκες πόλωσης $V_{DS}=1$ V.

Κεφάλαιο 5

5 Το EKV3 Μοντέλο και οι Προκλήσεις των Σύγχρονων Τεχνολογιών

Σε αυτό το κεφάλαιο εξετάζεται η εγκυρότητα του προηγμένου συμπαγούς EKV3 μοντέλου και επαληθεύεται μέσω DC και RF μετρήσεων σε τεχνολογίες χαμηλής κατανάλωσης CMOS 90nm και 30nm. Το μοντέλο είναι ικανό να περιγράψει το φαινόμενο "*edge conduction effect*" που λαμβάνει κυρίως δράση στην περιοχή της μέτριας αναστροφής και επιπλέον αποδεικνύεται μέσω προσομοιώσεων ότι παρουσιάζει DC και χωρητική συμμετρία μεταξύ των αποδεκτών επαγωγού/πηγής, απαραίτητα και τα δυο για σχεδίαση αξιόπιστων RFIC κυκλωμάτων. Επιπλέον το μοντέλο αντιπαραβάλλεται για πρώτη φορά με μια "top of the art" CMOS τεχνολογία 30nm επιδεικνύοντας μια πολύ καλή προσαρμογή τόσο στις DC όσο και στις RF μετρήσεις σε συχνότητα έως τα 40GHz.

5.1 Εισαγωγή

Με την συνεχόμενη κλιμάκωση της CMOS τεχνολογίας και με το γεγονός ότι είμαστε πλέον προ των πυλών της άφιξης τεχνολογιών με ελάχιστο μήκος καναλιού κάτω από 10nm, οι απαιτήσεις για αξιόπιστα συμπαγή μοντέλα που θα καλύπτουν έγκυρα ένα μεγάλο εύρος πολώσεων, γεωμετριών και συχνοτήτων είναι επιτακτικό. Βέβαια αυτό από μόνο του δεν είναι αρκετό, απαραίτητο είναι τα νέα συμπαγή μοντέλα να συμπεριλαμβάνουν και να περιγράφουν αξιόπιστα τα φαινόμενα κοντού καναλιού (*short channel effects- SCE*) καθώς και φαινόμενα ανώτερης τάξης. Στα πλαίσια αυτής της διπλωματικής το προχωρημένο συμπαγές μοντέλο EKV3 αντιπαρατίθεται με μετρήσεις 90nm της TSMC τεχνολογίας. Διάφορες πτυχές τις αναλογικής/RF συμπεριφοράς εξετάζονται ως προς τη κλιμάκωση των μήκων καναλιού και πολώσεων, σε σχέση με το κανονικοποιημένο ρεύμα επαγωγού.

Επιπλέον παρουσιάζεται για πρώτη φορά στο κοινό η προσαρμογή του EKV3 μοντέλου στο "edge conduction effect". Το "edge conduction effect" είναι ένα παρασιτικό φαινόμενο που παρουσιάζεται σε πολλές CMOS τεχνολογίες συμβάλλοντας στην αύξηση των ρευμάτων διαρροής, παρόλα αυτά πολλά μοντέλα συνεχίζουν να αγνοούν αυτό το φαινόμενο. Όπως θα δείξουμε, το ίδιο φαινόμενο έχει δραστικές επιπτώσεις στα αναλογικά χαρακτηριστικά κυρίως στην περιοχή της μέτριας αναστροφής.

Κλασικά συγκριτικά τεστ αξιολόγησης, όσον αφορά το ρεύμα επαγωγού και της χωρητικότητες στα MOSFET's αποδεικνύουν την ακρίβεια του μοντέλου έως και την τρίτη παράγωγο για το ρεύμα επαγωγού και για όλες τις χωρητικότητες που διερευνήθηκαν.

5.2 Έλεγχος Συμμετρίας Συμπαγούς Μοντέλου EKV3

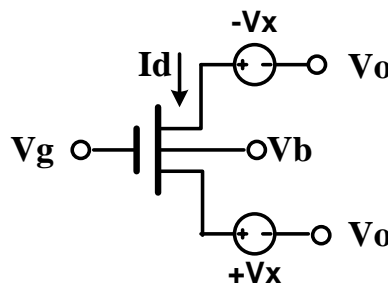
Ένα συνηθισμένο συγκριτικό τεστ αξιολόγησης για συμπαγή μοντέλα είναι το source (S) – drain (D) τεστ συμμετρίας, το οποίο ονομάζεται *Gummel Symmetry Test* (GST) [88-90]. Το GST ουσιαστικά αναφέρεται στην συμμετρία του πυρήνα του μοντέλου και συγκεκριμένα στην συμμετρία των ρευμάτων πηγής και επαγωγού κάτω από την συνθήκη $V_{DS}=0V$. Σύμφωνα με το κύκλωμα πόλωσης της εικόνας 5.1 για την εφαρμογή του GST, οι ακροδέκτες των *Source* και *Drain* πολώνονται συμμετρικά:

$$V_D = V_0 + V_x \text{ και } V_S = V_0 - V_x \quad (5.1)$$

Το GST στηρίζεται στο γεγονός ότι πρέπει να ισχύει:

$$I_d(V_x) = -I_d(-V_x) \quad (5.2)$$

Όπου η τάση V_x σαρώνει ένα εύρος τιμών. Το τεστ ερευνά την συμπεριφορά των παραγώγων του ρεύματος επαγωγού I_d ως προς το δυναμικό V_x γύρω από το σημείο όμως $V_x=0$.



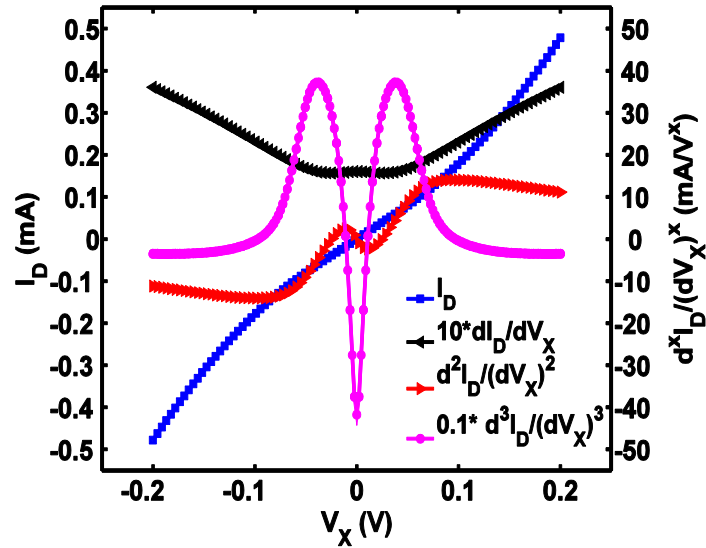
Εικόνα 5.1: Συνδεσμολογία Πόλωσης για Gummel Symmetry Test

Μια προχωρημένη έκδοση του GST και συνάμα πιο απαιτητική για τα συμπαγή μοντέλα προτάθηκε στην [91]. Αυτή η μέθοδος είχε ως σκοπό να υπερβεί τον περιορισμό της μηδενικής τάσης στον ακροδέκτη του υποστρώματος που είχαν εισάγει τα αρχικά τεστ. Για να θεωρηθεί ότι ένα μοντέλο ξεπερνάει τον σκόπελο του GST πρέπει να τηρούνται οι εξής προδιαγραφές [90]:

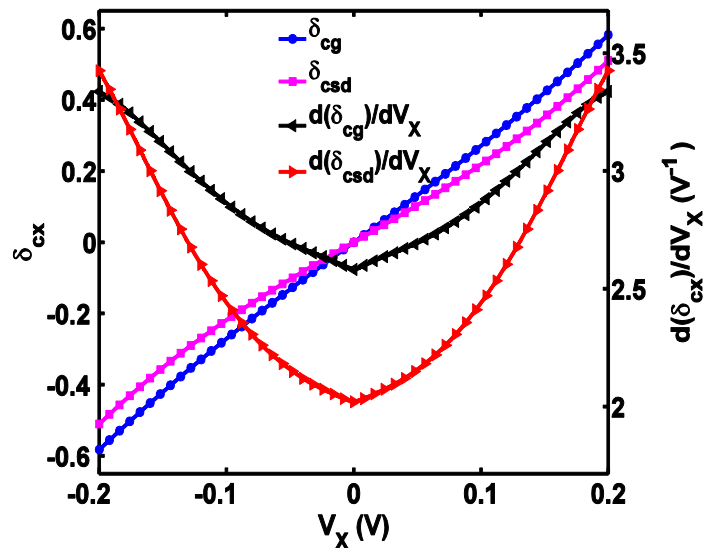
- i) Όλοι οι παράγωγοι πρέπει να είναι συμμετρικοί γύρω από το σημείο $V_x=0$.
- ii) Οι παράγωγοι περιττής τάξης πρέπει να είναι συνεχής γύρω από το σημείο $V_x=V_{DS}=0$, και οι παράγωγοι άρτιας τάξης να ισούνται αντιστοίχως με μηδέν.

Στην εικόνα 5.2(a) απεικονίζεται η απόκριση στο GST του EKV3 μοντέλου για n-MOS διαστάσεων $L=100nm$ και $W=5\mu m$. Για την δημιουργία του GST, το n-MOS πολώθηκε στην περιοχή της μέτριας αναστροφής. Όπως παρατηρούμε το EKV3 μοντέλο έχει την ιδεατή συμπεριφορά καθώς είναι συμμετρικό και χωρίς ασυνέχειες γύρω από το σημείο $V_x=V_{DS}=0$. Επιπλέον η 2^η τάξης παράγωγος του ρεύματος I_d

στο σημείο $V_X=V_{DS}=0$ ισούται με μηδέν και η 3^η τάξης παραμένει συμμετρική. Εάν επιθυμούμε να εισάγουμε έναν ακόμα βαθμό δυσκολίας στα μοντέλα, το GST θα πρέπει να εφαρμόζεται κοντά στην περιοχή της τάσης κατωφλίου V_{TH} προκειμένου να εξεταστούν διάφορες ασυνέχειες που ενέχεται να προκύψουν λόγω της μετάβασης από την ασθενή στην περιοχή της μέτριας αναστροφής [76]. Το EKV3 μοντέλο επίσης δοκιμάστηκε αν εμφανίζει χωρητική συμμετρία σύμφωνα με την [91]. Τα αποτελέσματα παρουσιάζονται στην εικόνα 5.2(b), όπου η χωρητικότητα πηγής-επαγωγού (C_{SD}) και η χωρητικότητα πύλης (C_G) απεικονίζονται ως προς V_X .



(a)

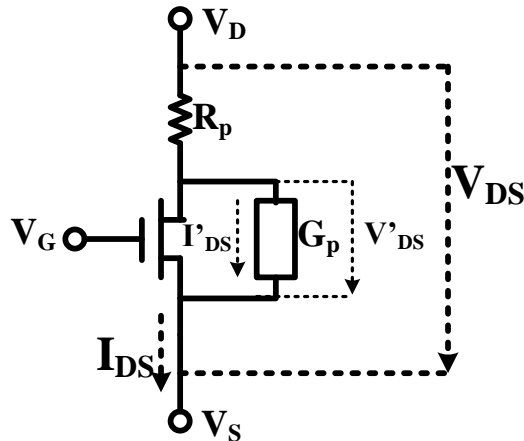


(b)

Εικόνα 5.2: (a) Εξελιγμένο Gummel Symmetry Test για έλεγχο συμμετρίας ρευμάτων I_D σε συνθήκες πόλωσης μέτριας αναστροφής ($V_G=0.45V$) και (b) συμμετρία χωρητικότητων με το EKV3 μοντέλο για n-MOS διαστάσεων $L=100nm$ και $W=2\mu m$.

5.3 Φαινόμενο Αγωγιμότητας των Άκρων – Edge Effect

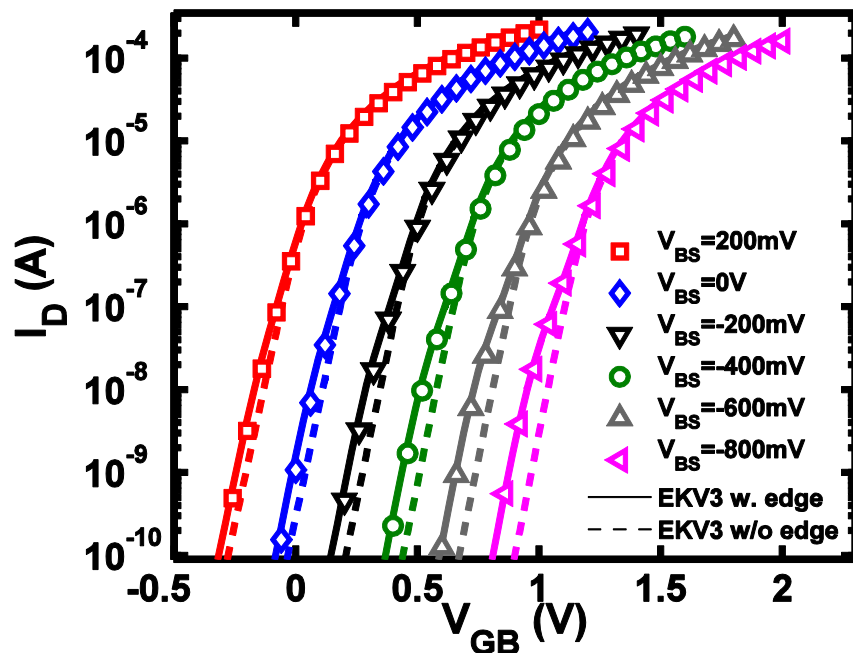
Το φαινόμενο αγωγιμότητας των άκρων ή σύμφωνα με την διεθνή ορολογία "edge conduction effect" είναι μια ανεπιθύμητη δυσλειτουργία στις νέες τεχνολογίες. Προκαλείται από την παρασιτική αντίσταση R_p και την παρασιτική αγωγιμότητα G_p που βρίσκεται σε παραλληλία με το εσωτερικό μέρος του στοιχείου [92] σύμφωνα με την εικόνα 5.3.



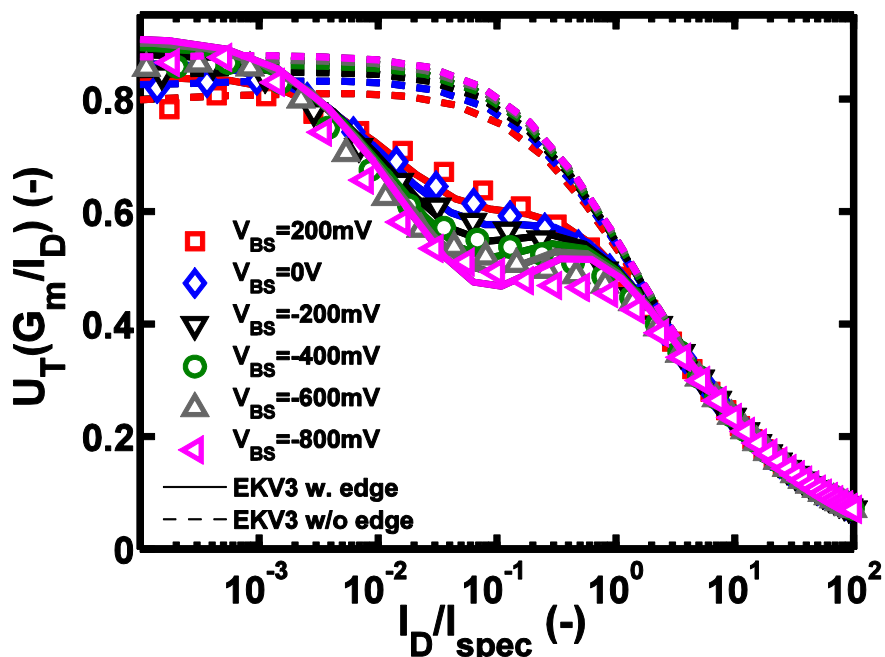
Εικόνα 5.3: Για την μοντελοποίηση των φαινομένων λόγω παρασιτικών αντιστάσεων, η παρασιτική σειριακή αντίσταση R_p και η συνολική παρασιτική αγωγιμότητα G_p χρησιμοποιούνται για να περιγράψουν την επίδραση κατά την διεύθυνση του μήκους και του πλάτους καναλιού αντιστοίχως.

Η επίδραση του *edge effect* στην υποβάθμιση της τάσης κατωφλίου των MOSFET's [92][93] έχει οδηγήσει την βιομηχανία ημιαγωγών σε νέες τεχνικές προκειμένου να την περιορίσουν και εν τέλει να την καταστείλουν [94]. Η αγνόηση του *edge effect* μπορεί να οδηγήσει σε μεγάλες ανακρίβειες τα DC χαρακτηριστικά των MOSFET's σύμφωνα με την εικόνα 5.4, όπου το ρεύμα επαγωγού I_D (εικόνα 5.4a) και η κανονικοποιημένη διαγωγιμότητα πύλης g_m (εικόνα 5.4b) ως προς δυναμικό πύλης V_{GB} και δείκτη αναστροφής IC αντιστοίχως αποδεικνύουν την υποβάθμιση των ηλεκτρικών χαρακτηριστικών και ως συνέπεια αυτού την υποβάθμιση των αναλογικών κυκλωμάτων. Όπως έχουμε αναφέρει και στο προηγούμενο κεφάλαιο ο δείκτης αναστροφής ισούται με $IC = I_D / I_{SPEC}$. Τιμές του $IC = 0.1$ και $IC = 10$ καθορίζουν την μετάβαση από την ασθενή περιοχή στην περιοχή μέτριας αναστροφής και από την μέτρια περιοχή στην περιοχή ισχυρής αναστροφής αντιστοίχως. Μια πόλωση του συγκεκριμένου n-MOS στην περιοχή μέτριας αναστροφής όπου κυριαρχεί το *edge effect* θα μπορούσε να προκαλέσει δραματικές συνέπειες στο κύκλωμα. Το EKV3 μοντέλο περιγράφει ικανοποιητικά αυτή τη δυσμορφία των MOST's σε σύγκριση με

τα περισσότερα, αν όχι όλα, άλλα διαθέσιμα συμπαγή μοντέλα για MOSFET's που δυστυχώς δεν περιλαμβάνουν το *edge effect*.



(a)



(b)

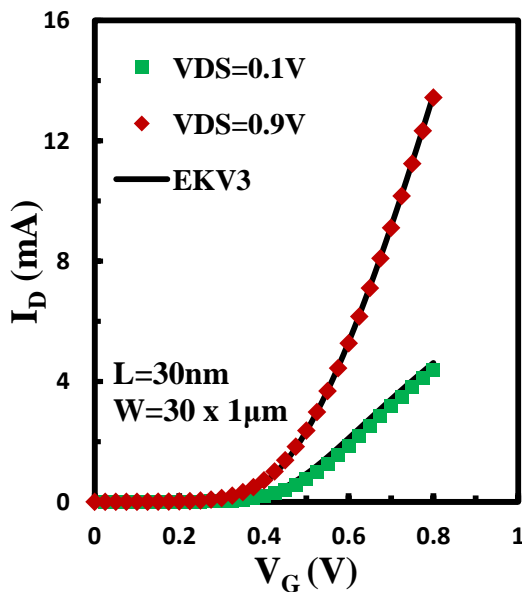
Εικόνα 5.4: (a) Ρεύμα επαγωγού I_D ως προς τάσης πύλης V_G και (b) κανονικοποιημένο $G_m \cdot U_T/I_D$ ως προς δείκτη αναστροφής για n-MOS διαστάσεων $L=3\mu m$ και $W=3\mu m$, σε συνθήκες πόλωσης $V_{DS}=1.2V$ και για διαφορετικά $V_{BS}=1.2V$. Σύμβολα: Δεδομένα μετρήσεων, Συνεχής Γραμμή: μοντέλο EKV3 με το edge effect, Διακεκομμένη Γραμμή: EKV3 μοντέλο χωρίς το edge effect.

5.4 Το EKV3 μοντέλο στις Τεχνολογίες Αιχμής

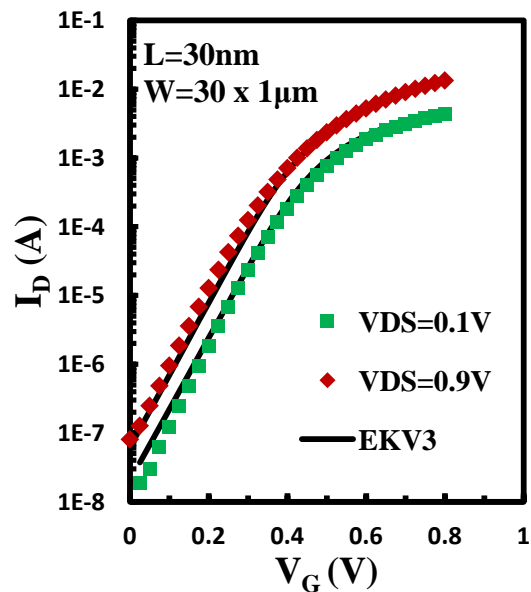
Στην ενότητα αυτή παρουσιάζεται για πρώτη φορά το EKV3 μοντέλο σε DC και RF λειτουργία σε μια top-of-the-art CMOS τεχνολογία 30nm. Όπως θα δούμε το EKV3 έχει πολύ καλή απόκριση τόσο στα DC/RF χαρακτηριστικά, όσο και στους RF δείκτες απόδοσης (F_T , TFP) πράγμα που το καθιστά ιδανικό στη βιομηχανία ημιαγωγών για τη σχεδίαση RFIC κυκλωμάτων. Η μοντελοποίηση βασίστηκε σε n-MOS διαστάσεων ονομαστικού μήκους $L=30\text{nm}$ και πλάτους $W=30\times 1\mu\text{m}$. Η συχνότητα των μετρήσεων και του μοντέλου έφτανε ως τα 40GHz. Το μήκος καναλιού της τεχνολογίας μετά την συρρίκνωση κατά 0.9% ισούταν με $L=27\text{nm}$.

Η μοντελοποίηση με το EKV3 μοντέλο άρχισε πρώτα από τις DC μετρήσεις όπως απεικονίζονται στην εικόνα 5.5. Παρατηρούμε μια ιδανική προσαρμογή του EKV3 μοντέλου ως προς το ρεύμα επαγωγού I_D , εικόνα 5(a) και 5(b), τόσο στην γραμμική περιοχή ($V_{DS}=0.1\text{V}$) όσο και περιοχή κορεσμού ($V_{DS}=0.9\text{V}$). Το ίδιο βέβαια ιδανική απόκριση παρατηρούμε για την αγωγιμότητα g_m (εικόνα 5c), για την διαγωγιμότητα g_{ds} (εικόνα 5.5e-f) αλλά και για τον κανονικοποιημένο συντελεστή αγωγιμότητας $(g_m/I_D)\cdot U_T$ (εικόνα 5.5d).

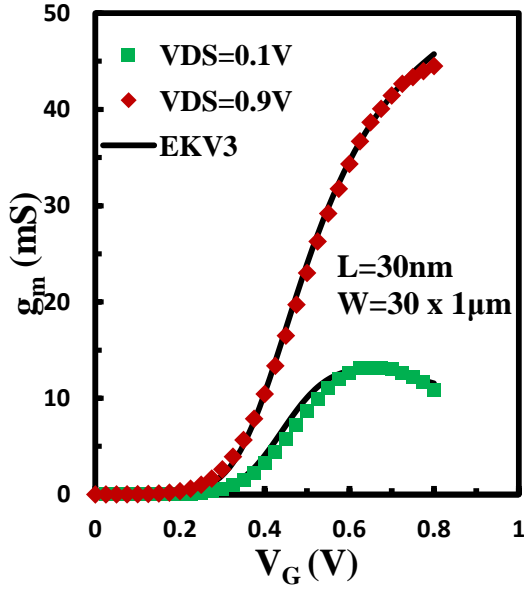
Το επόμενο βήμα της μοντελοποίησης ήταν η προσαρμογή των παρασιτικών αντιστάσεων υποστρώματος R_B και πύλης R_G καθώς και των παρασιτικών χωρητικοτήτων πύλης-επαγωγού C_{GD} , πύλης-πηγής C_{GB} και κατ' ακόλουθο της συνολικής χωρητικότητας πύλης C_{GG} ως προς τη συχνότητα αλλά και ως προς την τάση πύλης V_G για δεδομένη συχνότητα ($F=5\text{GHz}$), εικόνα 5.6.



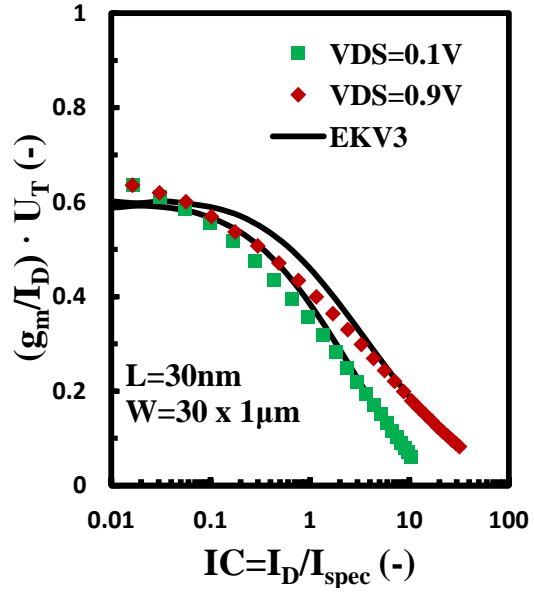
(a) I_D vs V_{GS}



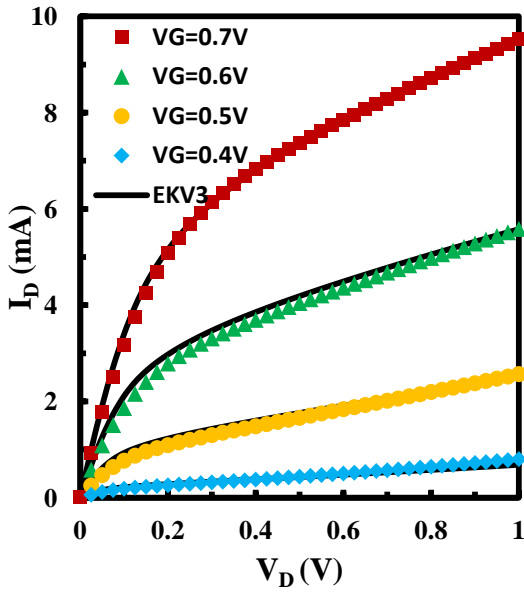
(b) $\log(I_D)$ vs V_{GS}



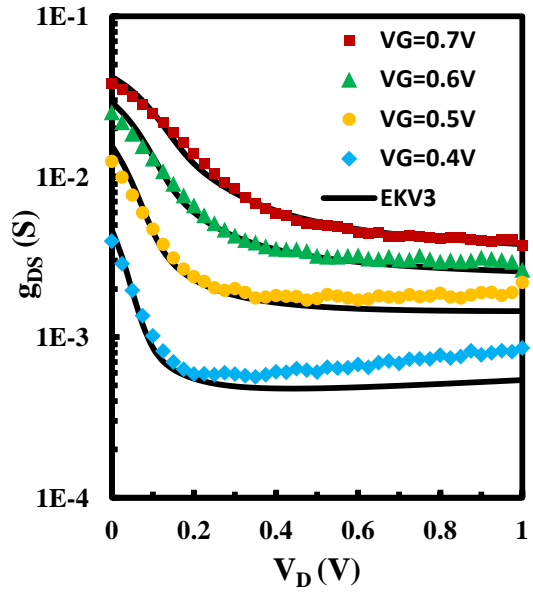
(c) g_m vs V_{GS}



(d) $(g_m/I_D) \cdot U_T$ vs I_C

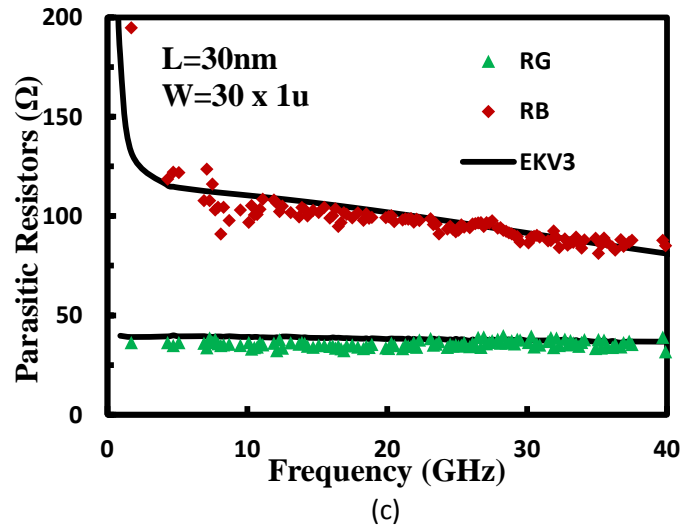
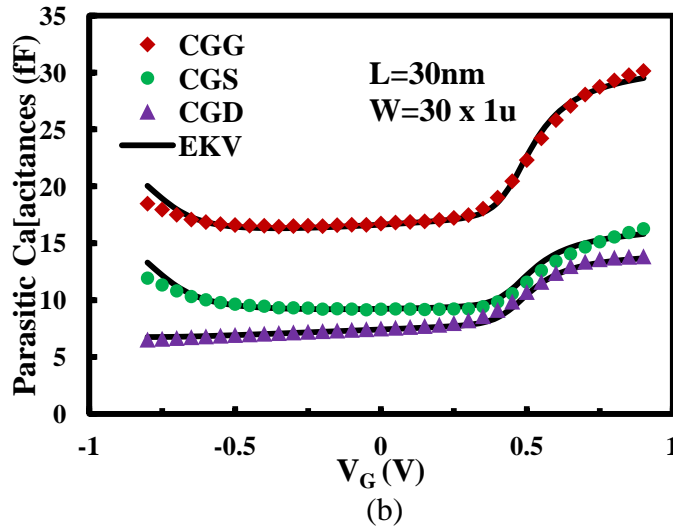
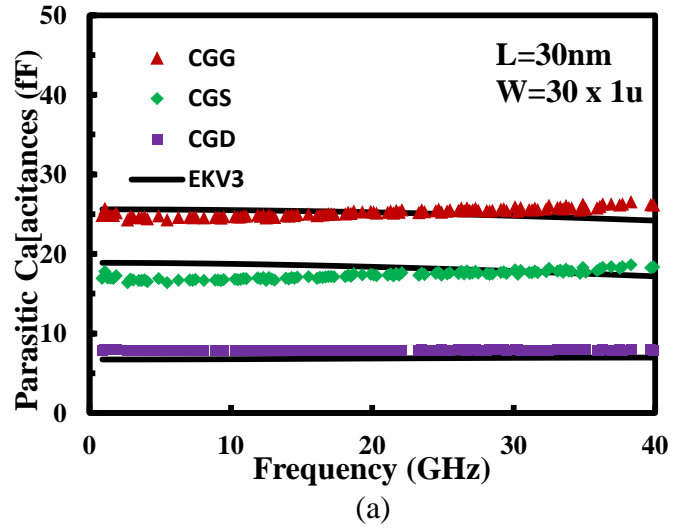


(e) I_D vs V_{DS}



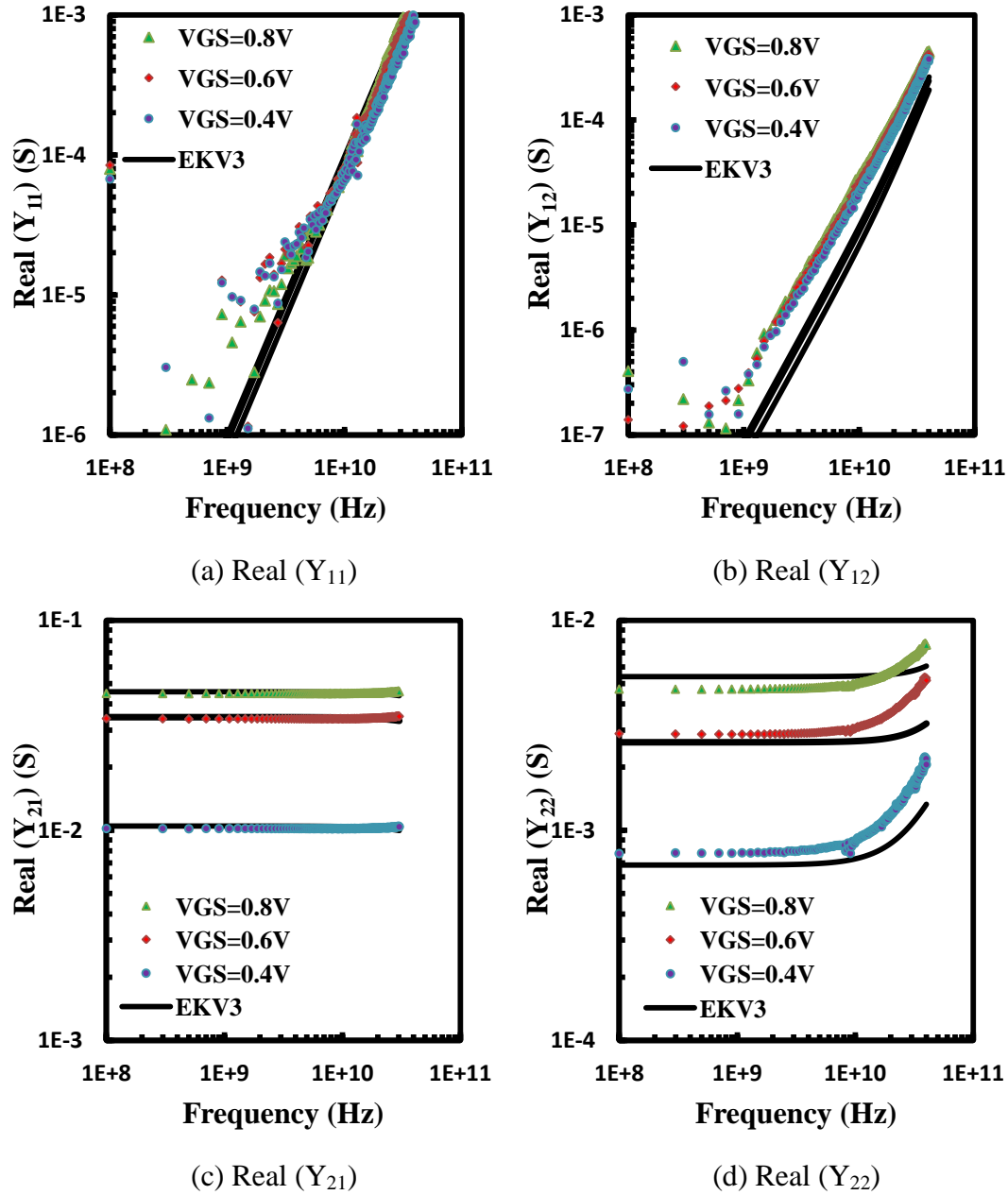
(f) g_{DS} vs V_{DS}

Εικόνα 5.5: (a) & (b) Ρεύμα επαγωγού I_D σε γραμμική και λογαριθμική κλίμακα και (c) αγωγιμότητα πύλης ως προς δυναμικό πύλης V_{GS} , (d) κανονικοποιημένος συντελεστής αγωγιμότητας $(g_m/I_D) \cdot U_T$ ως προς δείκτη αναστροφής, σε συνθήκες πόλωσης $V_D=100\text{mV}$ (γραμμική περιοχή) και $V_D=900\text{mV}$ (περιοχή κορεσμού) αντιστοίχως και τέλος (e) και (f) ρεύμα επαγωγού I_D και διαγωγιμότητα g_{ds} ως προς τάση επαγωγού για διαφορετικές τιμές V_G για n-MOS διαστάσεων $L=30\text{nm}$ και $W=30 \times 1\mu\text{m}$

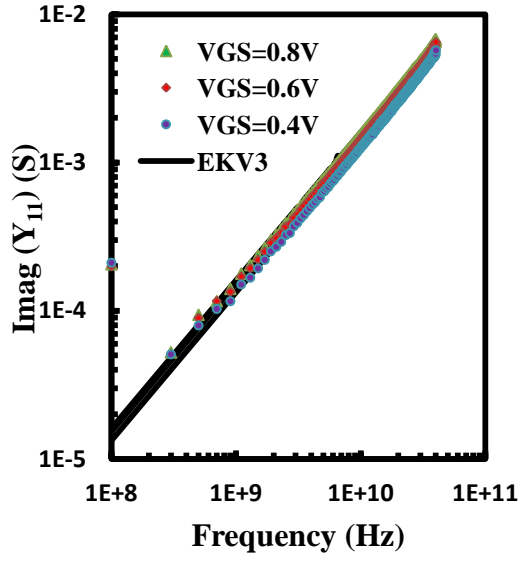


Εικόνα 5.6: (a) Παρασιτικές χωρητικότητες πύλης-επαγωγού (C_{GD}), πύλης-πηγής (C_{GS}) και συνολικής χωρητικότητας πύλης (C_{GG}) ως προς συχνότητα εξαχθέντες στην περιοχή ισχυρής αναστροφής και κορεσμού, (b) οι χωρητικότητες C_{GG} , C_{GS} , C_{GD} ως προς τάσης πύλης V_G εξαχθέντες στη συχνότητα $f=5\text{GHz}$ για $V_{DS}=0.9\text{V}$, (c) παρασιτικές αντιστάσεις πύλης R_G και υποστρώματος R_B ως προς συχνότητα εξαχθέντες στην περιοχή ισχυρής αναστροφής (R_G) και στην περιοχή ασθενούς αναστροφής (R_B), για n-MOS διαστάσεων $L=30\text{nm}$ και $W=30 \times 1\mu\text{m}$.

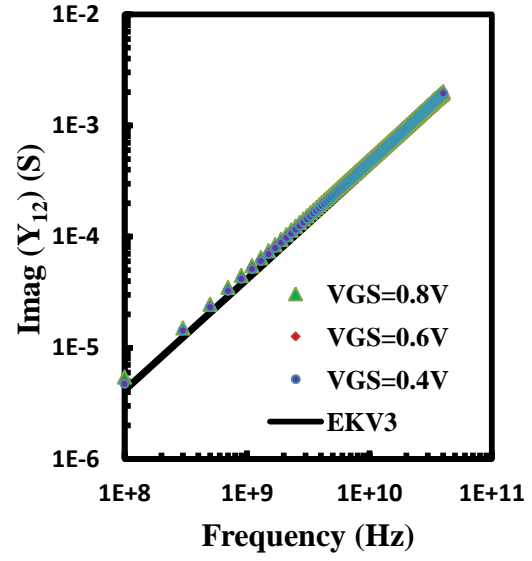
Στην εικόνα 5.7 & 5.8 παρουσιάζονται οι Y-parameters, πραγματικό και φανταστικό μέρος για τρεις διαφορετικές συνθήκες πόλωσης της πύλης $V_{GS}=0.4V$, $V_{GS}=0.6V$ και $V_{GS}=0.8V$ ενώ η τάση στον επαγωγό και για τις τρεις περιπτώσεις ισούται με $V_{DS}=0.9V$. Το EKV3 μοντέλο αποκρίνεται ικανοποιητικά μέχρι τα 40GHz!



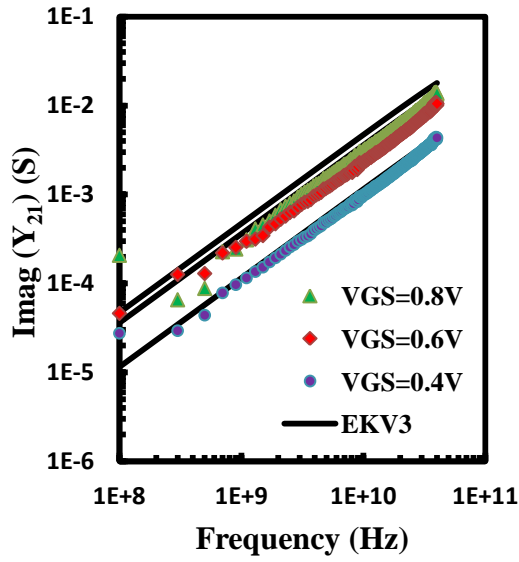
Εικόνα 5.7: Πραγματικό (Real) μέρος Y-parameters ως προς συχνότητα για n-MOS διαστάσεων $L=30nm$, $W=30 \times 1 \mu m$ σε συνθήκες πόλωσης $V_{DS}=0.9V$



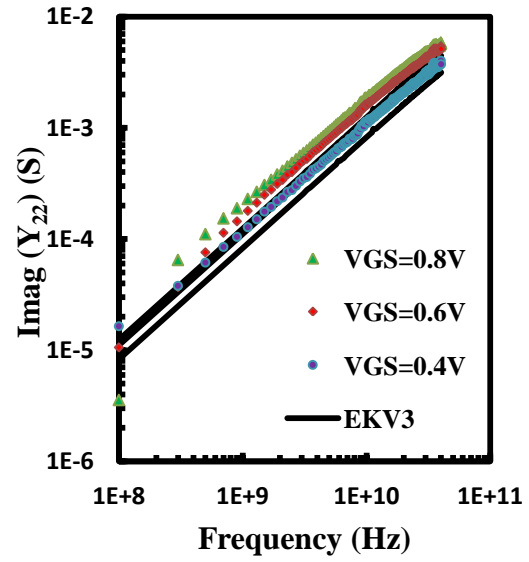
(a) Imag (Y_{11})



(b) Imag (Y_{12})



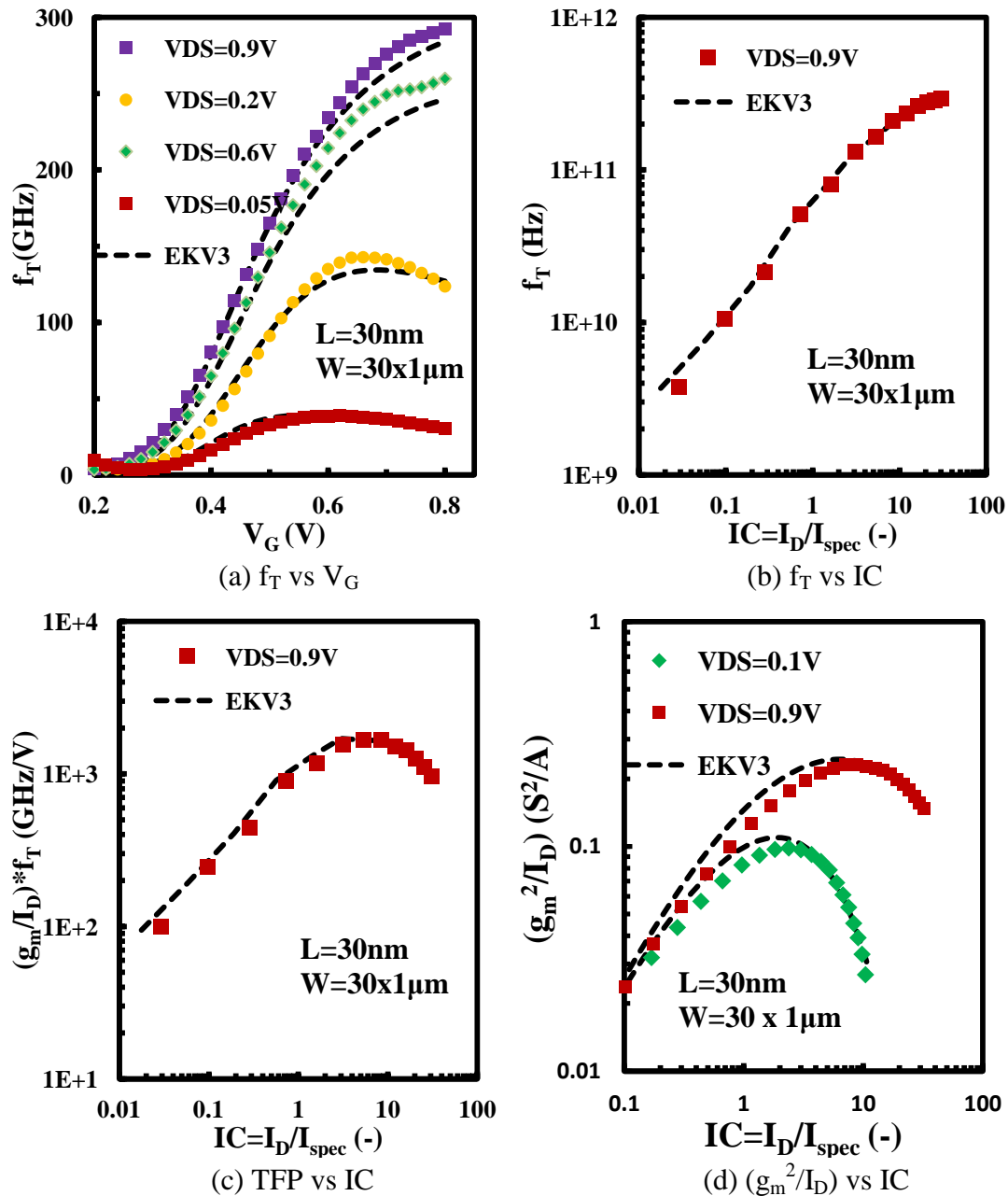
(c) Imag (Y_{21})



(d) Imag (Y_{22})

Εικόνα 5.8: Φανταστικό (Imag) μέρος Y-parameters ως προς συχνότητα για n-MOS διαστάσεων $L=30\text{nm}$, $W=30\times 1\mu\text{m}$ σε συνθήκες πόλωσης $V_{DS}=0.9\text{V}$

Κατόπιν ακολουθεί η παρουσίαση των δεικτών απόδοσης, της συχνότητας μοναδιαίου κέρδους f_T ως προς τάσης πύλης V_{GS} και δείκτη αναστροφής IC για διάφορες συνθήκες πολώσεις στον επαγωγό V_{DS} , εικόνα 5.9(a-b). Στη συνέχεια παρουσιάζεται ο δείκτης απόδοσης "*Transconductance Frequency Product-TFP*" που ισούται με $TFP=(g_m/I_D) \cdot f_T$ και ο δείκτης απόδοσης (g_m^2/I_D) ως προς δείκτη αναστροφής IC , εικόνα 5.9(c-d) παρατηρώντας μια πολύ καλή συσχέτιση μεταξύ μετρήσεων και EKV3 μοντέλου. Η ανάλυση των RF δεικτών απόδοσης έχει αναπτυχθεί πλήρως στο κεφάλαιο 4.



Εικόνα 5.9: (a) Συχνότητα μοναδιαίου κέρδους f_T ως τάσης πύλης V_G για διαφορετικές τάσεις V_{DS} , (b) f_T ως προς δείκτη αναστροφής για $V_{DS}=0.9\text{V}$, και RF δείκτες απόδοσης (c) TFP και (g_m^2/I_D) ως προς δείκτη αναστροφής για n-MOS διαστάσεων $L=100\text{nm}$ και $W=30 \times 1\mu\text{m}$.

6 Συμπεράσματα - Μελλοντική Εργασία

Η παρούσα διπλωματική έχει ερευνήσει την απόδοση των MOSFET's δυο διαφορετικών CMOS τεχνολογιών, διερευνώντας ζητήματα από βελτιστοποίηση φυσικού σχεδίου RF MOST's μέχρι την RF μοντελοποίηση top-of-the-art τεχνολογιών πυριτίου. Η συνεισφορά μπορεί να συνοψιστεί στα εξής σημεία:

- ✓ Επιτυχημένη υλοποίηση φυσικού σχεδίου (layout) RF test chip τεχνολογίας 90nm της TSMC
- ✓ Αυτοματοποιημένο σύστημα RF μετρήσεων μέχρι τα 26.5GHz, μετρήσεις DC και RF ενεργών διατάξεων τεχνολογίας CMOS 90nm
- ✓ Μελέτη RF δεικτών απόδοσης ενεργών διατάξεων τεχνολογίας 90nm ως προς μήκος (L) – πλάτος καναλιού (W) και αριθμού δαχτύλων (NF)
- ✓ Συνεισφορά στην εύρεση του βέλτιστου σημείου λειτουργίας ενισχυτών χαμηλού θορύβου (LNA) λαμβάνοντας υπόψη όλους τους δείκτες απόδοσης όπως είναι η συχνότητα λειτουργίας, η κατανάλωση και ο θόρυβος – σημαντικό για RFIC κυκλώματα χαμηλής τροφοδοσίας και κατανάλωσης.
- ✓ Έλεγχος συμμετρίας χωρητικοτήτων και ρευμάτων στο EKV3 μοντέλο
- ✓ Μοντελοποίηση *edge effect* με το EKV3 μοντέλο σε τεχνολογία CMOS 90nm
- ✓ Χαρακτηρισμός, μοντελοποίηση και εξαγωγή RF δεικτών απόδοσης με το EKV3 μοντέλο σε τεχνολογία αιχμής CMOS 30nm, επαλήθευση του βέλτιστου σημείου λειτουργίας δεδομένης τεχνολογίας.

Η εξέλιξη της παρούσας διπλωματικής θα μπορούσε να κινηθεί στους εξής άξονες. Αρχικά οι τεχνολογίες CMOS των 90 & 30nm θα μπορούσαν να μελετηθούν ως προς την αξιοπιστία (reliability) και μεταβλητότητα (variability) κάτω από ένα μεγάλο και απαιτητικό αριθμό μετρήσεων καταλήγοντας σε ένα στατιστικό μοντέλο. Το επόμενο βήμα είναι η σχεδίαση κυκλωμάτων με λειτουργία στις mm-wave συχνότητες ($\geq 30\text{GHz}$) με βάση το EKV3 μοντέλο εφόσον έχουμε διαπιστώσει τιμές για το f_T της τάξης των $\sim 130\text{GHz}$ και $\sim 300\text{GHz}$ για την τεχνολογία των 90nm και 30nm αντιστοίχως. Τέλος, η εύρεση του βέλτιστου σημείου λειτουργίας για δεδομένη τεχνολογία λαμβάνοντας υπόψη όλους τους δείκτες απόδοσης εφαρμόζεται κυρίως στους ενισχυτές χαμηλού θορύβου, θα μπορούσε να επεκταθεί και σε αλλά βασικά RFIC κυκλώματα όπως είναι οι ενισχυτές ισχύος (power amplifier).

Βιβλιογραφία

- [1] Sung-Mo Kang, Yusuf Leblebici, Ανάλυση και σχεδίαση ψηφιακών ολοκληρωμένων κυκλωμάτων CMOS, 3rd ed. Τζιόλας.
- [2] Trond Ytterdal, Yuhua Cheng, Tor A. Fjeldly, Device Modelling for Analog and RF CMOS Circuit Design. John Wiley & Sons, INC, 2003.
- [3] Tania Roy, “Single Event Mechanisms in 90 nm Triple Well CMOS Devices,” Master of Science, Nashville, Tennessee, 2008.
- [4] Ban P. Wong, Anurag Mittal, Yu Cao, Greg Starr, Nano-CMOS Circuit and Physical Design. John Wiley & Sons, INC, 2005.
- [5] Liu Jun, “Compact Modelling in RF CMOS Technology,” Ph.D thesis, Dublin City University, 2011.
- [6] Cristian, M. Albina, “Design Challenges for Deep Submicron High Frequency Integrated Circuits,” U.P.B Sci. Bull., vol. 70, no. 2, 2008.
- [7] J. C. Guo, W. Y. Lien, M. C. Hung, C. C. Liu, C. W. Chen, C. M. Wu, Y. and C. Sun, and P. Yang, “Low-k/Cu CMOS logic based SoC technology for 10 Gb transceiver with 115 GHz ft, 80 GHz fmax RF CMOS, high-q MIM capacitor and spiral Cu inductor,” Symp. VLSI Dig. Papers, 2003
- [8] L. F. Tiemeijer et al., “Record RF performance of standard 90 nm CMOS technology,” in IEDM Tech. Dig., 2004, pp. 441–444.
- [9] Babak Heydari, “CMOS Circuits and Devices beyond 100GHz,” Ph.D thesis, University of California, Berkeley, 2008.
- [10] Babak Heydari, Mounir Bohsali, Ehsan Adabi, Ali M. Niknejad, “Millimeter-Wave Devices and Circuit Blocks up to 104 GHz in 90nm CMOS,” IEEE Journal of Solid-State Circuits, vol. 42, no. 12, pp.2893-2903, Dec. 2007.
- [11] Hee-Sauk Jhon, Jae-Hong Lee, Jaeho Lee, Byoungchan Oh, Ickhyun Song, Yeonam Yun, Byung-Good Park, Jong-Duk Lee, Hyungcheol Shin, “Fmax Improvement by Controlling Extrinsic Parasitics in Circuit-Level MOS Transistor,” IEEE Electron Device Letters, vol. 30, no. 12, pp. 1323-1325, Dec. 2009.
- [12] A. M. Niknejad, Electromagnetics For High-Speed Analog and Digital Communication Circuits, 1st ed. Cambridge, U.K.: Cambridge Univ. Press, 2007
- [13] “Layout Rules for GHz-Probing.” Cascade Microtech, Application Note
- [14] “Mechanical Layout Rules for Infinity Probes.” Cascade Microtech, Application Note

- [15] “The Infinity Probe for On-Wafer Device Characterization and Modeling to 110GHz.” Cascade Microtech, Application Note
- [16] “Probe Selection Guide.” Cascade Microtech, Application Note
- [17] Shih-Hung Chen, Ming-Dou Ker, “Investigation on seal-ring rules for IC product reliability in 0.25- μ m CMOS technology,” *Microelectronics Reliability*, vol. 45, 2005.
- [18] Ming-Dou Ker, “Whole-Chip ESD Protection Design with Efficient VDD-to-VSS ESD Clamp Circuits for Submicron CMOS VLSI,” *IEEE Transactions on Electron Devices*, vol. 46, no. 1, pp.173-183, Jan. 1999.
- [19] Charvaka Duvvury, Carlos Diaz, “Dynamic gate coupling of NMOS for efficient output ESD protection,” *IEEE International Physics Symposium*, San Diego, USA, 1992
- [20] Albert Z. H. Wang, Haigang Feng, Rouying Zhan, Haolu Xie et al., “A Review on RF ESD protection Design,” *IEEE Transactions on Electron Devices*, vol. 52, no. 7, pp. 1304-1311, Jul. 2005.
- [21] T. Kolding, O. Jensen, and T. Larsen, “Ground-shielded measuring technique for accurate on-wafer characterization of RF CMOS devices,” *International Conference in Microelectronic Test Structures ICMTS*, 2000
- [22] T. Kolding, “Shield-based microwave on-wafer device measurements,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 6, pp. 1039–1044, 2001.
- [23] Angelos Antonopoulos, Kostas Papathanasiou, Matthias Bucher, Kostas Papathanasiou, “CMOS LNA design at 30GHz,” presented at the *IEEE International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)*, Mexico, 2012.
- [24] Andrea Bevilacqua, Ali M. Niknejad, “An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6GHz Wireless Receivers,” *IEEE J. Solid-state Circuits*, vol. 39, no. 12, pp. 2259-2268, Dec. 2004.
- [25] *Radio Frequency and Analog/Mixed-Signal Technologies*, 2013 edition. The International Technology Roadmap for Semiconductors.
- [26] Cascade Microtech, “Impedance Standard Substrate,” <https://www.cmico.com/products/calibration-tools/impedance-substrate>.
- [27] A.M.E Safwat, Hayden L., “Sensitivity Analysis of Calibration Standards for SOLT and LRRM,” *ARFTG Conference Digest-Fall*, San Diego, USA, vol. 40, 2001
- [28] Alain Marc Mangan, “Millimetre-Wave device characterization for Nano-Cmos IC design,” *Master of Applied Science*, Toronto, 2005.

- [29] Andrej Rumiantsev, Susan L. Sweeney, Phillip L. Corson, "Comparison of On-Wafer Multiple TRL and LRM+ Calibrations for CMOS Applications," ARFTG Microwave Measurement Symposium, 2008
- [30] "On-Wafer Vector Network Analyzer Calibration and Measurements." Cascade Microtech, application note
- [31] Francesc Purroy, Lluís Pradell, "New Theoretical Analysis of the LRRM Calibration Technique for Vector Network Analyzers," IEEE Transactions on Instrumentation and Measurement, vol. 50, no. 5, pp. 1307-1314, Oct. 2001
- [32] Troes Emil Kolding, "On-Wafer Calibration Techniques for Giga-Hertz CMOS Measurements," presented at the IEEE International Conference on Microelectronic Test Structures, Goteborg, 1999.
- [33] Xiaoyun Wei, Gofu Niu, Susan L. Sweeney, Qingqing Liang, Xudong Wang, Stewart S. Taylor, "A General 4-Port Solution for 110GHz On-Wafer Transistor Measurements With or Without Impedance Standard Substrate (ISS) Calibration," IEEE Transactions on Electron Devices, vol. 54, no. 10, pp. 2706-2714, Oct. 2007.
- [34] M. Jamal Deen, Tor A. Fjeldly, Cmos RF Modeling, Characterization and Applications, Selected Topics in Electronics and Systems, vol. 24. World Scientific.
- [35] Franz Sischka, "IC-CAP Modeling Handbook." Agilent Technologies, Oct-2010.
- [36] Alan Madsworth, "The Parametric Measurement Handbook." Agilent Technologies, Mar-2012.
- [37] Errikos Lourandakis, "On-Wafer Measurements and Calibration-part II", <http://www.lourandakis.com/wafer-measurements-calibration-part-ii/>
- [38] Angelos Antonopoulos, "Nanoscale RF CMOS Tranceiver Design", Ph.D thesis, TUC, Chania, 2013
- [39] "TSMC 90nm CMOS Mixed Signal RF Low Power 1P9M Salicide CU_LowK 1.2&2.5V Spice Model." Taiwan Semiconductor Manufacturing Co, LTD, 2008.
- [40] Cheolung Cha, Zhaoran Huang, Nam M. Jokerst, Martin A. Brooke, "Test-Structure Free Modeling Method for De-Embedding the Effects of Pads on Device Modeling," IEEE Electronic Components and Technology Conference, New Orleans, Louisiana, USA, vol. 53, 2003
- [41] Ewout P. Vandamme, Dominique M. M. P Schreurs, Cees van Dinther, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test Structures," IEEE Transactions on Electron Devices, vol. 48, no. 4, pp.737-742, Apr. 2001.

- [42] Ju-Young Kim, Min-Kwon Choi, Seonghearn Lee, "A 'Thru-Short-Open' De-embedding Method for Accurate On-Wafer RF Measurements of Nano-Scale MOSFETs," *Journal of Semiconductor Technology and Science*, vol. 12, no. 1, Mar. 2012.
- [43] M.C.A.M Koolen, J.A.M Geelen, M.P.J.G Verleijen, "An improved de-embedding technique for on wafer high-frequency characterization," *IEEE Bipolar Circuits and Technology Meeting*, 1991
- [44] Ming-Hsiang Cho, Yueh-Hua Wang, Lin-Kun Wu, "Scalable Short-Open-Interconnect S-Parameter De-Embedding Method for On-Wafer Microwave Characterization of Silicon MOSFETs," *IEICE Trans. Electron.*, vol. E85-A/B/C/D, no. 1, Sep. 2007.
- [45] Troes Emil Kolding, "A Four- Step Method for De-embedding Gigahertz On-Wafer CMOS Measurements," *IEEE Transactions on Electron Devices*, vol. 47, no. 4, pp. 734-730, Apr. 2000.
- [46] Troes Emil Kolding, Christian Rye Iversen, "Simple Noise Deembedding Technique for On-Wafer Shield Based Test Fixtures", *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 1, pp. 11-15 Jan. 2003
- [47] Xi Sung Loo, Kiat Seng Yeo, Kok Wai J. Chew, Lye Hock Kelvin Chan, Shih Ni Ong, Mang Anh Do, Chirn Chye Boon, "An Accurate Two-Port De-Embedding Technique for RF_Millimeter-Wave Noise Characterization and Modelling of Deep Submicrometer Transistors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 2, pp. 479-487, Feb. 2011.
- [48] C. Enz and E. Vittoz, *Charge-based MOS transistor modeling: the EKV model for low power and RF IC design*. Chichester, England: John Wiley, 2006.
- [49] "The international technology roadmap for semiconductors," 2013
- [50] Yuhua Cheng, M.Jamal Deen, Chih-Hung Chen, "MOSFET Modeling for RF IC Design," *IEEE Transactions on Electron Devices*, vol. 52, no. 7, pp.1286-1303, Jul. 2005.
- [51] Liu Jun, "Compact Modelling in RF CMOS Technology," Ph.D thesis, Dublin City University, 2011
- [52] M. A. Chalkiadaki, "Microwave modeling and parameter extraction of MOSFETs," Master's thesis, Technical University of Crete, Chania, 2011
- [53] B. Parvais, S. Hu, M. Dehan, A. Mercha, and S. Decoutere, "An accurate scalable compact model for the substrate resistance of RF MOSFETs," *IEEE Custom Integrated Circuits Conference*, 2007

- [54] N. Srirattana, D. Heo, H. Park, A. Raghavan, P. Allen, and J. Laskar, "A new analytical scalable substrate network model for RF MOSFETs," IEEE MTT-S International in Microwave Symposium Digest, vol. 2, 2004.
- [55] S. Yoshitomi, A. Bazigos, and M. Bucher, "EKV3 parameter extraction and characterization of 90nm RF-CMOS technology," 14th International Conference in Mixed Design of Integrated Circuits and Systems, MIXDES '07, 2007
- [56] C. C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low voltage and low-current applications," J. Analog Integr. Circuit Signal Process, vol. 8, pp. 83–114, 1995
- [57] M. Bucher, "Analytical MOS Transistor Modeling for Analog Circuit Simulation", theses No. 2114, Ecole Polytechnique Federale de Lausanne, 1999
- [58] W. Grabinski, B. Nauwelaers, D. Schreurs, " Transistor level modeling for analog/RF IC design", M. Bucher, A. Bazigos, F. Krummenacher, J.-M. Sallèse, C. Enz, Chapter 3: "EKV3.0: An Advanced Charge Based MOS Transistor Model. A Design-Oriented MOS Transistor Compact Model for Next Generation CMOS", 2006.
- [59] Christian C. Enz, "An MOS Transistor Model for RFIC Design Valid in All Regions of Operation," IEEE Transactions on Microwave Theory and Techniques, vol. 50, no. 1, pp. 342–359, Jan. 2002.
- [60] R. v. Langevelde and F. M. Klaassen, "Effect of gate-field dependent mobility degradation on distortion analysis in MOSFETs," IEEE Transactions on Electron Devices, vol. 44, no. 11, pp. 2044–2052, Nov. 1997
- [61] J. Mayer, "MOS models and circuit simulation," RVA Review, vol. 32, 1971
- [62] D. E. Ward, "Charge-Based Modeling of Capacitance in MOS Transistors," Stanford Univ., Stanford Electron. Lab, Stanford, CA, Tech. G201-11, 1981
- [63] Y. Cheng et al., "High frequency characterization of gate resistance in RF MOSFETs," IEEE Electron Device Letters, vol. 22, no. 2, pp. 98–100, Feb. 2001
- [64] X. Jin et al., "An effective gate resistance model for CMOS RF and noise modeling," in IEDM Tech. Dig., 1998, pp. 961–964
- [65] T. Manku, "Microwave CMOS—Device physics and design," IEEE J. Solid-State Circuits, vol. 34, pp. 277–285, Mar. 1999

- [66] C. Enz and Y. Cheng, "MOS transistor modeling for RF IC design," *Journal of Solid-State Circuits*, vol. 35, no. 2, pp. 186–201, Feb. 2000.
- [67] E. Abou-Allam and T. Manku, "A small-signal MOSFET model for radio frequency IC applications," *IEEE Trans. Computer-Aided Design*, vol. 16, pp. 437–447, May 1999
- [68] A. Bazigos, M. Bucher, P. Sakalas, M. Schroter, and W. Kraus, "High-frequency scalable compact modelling of si RF-CMOS technology," *physica status solidi (c)*, vol. 5, no. 12, 2008
- [69] Y. Tsvividis, *Operation and Modeling of the MOS Transistor*, 2nd ed. New York: McGraw-Hill, 1999
- [70] S. H. Jen et al., "Accurate MOS transistor modeling and parameter extraction valid up to 10-GHz," in *Proc. Eur. Solid-State Device Res. Conf.*, Bordeaux, 1998
- [71] M. Bucher, A. Bazigos, S. Yoshitomi, and N. Itoh, "A scalable advanced RF IC design oriented MOSFET model," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 18, no. 4, pp. 314–325, 2008
- [72] I. Kwon, M. Je, K. Lee, and H. Shin, "A simple and analytical parameter extraction method of a microwave MOSFET," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 6, pp. 1503–1509, 2002
- [73] Steve Hung-Min Jen, Christian C. Enz, David R. Pehlke, Michael Shroter, Bing J. Sheu, "Accurate Modeling and Parameter Extraction for MOS Transistors Valid up to 10 GHz," *IEEE Transactions on Electron Devices*, vol. 46, no. 11, pp 2217-2227, Nov. 1999.
- [74] A. Antonopoulos, M. Bucher, K. Papathanasiou, N. Makris, R. K. Sharma, P. Sakalas, M. Schroter, "CMOS RF Noise, Scaling and Compact Modeling for RFIC Design", *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 53-56, Seattle, Washington, June 2-4, 2013
- [75] A. Antonopoulos, M. Bucher, K. Papathanasiou, N. Mavredakis, N. Makris, R. Sharma, P. Sakalas, and M. Schroter, "CMOS small-signal and thermal noise modeling at high frequencies", *IEEE Trans. on Electron Devices*, vol. 60, no. 11, pp. 3726-3733, 2013.
- [76] K. Papathanasiou, N. Makris, A. Antonopoulos, M. Bucher, "Moderate Inversion: Analog and RF Benchmarking with the EKV3 Compact Model," presented at the *IEEE International Conference on Microelectronics*, Belgrade, pp. 205-208, Serbia, 2014

- [77] A. Antonopoulos, M. Bucher, K. Papathanasiou, N. Makris, N. Mavredakis, R. Sharma, P. Sakalas, and M. Schroter, "Modeling of high frequency noise of silicon CMOS transistors for RFIC design," International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, special issue on Modeling of high-frequency silicon transistors, vol. 27, no. 5-6, pp. 802-811, 2014.
- [78] A. Bazigos, M. Bucher, J. Assenmacher, S. Decker, W. Grabinski, Y. Papananos, "An Adjusted Constant-Current Method to Determine Saturated and Linear Mode Threshold Voltage of MOSFETs," Electron Devices, IEEE Transactions on , vol.58, no.11, pp.3751-3758, Nov. 2011
- [79] A. Shameli and P. Heydari, "Ultra-low power RFIC design using moderately inverted MOSFETs: an analytical/experimental study", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 470–473, 2006.
- [80] T. Taris, J. Begueret, Y. Deval, "A 60 uW LNA for 2.4 GHz wireless sensors network applications", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 1-4, June 2011.
- [81] I. Song, J. Jeon, H.-S. Jhon, J. Kim, B.-G. Park, J.-D. Lee, and H. Shin, "A simple figure of merit of RF MOSFET for low-noise amplifier design", IEEE Electron Device Letters, vol. 29, no. 12, pp. 1380–1382, 2008.
- [82] E. Morifuji, H. S. Momose, T. Ohguro, T. Yoshitomi, H. Kimijima, F. Matsuoka, M. Kinugawa, Y. Katsumata, and H. Iwai, "Future perspective and scaling down roadmap for RF COMSFET," in Symp. VLSI Tech. Dig., 1999, pp. 165–166
- [83] Wen-Kuan Yeh, Chao-Ching Ku, Shuo-Mao Chen, Yean-Kuen Fang, C.P. Chao, "Effect of extrinsic impedance and parasitic capacitance on figure of merit of RF MOSFET," IEEE Transactions on Electron Devices, vol. 52, no. 9, pp. 254-260, Sep. 2005.
- [84] I. Kwon and K. Lee, "An Accurate Behavioral Model for RF MOSFET Linearity Analysis", IEEE Microwave Wireless Components Letters, vol.17, no.12, pp. 897-899, Dec. 2007.
- [85] Woo Young Choi; Byung Yong Choi; Dong-Soo Woo; Jong Duk Lee; Byung-Gook Park, "Stable extraction of linearity (V_{IP3}) for nanoscale RF CMOS devices," Microwave and Wireless Components Letters, IEEE , vol.14, no.2, pp.83-85, Feb. 2004
- [86] R. van Langevelde, L. Tiemeijer, R. Havens, M. Knitel, R. Ores, P. Woerlee, and D. Klaassen, "RF-distortion in deep-submicron CMOS technologies", in Tech. Dig., Int. Electron Devices Meeting (IEDM), pp. 807–810, 2000

- [87] K. Lee, I. Nam, I. Kwon, J. Gil, K. Han, S. Park, and B.-I. Seo, "The impact of semiconductor technology scaling on CMOS RF and digital circuits for wireless application", *IEEE Trans. on Electron Devices*, vol. 52, no. 7, pp. 1415–1422, 2005.
- [88] G. Gildenblat, *Compact Modeling: Principles, Techniques and Applications*. New York, NY, USA: Springer - Verlag, 2010.
- [89] Y. S. Chauhan, S. Venugopalan, M.-A. Chalkiadaki, M. A. U. Karim, H. Agarwal, S. Khandelwal, N. Paydavosi, J. P. Duarte, C.C. Enz, A. M. Niknejad, C. Hu, "BSIM6: Analog and RF Compact Model for Bulk MOSFET," *IEEE Trans. on Electron Devices*, vol. 61, no. 2, pp. 234-244, Feb. 2014
- [90] P. Bendix, P. Rakers, P. Wagh, L. Lemaitre, W. Grabinski, C. C. McAndrew, X. Gu, G. Gildenblat, "RF Distortion Analysis with Compact MOSFET Models". *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 9-12, Oct. 2004.
- [91] C. C. McAndrew, "Validation of MOSFET model source-drain symmetry", *IEEE Trans. on Electron Devices*, vol. 53, no. 9, pp. 2202-2206, Sep. 2006
- [92] M. J. Deen, Z. P. Zuo, "A physical model for the edge effects in narrow-width MOSFETs", *Solid-State Electronics*, vol. 36, no. 11, pp. 1557-1562, Nov. 1993.
- [93] T. Oishi, K. Shiozawa, A. Furukawa, Yuji Abe, Y. Tokuda, "Isolation edge effect depending on gate length of MOSFETs with various isolation structures", *IEEE Trans. on Electron Devices*, vol. 47, no. 4, pp. 822-827, Apr. 2000.
- [94] W. Ningjuan et al., "Fabrication of improved FD SOI MOSFETs for suppressing edge effect", *IEEE Conference on Solid State and Integrated-Circuit Technology (ICSICT)*, pp. 231- 234, 20-23 Oct. 2008.

ΔΗΜΟΣΙΕΥΣΕΙΣ

Journals

1. Antonopoulos, M. Bucher, **K. Papathanasiou**, N. Makris, N. Mavredakis, R. Sharma, P. Sakalas, and M. Schroter, "Modeling of high frequency noise of silicon CMOS transistors for RFIC design," International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, special issue on Modeling of high-frequency silicon transistors, vol. 27, no. 5-6, pp. 802-811, 2014.
2. A. Antonopoulos, M. Bucher, **K. Papathanasiou**, N. Mavredakis, N. Makris, R. Sharma, P. Sakalas, and M. Schroter, "CMOS small-signal and thermal noise modeling at high frequencies", IEEE Trans. on Electron Devices, vol. 60, no. 11, pp. 3726-3733, 2013.

Conferences

1. **K. Papathanasiou**, N. Makris, A. Antonopoulos, M. Bucher, "Moderate Inversion: Analog and RF Benchmarking with the EKV3 Compact Model," presented at the IEEE International Conference on Microelectronics, Belgrade, pp. 205-208, Serbia, 2014
2. A. Antonopoulos, M. Bucher, **K. Papathanasiou**, N. Makris, R. K. Sharma, P. Sakalas, M. Schroter, "CMOS RF Noise, Scaling and Compact Modeling for RFIC Design", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 53-56, Seattle, Washington, June 2-4, 2013
3. A. Antonopoulos, **K. Papathanasiou**, M. Bucher, K. Papathanasiou, "CMOS LNA design at 30GHz," presented at the IEEE International Caribbean Conference on Devices, Circuits and Systems (ICCDACS), Mexico, 2012.