

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ



**“Ανάλυση και βελτιστοποίηση κατανάλωσης ισχύος
συνδυαστικών και ακολουθιακών ψηφιακών
κυκλωμάτων”**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Καραμπατζάκης Δημήτριος

Χανιά, Δεκέμβριος 2002

Η εργασία αυτή είναι αφιερωμένη
στους γονείς μου.

Αρχικά θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Γ. Σταμούλη για την καθοδήγηση και υποστήριξη του κατά την διάρκεια της εργασίας μου. Η διπλωματική αυτή αποτελεί μια γνωριμία με τον κόσμο του υλικού των Η/Υ και ειδικότερα με την τεχνολογία του VLSI. Ο καθηγητής μου κατάφερε να μου δώσει όλα εκείνα τα εφόδια που με βοήθησαν να κατανοήσω σημαντικές παραμέτρους της τεχνολογίας και να γνωρίσω τα βασικά εργαλεία της.

Επίσης, ευχαριστώ τα μέλη της εξεταστικής επιτροπής της παρούσας διπλωματικής εργασίας κ. Α. Δόλλα και κ. Δ. Πνευματικάτο για την ανάγνωση του κειμένου αλλά και για την διάθεση που επέδειξαν κατά την διάρκεια της εργασίας μου για συζήτηση των προβλημάτων που προέκυπταν.

Ευχαριστώ τους συναδέλφους κ. Σ. Κοψιδά για την βοήθεια και καθοδήγηση σε ότι είχε σχέση με την εγκατάσταση και λειτουργία του μηχανήματος Sun και του λογισμικού του, κ. Χ. Κάχρη για την βοήθεια στην επίλυση προβλημάτων που αντιμετώπισα όλον αυτό τον καιρό και κ. Δ. Μπουρντά για την τροποποίηση των πειραματικών κυκλωμάτων σε γλώσσα VHDL.

Τέλος, θα ήθελα να ευχαριστήσω τους αδελφούς μου Φώτη και Δάκη για την υποστήριξη που μου επέδειξαν. Επίσης, ευχαριστώ τους φίλους μου, Γιώργο Κ., Γιώργο Σ., Γιώργο Ξ., Μαρία Κ., Ελένη Φ., Τατιάνα Κ. για την συμπαράσταση τους και Σπύρο Κ., Δημήτρη Σ., Ντίνα Μ. για την παρέα τους όλο αυτό τον καιρό στο γραφείο 215.

Περιεχόμενα

Περιεχόμενα 1

Πρόλογος 6

Εισαγωγή 7

Το λογισμικό της SYNOPSIS. 8

Design Compiler. 8

Σύνθεση με τον DC. 8

Η βασική ροή σχεδιασμού σε υψηλό επίπεδο με τον DC. 9

Η βασική ροή της διαδικασίας της σύνθεσης με τον DC. 10

Power Compiler. 14

Η ανάλυση της κατανάλωσης ισχύος με την χρήση του Power Compiler. 14

Βελτιστοποίηση σε επίπεδο πυλών με την χρήση του Power Compiler. 15

Το μοντέλο ισχύος του Power Compiler. 15

Το MTI εργαλείο προσομοίωσης σε RTL επίπεδο και επίπεδο πυλών. 16

Οι βιβλιοθήκες του DesignWare. 16

Χρήση βιβλιοθηκών για σχεδιασμό σε υψηλό επίπεδο. 16

Η δομή της Foundation Library. 18

Οι τεχνολογικές βιβλιοθήκες της εταιρείας UMC. 20

Οι UMC τεχνολογικές βιβλιοθήκες στα 25um, 18um και 13um. 20

Τα χαρακτηριστικά των τεχνολογικών βιβλιοθηκών. 21

Προτεινόμενες συνθήκες λειτουργίας. 21

Επίπεδα μετάλλου (Metal Layer). 22

Synopsys δεδομένα για ισχύ. 22

Κελιά (L) χαμηλής κατανάλωσης ισχύος (Special Low Power Cells) . 22

Υπολογισμός της καθυστέρησης διάδοσης των κελιών. 23

Προσεγγιστικοί παράγοντες (Derating factors). 23

Παρουσίαση των scripting γλωσσών που χρησιμοποιήθηκαν. 26

Βασικές έννοιες Κατανάλωσης Ισχύος 27

Ορισμοί τύπων ισχύος. 28

Ορισμός Στατικής Ισχύος. 28

Ορισμός Δυναμικής Ισχύος. 29

Ορισμός ισχύος λόγω μεταγωγής λογικής τιμής. 29

Ορισμός εσωτερικής ισχύος. 29

Υπολογισμός της κατανάλωσης ισχύος. 31

Υπολογισμός Ισχύος Διαρροής (Leakage Power Calculation). 31

Υπολογισμός Εσωτερικής Ισχύος (Internal Power Calculation). 32

Υπολογισμός Ισχύος Μεταγωγής (Switching Power Calculation). 35

Υπολογισμός Δυναμικής Ισχύος (Dynamic Power Calculation). 35

Υπολογισμός της κατανάλωσης ισχύος των κελιών. 35

Κατανάλωση Στατικής Ισχύος. 36

Κατανάλωση Δυναμικής Ισχύος. 36

Υπολογισμός της κατανάλωσης ισχύος. 36

Σύνθεση κυκλωμάτων χαμηλής κατανάλωσης ισχύος με τη χρήση του Power Compiler 38

Η ροή της μεθοδολογίας για την ισχύ. 39

Δραστηριότητα μεταγωγής του κυκλώματος (switching activity). 40

Μοντέλο καθυστέρησης (Delay Model). 40

Υπολογισμός της κατανάλωσης ισχύος σε επίπεδο RTL. 41

- Ο RTL Power Estimator αναλυτικότερα. 42
 - Προσεγγιστική Ανάλυση ενός βήματος (One step analysis approach). 42
 - Αλληλεπιδρούσα Προσεγγιστική Ανάλυση (Interactive analysis approach). 43
- Υπολογισμός και βελτιστοποίηση της κατανάλωσης ισχύος σε επίπεδο πυλών. 44
 - Design Exploration με τη χρήση του Power Compiler. 44
 - Η ροή της μεθοδολογίας αναλυτικότερα. 45
- Βελτιστοποίηση σε επίπεδο πυλών. 46
 - Βελτιστοποίηση χρονισμού και μεγέθους του κυκλώματος. 47
 - Βελτιστοποίηση της κατανάλωσης ισχύος του κυκλώματος. 48
 - Προσομοίωση του κυκλώματος για την παραγωγή του .SAIF αρχείου. 49
 - Εισαγωγή των παραμέτρων ισχύος. 50
 - Προσομοίωση με την χρήση της επιλογής incremental. 50
 - Αποτίμηση των αποτελεσμάτων. 51

Καταγραφή της δραστηριότητας μεταγωγής του κυκλώματος με την χρήση VHDL προσομοίωσης 52

- Τα .SAIF αρχεία και η χρήση τους. 53
- Τα .SAIF αρχεία και η προσομοίωση σε RTL επίπεδο. 54
 - Μεθοδολογία δημιουργίας ενός RTL .SAIF forward annotation file. 55
 - Προσομοίωση σε RTL επίπεδο. 56
 - Τι είναι το DPFLI interface. 56
 - Δημιουργία back-SAIF από RTL προσομοίωση με χρήση του DPFLI. 58
- Τα .SAIF αρχεία και η προσομοίωση σε επίπεδο πυλών. 60
 - Δημιουργία back-SAIF από προσομοίωση σε επίπεδο πυλών με χρήση του DPFLI. 61
- Παράδειγμα δημιουργίας RTL back-SAIF αρχείου. 62
- Τα αποτελέσματα των δύο μεθοδολογιών. 63

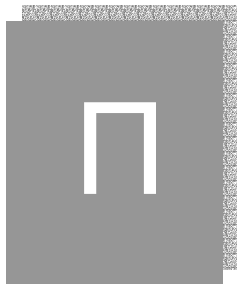
Παρουσίαση των πειραματικών μετρήσεων 64

- Πειραματικές μετρήσεις με τον Design Compiler. 65
 - Συμπεριφορά μεγέθους ολοκληρωμένου με το μέγιστο χρόνο εξόδου. 65
- Πειραματικές μετρήσεις με τον Power Estimator. 67
 - Πειραματικές μετρήσεις με συνδυαστικά κυκλώματα. 68
 - Πειραματικές μετρήσεις με ακολουθιακά κυκλώματα. 69
- Πειραματικές μετρήσεις με τον Power Compiler. 70
- Πειραματικές μετρήσεις με συνδυαστικά κυκλώματα. 71
 - Το συνδυαστικό κύκλωμα c432. 71
 - Το συνδυαστικό κύκλωμα c2670. 78
 - Το συνδυαστικό κύκλωμα S1423. 84
- Πειραματικές μετρήσεις με ακολουθιακά κυκλώματα. 86
 - Το ακολουθιακό κύκλωμα Sdff420. 86
 - Το ακολουθιακό κύκλωμα Sdff713. 92
 - Το ακολουθιακό κύκλωμα Sdff820. 98

Συμπεράσματα και επισημάνσεις για τις μετρήσεις. 105

- Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον Design Compiler. 106
- Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον Power Estimator. 106
 - Ο Power Estimator και τα συνδυαστικά κυκλώματα. 106
 - Ο Power Estimator και τα ακολουθιακά κυκλώματα. 106
- Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον Power Compiler, Design Compiler. 107
- Επίλογος. 108

Βιβλιογραφία 109

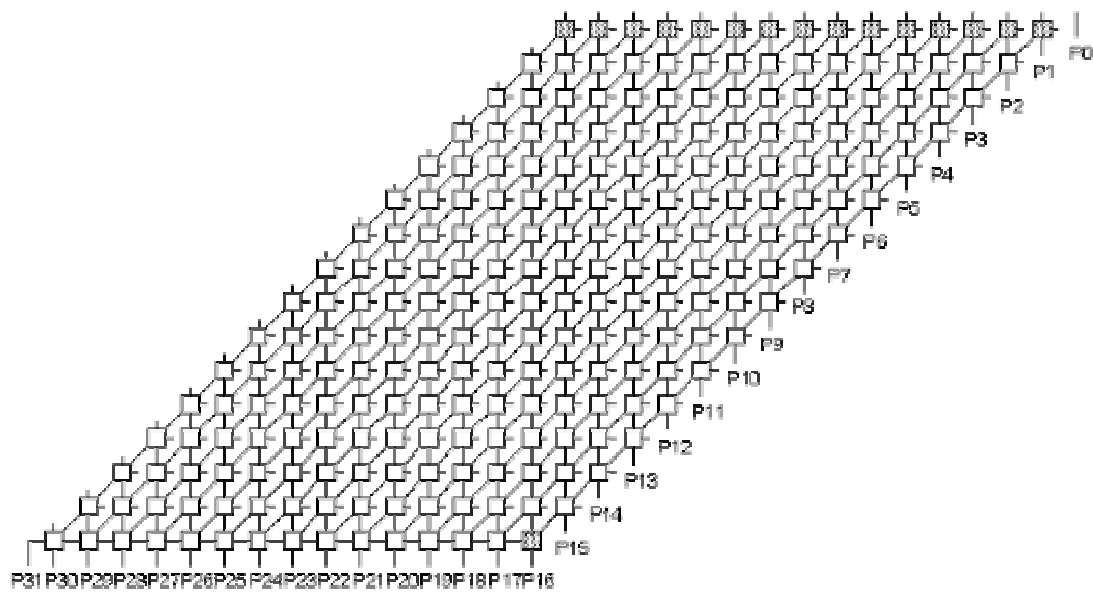
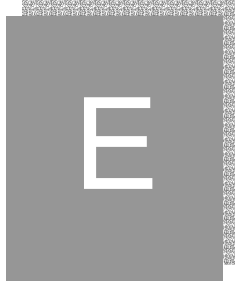


Πρόλογος

Οι περισσότερες ερευνητικές και βιομηχανικές προσπάθειες στον τομέα των ψηφιακών ηλεκτρονικών είχαν συγκεντρωθεί στο να αυξηθεί η ταχύτητα και η πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων. Η προσπάθεια αυτή οδήγησε σε μια πανίσχυρη, αλλά δαπανηρή ενεργειακά, σχεδιαστική τεχνολογία η οποία άνοιξε τον δρόμο για την κατασκευή και ανάπτυξη των προσωπικών υπολογιστών, των υπολογιστών με δυνατότητες απεικόνισης σύνθετων γραφικών και φυσικά υπολογιστικών συστημάτων πολυμέσων όπως η αναγνώριση φωνής σε πραγματικό χρόνο και το video σε πραγματικό χρόνο. Η προσοχή συγκεντρώνονταν στην ταχύτητα και το μέγεθος του ολοκληρωμένου, και η κατανάλωση ισχύος παραμελούνταν.

Η κατάσταση αυτή όμως τα τελευταία χρόνια αλλάζει. Η κατανάλωση ισχύος ενός ολοκληρωμένου αγγίζει τα όρια των δυνατοτήτων που προσφέρουν οι τεχνολογίες. Το αποτέλεσμα είναι να μειώνεται η αξιοπιστία της συσκευής, και να περιορίζεται η ταχύτητα λειτουργίας και πιθανώς και οι εφαρμογές του ολοκληρωμένου. Η αντιμετώπιση των προβλημάτων κατανάλωσης ισχύος γρήγορα γίνεται ένα από τα πιο απαιτητικά θέματα στον σχεδιασμό ψηφιακών ηλεκτρονικών συστημάτων. Η αυξανόμενη ζήτηση φορητών συσκευών στην τεχνολογικές περιοχές των τηλεπικοινωνιακών, υπολογιστικών και εμπορικών ηλεκτρονικών εκτείνει το πρόβλημα παροχής ισχύος και απαγωγής θερμότητας λόγω των αυστηρών και χαμηλών ορίων που τίθενται από αυτές. Οι βελτιώσεις στις τεχνολογίες των μπαταριών εξισορροπούνται συνήθως από την πολυπλοκότητα και τις υψηλές απαιτήσεις σε απόδοση των σύγχρονων εφαρμογών.

Η περιοχή του υπολογισμού και μείωσης της κατανάλωσης ισχύος αποδεικνύεται σε ένα δυναμικό πεδίο τόσο για έρευνα όσο και για πρακτικές εφαρμογές με σαφής δυνατότητες ραγδαίας περαιτέρω ανάπτυξης.



c6288 - 16x16 multiplier - ISCAS 85

Εισαγωγή

Στο κεφάλαιο αυτό θα περιγραφεί το λογισμικό που θα χρησιμοποιηθεί στην παρούσα διπλωματική. Ειδικότερα θα αναφερθούμε στα εργαλεία Design Compiler και Power Compiler της SYNOPSYS. Στην συνέχεια θα δούμε το εργαλείο προσομοίωσης που χρησιμοποιήθηκε και το οποίο ήταν ο MTI simulator. Θα αναφερθούμε στην τεχνολογία που χρησιμοποιεί η SYNOPSYS για την σύνθεση των ψηφιακών κυκλωμάτων με την χρήση των βιβλιοθηκών που παρέχει το εργαλείο DesignWare. Για την υλοποίηση των κυκλωμάτων των ISCAS 85 και ISCAS 89 χρησιμοποιήθηκαν οι τεχνολογικές βιβλιοθήκες της εταιρίας UMC στα 25um, 18um και 13um και θα παρατεθούν τα βασικά χαρακτηριστικά τους. Τέλος, θα παρουσιαστούν οι scripting γλώσσες που χρησιμοποιήθηκαν στην παρούσα διπλωματική και τα user interfaces τους.

Το λογισμικό της SYNOPSYS.

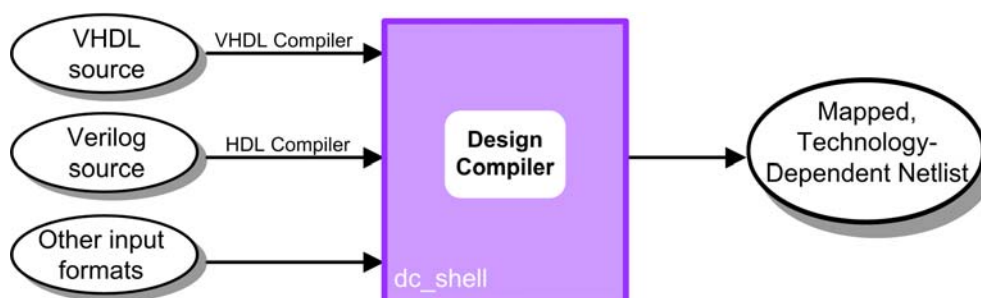
Η SYNOPSYS αποτελεί μια από τις μεγαλύτερες εταιρείες που αναπτύσσουν λογισμικό για προσομοίωση, σύνθεση και έλεγχο ψηφιακών κυκλωμάτων. Στην παρούσα διπλωματική έγινε χρήση δύο βασικών εργαλείων του συνολικού της πακέτου, του Design Compiler και του Power Compiler. Τα δύο αυτά εργαλεία δίνουν την δυνατότητα να συνθέτουμε ψηφιακά κυκλώματα βελτιστοποιημένα σε θέματα χρονισμού, μεγέθους του ολοκληρωμένου και φυσικά σε χαμηλή κατανάλωση ισχύος. Αποτελούν το standard στην αγορά λογισμικού CAD αυτόματης σύνθεσης και κατέχουν το μεγαλύτερο κομμάτι αυτής της αγοράς.

Design Compiler.

Ο Design Compiler (στην παρούσα διπλωματική θα αναφέρεται και ως DC) αποτελεί τον πυρήνα του λογισμικού της SYNOPSYS. Διαθέτει εργαλεία που συνθέτουν τον HDL κώδικα σε βελτιστοποιημένα τεχνολογικά εξαρτημένα κυκλώματα σε επίπεδο πυλών (gate level netlist). Υποστηρίζει ένα μεγάλο πλήθος από επίπεδα και ιεραρχικά μοντέλα και μπορεί να βελτιστοποιεί ταυτόχρονα τόσο συνδυαστικά όσο και ακολουθιακά κυκλώματα σε θέματα χρονισμού, μεγέθους ολοκληρωμένου και κατανάλωσης ισχύος.

Σύνθεση με τον DC.

Στο σχήμα E-1 παρουσιάζεται μια απλοποιημένη παρουσίαση της διαδικασίας της σύνθεσης με την χρήση του DC:



Σχήμα E-1. Η βασική ροή της διαδικασίας της σύνθεσης με τον DC .

Ο DC μπορεί να διαβάσει και να γράψει σε όλα τα γνωστά EDA πρότυπα (Electronic Design Automation formats), συμπεριλαμβανομένου και των προτύπων .db και .eqn (Synopsys database and equation formats). Επίσης, ο DC προσφέρει συνδέσμους με διάφορα άλλα εργαλεία EDA, όπως εργαλεία για place and route και για το post layout resynthesis techniques όπως in-place optimization.

Ο DC διαθέτει δύο ειδών περιβάλλοντα εργασίας:

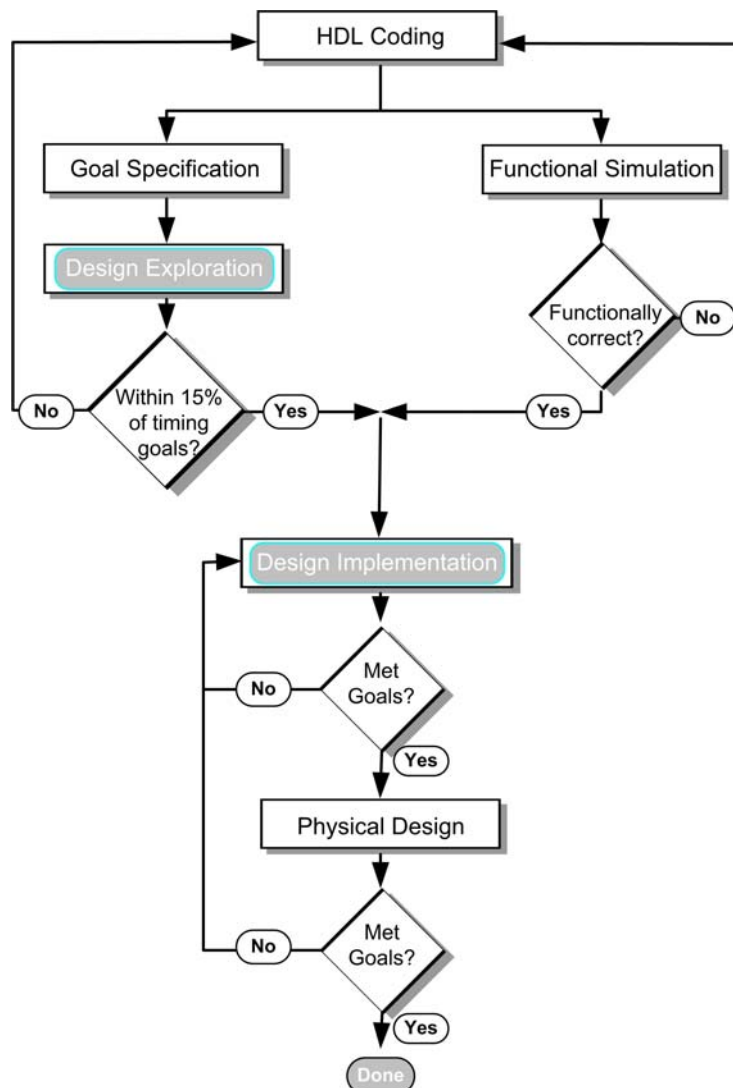
- Το DC interface που είναι γραμμής εντολών (ή ένα κέλυφος – shell), που είναι γνωστό ως dc_shell. Το shell αυτό υποστηρίζει δύο shell γλώσσες, την dcsh

(Design Compiler shell language) και την γλώσσα πρότυπο για EDA εργαλεία Tcl (Tool command language).

- Το Design Compiler γραφικό περιβάλλον (GUI) το οποίο βρίσκεται σε δύο εκδόσεις του Design Analyzer και του Design Vision.

Η βασική ροή σχεδιασμού σε υψηλό επίπεδο με τον DC.

Σε μια βασική ροή σχεδιασμού κυκλωμάτων σε υψηλό επίπεδο ο DC χρησιμοποιείται τόσο για την αναζήτηση με δοκιμές της καταλληλότερης αρχιτεκτονικής για το κύκλωμα όσο και για την τελική υλοποίησή του. Κατά την διάρκεια της αναζήτησης της καλύτερης αρχιτεκτονικής επιχειρούμε να συνθέσουμε το κύκλωμα χωρίς ιδιαίτερες απαιτήσεις (συνθέτουμε με default τιμές παραμέτρων για μεγαλύτερη ταχύτητα). Στην περίπτωση όμως που θέλουμε να υλοποιήσουμε την τελική μορφή του κυκλώματος τότε χρησιμοποιούμε τα μέγιστα που μπορεί να παρέχει ο DC για την σύνθεση του. Η ροή της μεθοδολογίας του σχεδιασμού παρουσιάζεται στο σχήμα E-2 παρακάτω:



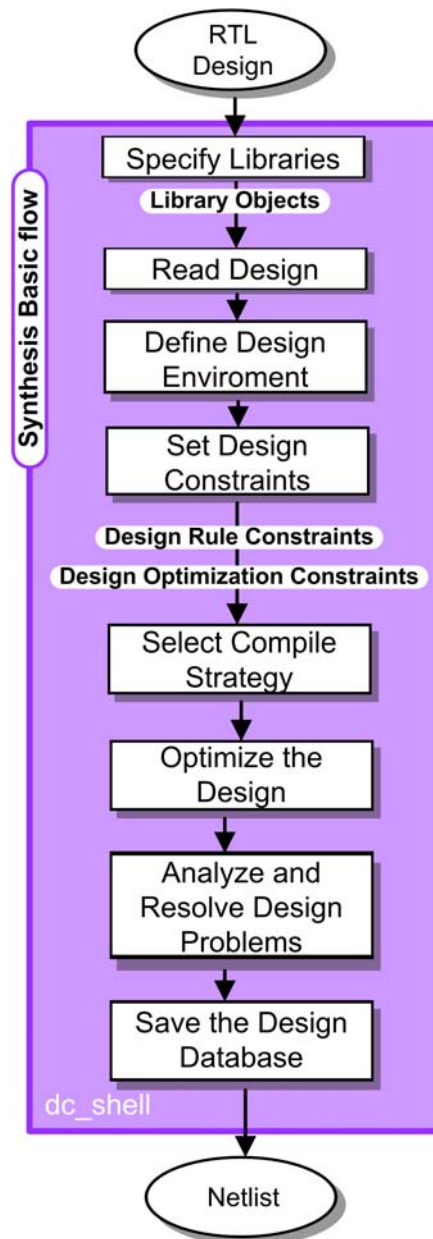
Σχήμα E-2. Η βασική ροή σχεδιασμού σε υψηλό επίπεδο με τον DC .

Σύμφωνα με την μεθοδολογία που παρουσιάζεται στο σχήμα E-2 τα βήματα είναι τα παρακάτω:

1. Αρχίζουμε γράφοντας μια περιγραφή του κυκλώματος σε μια HDL γλώσσα (VHDL ή Verilog). Για να επιτύχουμε καλύτερα αποτελέσματα κατά την σύνθεση του κυκλώματος από τον DC προσπαθούμε η περιγραφή να ακολουθεί καλές πρακτικές ανάπτυξης κώδικα (coding styles).
2. Εκτελούμε την αναζήτηση καλύτερης αρχιτεκτονικής και προσομοίωσης του κυκλώματος παράλληλα.
 - Κατά την αναζήτηση της καλύτερης αρχιτεκτονικής χρησιμοποιούμε τον DC: (1) για να υλοποιήσουμε βασικές σχεδιαστικές λεπτομέρειες (όπως design rules και optimization constraints) και (2) για να δημιουργήσουμε μια αρχική υλοποιημένη μορφή του κυκλώματος.
 - Αν οι σχεδιαστικές αρχιτεκτονικές που δοκιμάζουμε δεν καλύπτουν τις σχεδιαστικές βλέψεις μας σε θέματα χρονισμού πάνω από 15% τότε μπορούμε να αλλάξουμε τις απαιτήσεις μας ή να βελτιώσουμε τον HDL κώδικα. Στην συνέχεια επαναλαμβάνουμε το βήμα 2.
 - Με την προσομοίωση ελέγχουμε αν το κύκλωμα εκτελεί σωστά όλες τις λειτουργικότητες του.
 - Αν το κύκλωμα δεν λειτουργεί σωστά διορθώνουμε τον HDL κώδικα και επαναλαμβάνουμε το βήμα 2.
 - Επιχειρούμε το βήμα 2 μέχρι την στιγμή που το κύκλωμα θα λειτουργεί σωστά και δεν θα καλύπτει τις απαιτήσεις σε ποσοστό λιγότερο του 15%.
3. Στην συνέχεια εκτελούμε με τη χρήση όλων των δυνατοτήτων του DC την τελική υλοποίηση του κυκλώματος με σκοπό να καλυφθούν οι χρονικές απαιτήσεις. Το κύκλωμα είναι πλέον σε επίπεδο πυλών και πρέπει να εξετάσουμε αν έχουν καλυφθεί οι προδιαγραφές. Αν αυτό δεν ισχύει τότε πρέπει να ζητήσουμε από τον DC όλες τις δυνατές αναφορές για να αποφασίσουμε ποια τεχνική πρέπει να ακολουθήσουμε για να επιτύχουμε το προσδοκώμενο.
4. Αφού το κύκλωμα είναι λειτουργικά σωστό και καλύπτει τις απαιτήσεις σε θέματα χρονισμού και παραμέτρων σχεδιασμού, τότε μπορούμε να κατασκευάσουμε το φυσικό σχεδιασμό του κυκλώματος (αυτό μπορεί να γίνει in-house ή να σταλεί στην εταιρία ημιαγωγών που έχουμε επιλέξει). Μπορούμε να ελέγξουμε την απόδοση του φυσικού σχεδίου με την χρήση back-annotated data. Αν τα αποτελέσματα δεν είναι ικανοποιητικά επιστρέφουμε στο βήμα 3. Αν όλα είναι μέσα στις σχεδιαστικές προδιαγραφές τότε κλείνει ο κύκλος του σχεδιασμού του κυκλώματος.

Η βασική ροή της διαδικασίας της σύνθεσης με τον DC.

Στο σχήμα E-3 παρουσιάζεται η βασική ροή της διαδικασίας της σύνθεσης με τον DC. Αυτή η ροή μπορεί να χρησιμοποιηθεί τόσο κατά την αναζήτηση καλύτερης αρχιτεκτονικής όσο και για την τελική υλοποίηση του κυκλώματος σύμφωνα και με την μεθοδολογία που παρουσιάστηκε στην προηγούμενη ενότητα.



Σχήμα E-3. Η βασική ροή της διαδικασίας της σύνθεσης με τον DC .

Στο παραπάνω σχήμα παρουσιάζονται τα βασικά βήματα κατά την διαδικασία της σύνθεσης ενός κυκλώματος σε επίπεδο πυλών. Αναλυτικότερα αυτά είναι:

1. Υλοποίηση των κατάλληλων HDL αρχείων.

Το πρώτο βήμα είναι να δημιουργηθούν τα κατάλληλα HDL αρχεία. Στην παρούσα διπλωματική η γλώσσα περιγραφής είναι η VHDL. Η περιγραφή του κυκλώματος πρέπει να είναι προσεχτικά γραμμένη αν θέλουμε να επιτύχουμε την όσο δυνατόν καλύτερη σύνθεση του κυκλώματος. Όταν γράφουμε HDL κώδικα πρέπει να προσέχουμε την διαχείριση της πληροφορίας του κυκλώματος (Data management), το σωστό καταμερισμό του κυκλώματος (design partitioning) και το HDL τρόπο περιγραφής (HDL coding style). Το πρώτο και το τρίτο επηρεάζουν άμεσα την σύνθεση του κυκλώματος. Το βήμα

αυτό βρίσκεται μέσα στην ροή της διαδικασίας της σύνθεσης αλλά δεν ανήκει στις λειτουργικότητες του DC.

2. Καθορισμός των τεχνολογικών βιβλιοθηκών.

Το δεύτερο βήμα είναι ο καθορισμός των βιβλιοθηκών. Πρέπει να ορίσουμε τις link, target, symbol, and synthetic libraries του DC με την χρήση των εντολών link_, target_, symbol_, και synthetic_library. Οι link και target βιβλιοθήκες είναι τεχνολογικές βιβλιοθήκες και με αυτές καθορίζονται οι διάφορες τεχνολογικές πληροφορίες (cell names, cell pin names, delay arcs, pin loading, design rules, operating conditions). Η symbol library καθορίζει τα σύμβολα που είναι διαθέσιμα για την δημιουργία των κατάλληλων schematics. Επιπλέον, αν θέλουμε να χρησιμοποιήσουμε και DesignWare βιβλιοθήκες πρέπει να τις ζητήσουμε με την εντολή synthetic_library. Στην παρούσα διπλωματική δεν ήταν αναγκαίο αυτό γιατί χρησιμοποιήθηκε μόνο η standard DesignWare library. Περισσότερα για βιβλιοθήκες θα δούμε σε παρακάτω ενότητα στο παρών κεφάλαιο.

3. Ανάγνωση της σχεδίασης.

Στην συνέχεια πρέπει να διαβάσουμε το κύκλωμα στην ενεργή μνήμη. Ο DC χρησιμοποιεί τον HDL Compiler για να διαβάζει RTL designs και gate-level netlists σαν αρχεία εισόδου. Χρησιμοποιούμε τις εντολές analyze και elaborate για να διαβάζουμε RTL designs, και την εντολή read_file (ή την read) για gate-level netlists. Ο DC υποστηρίζει όλα τα βασικά πρότυπα σε επίπεδο πυλών.

4. Καθορισμός του περιβάλλοντος σχεδίασης.

Ο DC απαιτεί να μοντελοποιήσουμε το σχεδιαστικό περιβάλλον του κυκλώματος ώστε να προχωρήσει η διαδικασία της σύνθεσης. Με το μοντέλο αυτό καθορίζουμε τις εξωτερικές συνθήκες λειτουργίας (manufacturing process, temperature, voltage), loads, drives, fanouts, και wire load models. Ο καθορισμός όλων αυτών των παραμέτρων επηρεάζει άμεσα την σύνθεση του κυκλώματος και τα αποτελέσματα των βελτιστοποιήσεων που εφαρμόζει ο DC.

5. Καθορισμός των παραμέτρων σχεδίασης.

Στο βήμα αυτό θέτουμε τις απαιτήσεις μας για την σχεδίαση και τις επιδόσεις αυτής. Αυτό επιτυγχάνεται δηλώνοντας τις απαραίτητες παραμέτρους για να επιλέξουμε τους κανόνες σχεδίασης (design rules) και τις παραμέτρους βελτιστοποίησης (optimization constraints). Οι κανόνες σχεδίασης παρέχονται από της τεχνολογικές βιβλιοθήκες και χρησιμοποιούνται για να πιστοποιούν την σωστή λειτουργία του κυκλώματος με βάση τα χαρακτηριστικά της τεχνολογίας. Οι κανόνες σχεδίασης καθορίζουν τα transition times (set_max_transition), fanout loads (set_max_fanout), και capacitances (set_max_capacitance). Οι κανόνες αυτοί καθορίζουν τις προδιαγραφές της τεχνολογίας και δε μπορούν να παραβιαστούν. Οι παράμετροι βελτιστοποίησης (optimization constraints) καθορίζουν τους στόχους μας για την σχεδίαση μας για θέματα χρονισμού (clocks, clock skews, input delays, output delays) και του μεγέθους (maximum area). Κατά την διάρκεια της σύνθεσης και ειδικότερα κατά την διαδικασία της βελτιστοποίησης, ο DC προσπαθεί να καλύψει όλες αυτές τις απαιτήσεις αλλά ποτέ δεν παραβιάζει τους κανόνες σχεδίασης. Για να βελτιστοποιηθεί μια σχεδίαση κατά τον καλύτερο τρόπο πρέπει να τεθούν ρεαλιστικές παράμετροι βελτιστοποίησης.

6. Επιλογή στρατηγικής προσομοίωσης.

Για την προσομοίωση με την χρήση του DC υπάρχουν δύο βασικές στρατηγικές προσομοίωσης ιεραρχικών σχεδιάσεων και αναφέρονται ως *top down* και *bottom up*. Σύμφωνα με την πρώτη στρατηγική η *top-level* σχεδίαση και όλες οι υπό-σχεδιάσεις προσομοιώνονται ταυτόχρονα. Όλες οι παράμετροι ορίζονται σύμφωνα με την *top-level* σχεδίαση αλλά ταυτόχρονα λαμβάνονται υπόψη και διάφορες εξαρτήσεις μεταξύ των σχεδιάσεων. Η μέθοδος αυτή δεν συνίσταται για μεγάλες σχεδιάσεις διότι όλες οι σχεδιάσεις πρέπει να διαβαστούν στην μνήμη ταυτόχρονα. Στην άλλη στρατηγική, την *bottom-up*, όλες οι υπό-σχεδιάσεις δέχονται παραμέτρους και προσομοιώνονται ξεχωριστά. Η κάθε σχεδίαση αφού προσομοιωθεί επιτυχώς κλειδώνεται με την εντολή `dont_touch` για να μην αλλαχθεί στις προσομοιώσεις που θα ακολουθήσουν. Αφού όλες οι υπό-σχεδιάσεις προσομοιωθούν επιτυχώς προσομοιώνονται για να συνθέσουν τις υψηλότερες σε ιεραρχία σχεδιάσεις μέχρι την *top-level* σχεδίαση. Η μέθοδος αυτή προτιμάται όταν η σχεδίαση μας είναι μεγάλη αφού δεν χρειάζεται ο DC να διαβάσει τις σχεδιάσεις όλες μαζί στην μνήμη. Φυσικά, οι δύο στρατηγικές έχουν πλεονεκτήματα και μειονεκτήματα και μπορούμε να επιλέγουμε την καταλληλότερη ή και υβριδικές μορφές ανάλογα με τις απαιτήσεις και τις προδιαγραφές της σχεδίασης.

7. Σύνθεση και βελτιστοποίηση της σχεδίασης.

Με την εντολή `compile` ζητούμε από τον DC να ξεκινήσει την διαδικασία της σύνθεσης και βελτιστοποίησης του κυκλώματος. Ο DC προσφέρει πολλές δυνατότητες προσομοίωσης. Μια παράμετρος που παρουσιάζει ιδιαίτερο ενδιαφέρον είναι η `map_effort` που δέχεται τις τιμές *low*, *medium* και *high*. Θέτοντας την τιμή *low* αποκτάμε μια γρήγορη ιδέα για την απόδοση και το μέγεθος της σχεδίασης. Η *default* τιμή της παραμέτρου είναι η *medium* και χρησιμοποιείται κατά την αναζήτηση της καταλληλότερης αρχιτεκτονικής. Η επιλογή γίνεται *high* όταν θέλουμε να υλοποιήσουμε την τελική σχεδίαση σε επίπεδο πυλών. Η επιλογή της παραμέτρου πρέπει να είναι προσεχτική γιατί ανάλογα με την τιμή αυξάνεται ο χρόνος προσομοίωσης και επομένως και η χρήση της επεξεργαστικής ισχύος.

8. Παραγωγή αναφορών και έλεγχος σφαλμάτων.

Στο σημείο αυτό μπορούμε να παράγουμε με την χρήση κατάλληλων εντολών διάφορες αναφορές για την σχεδίαση. Ο DC παράγει αναφορές για το μέγεθος, τον χρονισμό και τις παραμέτρους της σχεδίασης. Από τις αναφορές αυτές μπορούμε να ελέγξουμε την ορθή λειτουργία της σχεδίασης και να προβούμε σε αλλαγές αν κάποιες προδιαγραφές δεν καλύπτονται. Επίσης, με την εντολή `check_design` μπορούμε να ελέγξουμε την σχεδίαση για την σταθερότητά της.

9. Αποθήκευση της τελικής σχεδίασης.

Τέλος πρέπει να αποθηκεύσουμε την σχεδίαση μας με την εντολή `write`. Ο DC δεν αποθηκεύει αυτόματα με την έξοδο του την σχεδίαση. Επίσης, μπορούμε να αποθηκεύσουμε σε ένα `script` αρχείο και τις παραμέτρους που χρησιμοποιήσαμε για την σχεδίαση.

Power Compiler.

Ο Power Compiler είναι το εργαλείο της SYNOPSYS που σε συνδυασμό με τον DC προσφέρουν ένα σύνολο από πληροφορίες (power reports) για την κατανάλωση ισχύος των κυκλωμάτων και μεθοδολογίες για βελτιστοποίηση της κατανάλωσης ισχύος των σχεδιάσεων.

Η ανάλυση της κατανάλωσης ισχύος με την χρήση του Power Compiler.

Ο Power Compiler αναλύει τις σχεδιάσεις για ισχύ μεταγωγής, εσωτερική ισχύ και ισχύ διαρροής. Αυτό μπορεί να επιτευχθεί σε δύο επίπεδα:

- Σε επίπεδο RTL χρησιμοποιώντας την δραστηριότητα μεταγωγής από την RTL προσομοίωση. Η χρήση του Power Estimator στο RTL επίπεδο μπορεί να προσφέρει γρήγορα μια εικόνα της κατανάλωσης ισχύος του κυκλώματος. Με το τρόπο αυτό μπορούμε να επιτύχουμε αλλαγές στην σχεδίαση μας για να έχουμε καλύτερα αποτελέσματα σε επίπεδο πυλών.
- Ανάλυση σε επίπεδο πυλών με την χρήση της δραστηριότητας μεταγωγής από την RTL προσομοίωση ή από την προσομοίωση σε επίπεδο πυλών. Η ανάλυση με την χρήση της δραστηριότητας μεταγωγής από την RTL προσομοίωση προσφέρει ικανοποιητικά αποτελέσματα. Αν χρησιμοποιήσουμε την δραστηριότητα μεταγωγής από την προσομοίωση σε επίπεδο πυλών έχουμε πιο ακριβή αποτελέσματα όμως ο χρόνος προσομοίωσης αυξάνεται σημαντικά.

Ο Power Compiler προσφέρει τα παρακάτω χαρακτηριστικά:

- Ανάλυση ισχύος σε RTL και επίπεδο πυλών.
- RTL power estimation που είναι τεχνολογικά εξαρτημένο.
- Αναλύει τις σχεδιάσεις για ισχύ μεταγωγής, εσωτερική ισχύ και ισχύ διαρροής.
- Δέχεται πληροφορίες για την δραστηριότητα μεταγωγής από τον χρήστη, από RTL προσομοίωση ή από προσομοίωση σε επίπεδο πυλών, ή από συνδυασμό αυτών.
- Υποστηρίζει ακολουθιακά, ιεραρχικά, gated clock, multiple clock σχεδιάσεις.
- Υποστηρίζει RAM και I/O μοντελοποίησης χρησιμοποιώντας λεπτομερή μοντέλα ισχύος εξαρτημένες από το μονοπάτι και την κατάσταση.
- Έχουμε αναφορές ισχύος σε διάφορα επίπεδα της διαδικασίας της σχεδίασης.
- Μπορούμε να έχουμε αναφορές ισχύος για οποιοδήποτε επίπεδο της ιεραρχίας ώστε να έχουμε γρήγορο debugging.
- Υποστηρίζει interfaces για τα εργαλεία προσομοίωσης όπως είναι ο VSS, ο MTI, VCS, and Verilog-XL για την καταγραφή της πληροφορίας της δραστηριότητας μεταγωγής.

Βελτιστοποίηση σε επίπεδο πυλών με την χρήση του Power Compiler.

Στην παρούσα διπλωματική δοκιμάστηκαν μεθοδολογίες για βελτιστοποίηση της κατανάλωσης ισχύος σε επίπεδο πυλών. Ο Power Compiler βελτιστοποιεί τις σχεδιάσεις μας όταν κατά την διάρκεια της προσομοίωσης σε επίπεδο πυλών τεθούν και παράμετροι για την κατανάλωση ισχύος. Αυτό γίνεται με το καθορισμό της μέγιστης κατανάλωσης δυναμικής ισχύος και ισχύος διαρροής. Ο Power Compiler μπορεί να συνεργαστεί με τον DC και ταυτόχρονα επιτυγχάνεται βελτιστοποίηση στο μέγεθος, στο χρονισμό και στη κατανάλωση ισχύος του κυκλώματος.

Ο Power Compiler κατά την βελτιστοποίηση προσφέρει τα παρακάτω χαρακτηριστικά:

- Push-button μείωση της κατανάλωσης ισχύος σε επίπεδο πυλών.
- Βελτιστοποιεί ταυτόχρονα το χρονισμό, την ισχύ και το μέγεθος του κυκλώματος.
- Βελτιστοποιεί με κριτήρια βασισμένα στην δραστηριότητα μεταγωγής (switching activity), την χωρητικότητα (capacitance), και τους χρόνους μετάβασης (transition times).
- Περιλαμβάνει την δυνατότητα της ανάλυσης της ισχύος και βελτιστοποιεί σύμφωνα με το ίδιο λεπτομερές μοντέλο ισχύος που προέκυψε από την ανάλυση.
- Είναι συμβατός με όλα τα εργαλεία της SYNOPSYS (Design Compiler, Floorplan Manager, Physical Compiler, και Module Compiler).
- Υποστηρίζει RAM και I/O μοντελοποίησης χρησιμοποιώντας λεπτομερή μοντέλα ισχύος εξαρτημένες από την διαδρομή και την κατάσταση.

Το μοντέλο ισχύος του Power Compiler.

Το μοντέλο ισχύος του Power Compiler αναλύει της ισχύ διαρροής, την ισχύ μεταγωγής, και την εσωτερική ισχύς.

Το μοντέλο της ισχύος Power Compiler σε επίπεδο πυλών προσφέρει τα παρακάτω χαρακτηριστικά:

- Lookup tables που είναι βασισμένοι στην χωρητικότητα των ακροδεκτών εξόδου και του χρόνου μετάβασης της εισόδου.
- Κελιά (Cells) με πολλαπλά pins εξόδου.
- Εσωτερική ισχύ εξαρτημένη από το μονοπάτι και την κατάσταση.
- Ξεχωριστό καθορισμό της ισχύος ανόδου (rise) και καθόδου (fall) στην ομάδα καθορισμού της εσωτερικής ισχύος.

Το MTI εργαλείο προσομοίωσης σε RTL επίπεδο και επίπεδο πυλών.

Στην παρούσα διπλωματική για την προσομοίωση σε επίπεδο RTL και σε επίπεδο πυλών για την καταγραφή της δραστηριότητας του κυκλώματος χρησιμοποιήθηκε το εργαλείο προσομοίωσης ModelSim SE 5.5a για λειτουργικό Sun Solaris. Η χρήση της έκδοσης για Unix ήταν απαραίτητη αφού είναι η μοναδική έκδοση του εργαλείου που μπορεί να επικοινωνήσει με τα εργαλεία της SYNOPSIS. Με το DPFLI interface που παρέχεται από την SYNOPSIS ο MTI εμπλουτίζεται με εντολές για την καταγραφή της δραστηριότητας μεταγωγής. Έτσι, έχουμε την δημιουργία κατάλληλων αρχείων που περιέχουν την δραστηριότητα του κυκλώματος και αυτά είναι τα SAIF αρχεία. Αναλυτικά η μεθοδολογία παρουσιάζεται στον κεφάλαιο 3.

Οι βιβλιοθήκες του DesignWare.

Οι βιβλιοθήκες του DesignWare προσφέρουν στοιχεία (components) που είναι τεχνολογικά ανεξάρτητα, στην ουσία είναι δομικά μπλοκ σε επίπεδο μικρο-αρχιτεκτονικής που είναι πλήρως ενοποιημένα με το περιβάλλον της σύνθεσης των εργαλείων της SYNOPSIS. Αποτελούν βιβλιοθήκες που αναπτύσσονται από την ίδια την SYNOPSIS και η οποία προσφέρει τις δύο παρακάτω σειρές DesignWare βιβλιοθηκών :

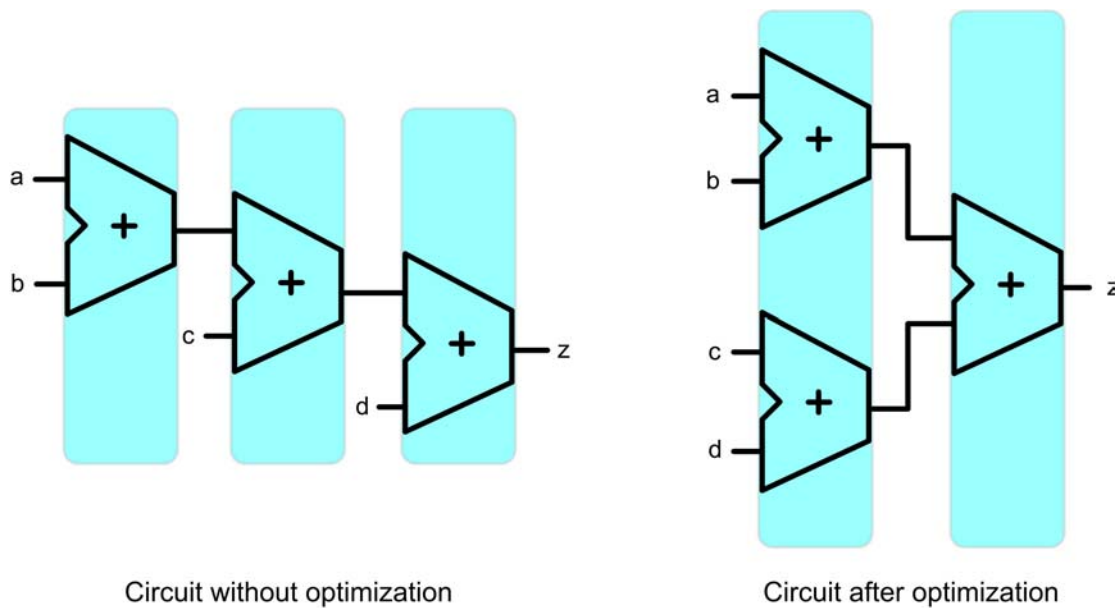
- Foundation Library.
- Digital Signal Processing (DSP) Library.

Στην παρούσα διπλωματική χρησιμοποιήθηκαν πολλά από τα στοιχεία που είναι διαθέσιμα στην Foundation Library.

Χρήση βιβλιοθηκών για σχεδιασμό σε υψηλό επίπεδο.

Η επαναχρησιμοποίηση προηγούμενων κυκλωμάτων είναι ιδιαίτερα επιθυμητή. Η ροή του DC προσφέρει τις Foundation και GTECH βιβλιοθήκες. Η Foundation βιβλιοθήκη είναι μια συλλογή από επαναχρησιμοποιήσιμα, συνθέσιμα δομικά μπλοκ που είναι πλήρως ενοποιημένα με το περιβάλλον της σύνθεσης των εργαλείων της SYNOPSIS.

Η Foundation βιβλιοθήκη προσφέρει ένα υψηλό βαθμό αυτοματοποίησης της επαναχρησιμοποίησης των σχεδιάσεων και έτσι δίνει την δυνατότητα τα εργαλεία σύνθεσης να εκτελέσουν διάφορες υψηλού επιπέδου βελτιστοποιήσεις. Για παράδειγμα, όταν χρησιμοποιήσουμε στην HDL περιγραφή μας τον τελεστή πρόσθεσής «+» τότε ο HDL compiler (Verilog ή VHDL) εξάγει την ανάγκη ύπαρξης ενός αθροιστή και τοποθετεί μια περιληπτική αναπαράσταση της πράξης της πρόσθεσής στην netlist του κυκλώματος. Η αναπαράσταση αυτή – που ονομάζεται synthetic operator – επεξεργάζεται από τους υψηλού επιπέδου αλγόριθμους βελτιστοποίησης τους οποίους εφαρμόζει ο HDL compiler στην σχεδίαση. Οι βελτιστοποιήσεις αυτές προσφέρουν βελτιστοποιήσεις στην αριθμητική (arithmetic), καταμερισμού πόρων (resource sharing), και αντιμετάθεση ακίδων (pin permutation).

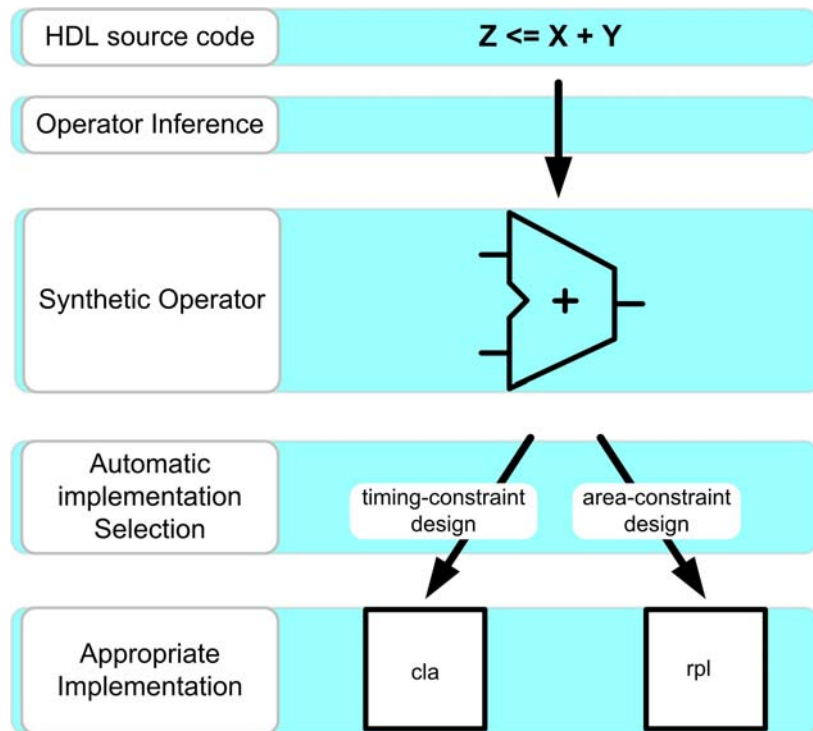


Σχήμα E-4. Βελτιστοποίηση της αριθμητικής.

Η βελτιστοποίηση της αριθμητικής χρησιμοποιεί τους κανόνες της άλγεβρας για να βελτιστοποιήσει το μέγεθος και την απόδοση της σχεδίασης με τον επαναπροσδιορισμό της θέσης των πράξεων. Για παράδειγμα, η έκφραση $a+b+c+d$ περιγράφει τρία επίπεδα διαδοχικών πράξεων πρόσθεσης. Με βελτιστοποίηση της αριθμητικής μπορούμε να διατάξουμε τις πράξεις ως εξής: $(a+b) + (c+d)$, η οποία ενδέχεται να προσφέρει ταχύτερη λογική αφού μειώθηκαν τα επίπεδα λογικής. Στο σχήμα E-4 παραπάνω έχουμε μια αναπαράσταση της αναδιάταξης των πράξεων.

Ο καταμερισμός πόρων επιτρέπει ίδιες λειτουργίες που δεν επικαλύπτονται χρονικά να εκτελούνται από το ίδιο φυσικό H/W. Η αντιμετάθεση ακίδων εκμεταλλεύεται το γεγονός ότι κάποιες πράξεις (όπως η πρόσθεση και ο πολλαπλασιασμός) δεν επηρεάζονται από την εναλλαγή των εισόδων τους.

Με την Foundation βιβλιοθήκη, μια δοσμένη πράξη μπορεί να υλοποιηθεί με πολλούς τρόπους, με την επιλογή της καταλληλότερης υλοποίησης από το εργαλείο σύνθεσης. Για παράδειγμα, η μη προσημασμένη πρόσθεση μπορεί να υλοποιηθεί είτε με αρχιτεκτονική carry look-ahead είτε με ripple. Ο σχεδιαστής μπορεί να αφήσει το εργαλείο σύνθεσης να αποφασίσει ποια αρχιτεκτονική θα χρησιμοποιήσει, βασισμένη στις συνολικές παραμέτρους βελτιστοποίησης που έχουν τεθεί για την σύνθεση του κυκλώματος. Η διαδικασία αυτή φαίνεται στο σχήμα E-5:

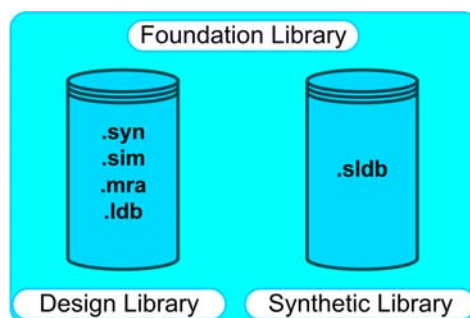


Σχήμα E-5. Διαδικασία επιλογής υλοποίησης.

Η δομή της Foundation Library.

Η Foundation Library αποτελείτε από δύο βιβλιοθήκες (σχήμα E-6), την Design Library και την Synthetic Library:

- Η Design Library είναι ένα Unix φάκελος ο οποίος περιέχει περιγραφές κυκλωμάτων για τις διάφορες αρχιτεκτονικές. Αυτές συνήθως είναι παραμετροποιημένες.
- Η Synthetic Library είναι ένα δυαδικό αρχείο (με την κατάληξη .sldb) το οποίο συνδέει την σχεδίαση με μια Design Library στο εργαλείο σύνθεσης.



Σχήμα E-6. Foundation Library.

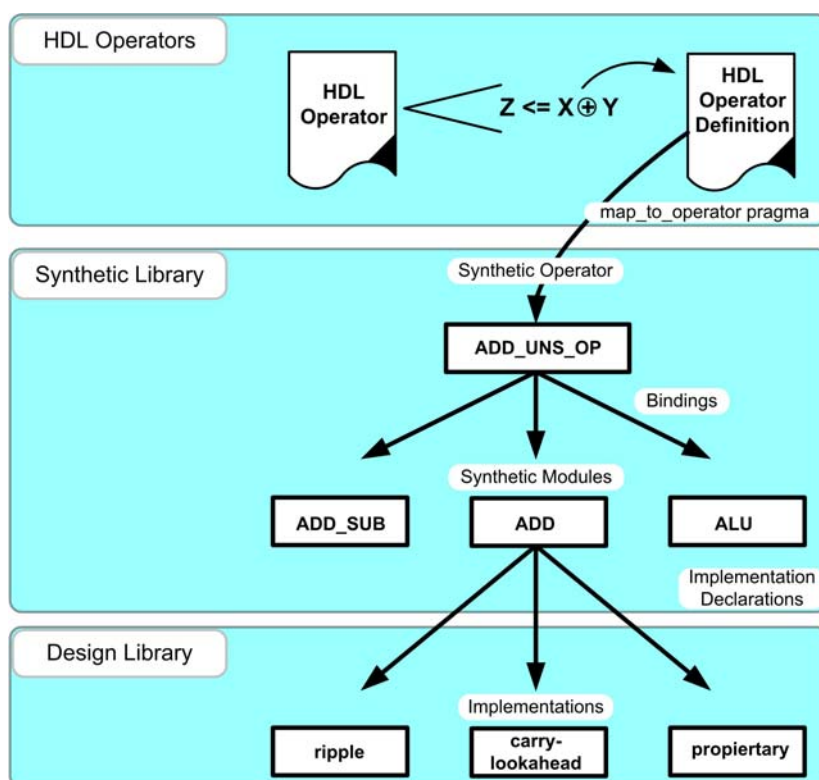
Οι περιγραφές των κυκλωμάτων σε μια Design Library είναι αποθηκευμένη σε δυαδικά αρχεία που είναι άμεσα χρησιμοποιήσιμα από τα εργαλεία της SYNOPSYS. Οι περιγραφές αυτές μπορεί να είναι netlists συγκεκριμένης τεχνολογίας ή hard macros που δε θα επηρεάζονται από την διαδικασία της σύνθεσης, ή ακόμα και

πλήρης ιεραρχικές περιγραφές παραμετροποιημένων και βελτιστοποιημένων σχεδιάσεων.

Η Synthetic Library περιέχει πληροφορία η οποία επιτρέπει τα εργαλεία σύνθεσης να εκτελέσουν βελτιστοποιήσεις υψηλού επιπέδου, συμπεριλαμβανομένου και της επιλογής υλοποίησης.

Η σύνδεση μεταξύ του πηγαίου κώδικα, της Synthetic Library, και της Design Library γίνεται με τη χρήση μιας ιεραρχίας μοντέλων. Έτσι οι HDL operators συνδέονται με τους synthetic operators, οι οποίοι με την σειρά τους σχετίζονται με τις synthetic modules. Κάθε synthetic module μπορεί να έχει πολλαπλές αρχιτεκτονικές η οποίες αποκαλούνται υλοποιήσεις. Στο σχήμα E-7 παρουσιάζονται οι μεταβάσεις μέχρι την επιλογή της καταλληλότερης υλοποίησης.

Οι HDL operators είναι δομικά στοιχεία μιας HDL γλώσσας (VHDL ή Verilog) τα οποία δέχονται τιμές εισόδου και υπολογίζουν τις τιμές εξόδου. Κάποιοι τελεστές υλοποιούνται από την ίδια την γλώσσα (όπως +, -, και *), όμως και τα ορισμένα από τον χρήστη υποπρογράμματα (functions – procedures) θεωρούνται HDL operators. Η Foundation Library υλοποιεί πολλές από τους Built-in HDL operators. Οι διαθέσιμοι τελεστές είναι +, -, *, <, >, <=, >=, /, και οι πράξεις που ορίζονται από τις if and case δηλώσεις. Κάθε τελεστής έχει ένα ορισμό γραμμένο σε HDL. Κάθε ορισμός περιέχει την πληροφορία που προσομοιώνει την συμπεριφορά του τελεστή και προαιρετικά και ένα map_to_operator pragma το οποίο συνδέει τον HDL operator με τον κατάλληλο synthetic operator. Πολλοί HDL operators, συμπεριλαμβανομένων και των built-in infix operators, συνδέονται χωρίς κάποιες ειδικές δηλώσεις με την Synopsys Standard Synthetic Library, standard.sldb .



Σχήμα E-7. Η ιεραρχία του DesignWare.

Η Synthetic Library περιέχει ορισμούς για τους synthetic operators, για τις synthetic modules, και bindings. Επίσης, περιέχει δηλώσεις που συνδέουν τις synthetic modules με τις υλοποιήσεις τους. Οι υλοποιήσεις βρίσκονται στις ανάλογες Design Libraries. Σε μια Synthetic Library, λοιπόν, μπορούμε να βρούμε πληροφορίες για:

- *Synthetic operator* – Αντιπροσωπεύει την πράξη που έχει κληθεί από τον HDL operator. Τα εργαλεία σύνθεσης εκτελούν βελτιστοποιήσεις υψηλού επιπέδου (αριθμητικής και καταμερισμού πόρων) με την επεξεργασία των synthetic operators.
- *Synthetic module* – Ορίζουν ένα κοινό interface για μια οικογένεια υλοποιήσεων. Όλες οι υλοποιήσεις μιας δεδομένης module έχουν τις ίδιες πόρτες (ports) και την ίδια συμπεριφορά εισόδου – εξόδου.
- *Bindings* – Συνδέουν τους synthetic operators με τις synthetic modules. Για παράδειγμα, ένα binding συνδέει τον synthetic operators της πρόσθεσης με μια adder module (ή μπορούμε να πούμε πως ο synthetic operator της πρόσθεσης είναι bound με την adder module). Ένας ή περισσότεροι synthetic operator μπορούν να συνδεθούν με μια δοσμένη synthetic module, και κάθε τελεστής μπορεί να συνδεθεί με μια ή περισσότερες module.
- *Implementation declarations* – Συνδέει τις synthetic modules με τις υλοποιήσεις σε μια Design Library. Συνεπώς οι implementation declarations συνδέουν την Synthetic Library με την Design Library.

Η Design Library περιέχει τις πραγματικές υλοποιήσεις των σχεδιάσεων. Αυτές οι κυκλωματικές περιγραφές είναι που πραγματοποιούν τις λειτουργικότητες των δομικών στοιχείων της Foundation Library. Οι έννοιες του DesignWare, όπως των synthetic module και implementation είναι πολύ κοντά στις έννοιες του entity και architecture της VHDL. Ένα implementation μπορούμε να το δούμε σαν μια αρχιτεκτονική πραγματοποίηση μιας synthetic module. Ένα implementation μπορεί να είναι οτιδήποτε από μια netlist συγκεκριμένης τεχνολογίας έως και ένα synthesizable RTL-level περιγραφή σχεδίασης.

Οι τεχνολογικές βιβλιοθήκες της εταιρείας UMC.

Η netlist που παράγεται στο τέλος της διαδικασίας της σύνθεσης με τον DC είναι τεχνολογικά εξαρτημένη. Η υλοποίηση, λοιπόν, της σχεδίασης μας είναι βασισμένη στα διαθέσιμα από την τεχνολογική βιβλιοθήκη δομικά μπλοκ. Στην παρούσα διπλωματική οι τεχνολογικές βιβλιοθήκες που χρησιμοποιήθηκαν είναι της εταιρείας UMC και πιο συγκεκριμένα έγιναν μετρήσεις στις τεχνολογίες 25um, 18um, και 13um. Παρακάτω θα παρουσιάσουμε αναλυτικότερα τα βασικά χαρακτηριστικά των τεχνολογικών βιβλιοθηκών της UMC.

Οι UMC τεχνολογικές βιβλιοθήκες στα 25um, 18um και 13um.

Οι βιβλιοθήκες που χρησιμοποιήθηκαν είναι οι παρακάτω:

- *eSi-Route/11™ Standard Cell Library.*
Part Number: UMCL25U250T3
Revision 1.2, February, 2002
Process: L250
Technology: 0.25um 2.5V/3.3V 1P5M Logic Process

- *eSi-Route/11™ High Performance 0.18μ Standard Cell Library.*

Part Number: UMCL18U250

Rev. 2.1, January, 2001

Process: L180

Technology: 0.18um 1.8V/3.3V 1P6M Logic Process

- *eSi-Route/9™ High Density Standard Cell Library.*

Part Number: UMCL13U210T3

Revision 2.5, May, 2002

Process: L130

Technology: 0.13um 1.2V/3.3V 1P8M Logic Process

Οι βιβλιοθήκες αυτές χρησιμοποιούν ένα νέο, βελτιστοποιημένο για σύνθεση σύνολο από διαθέσιμα κελιά, και έχουν επίσης μια βελτιστοποιημένη σε πυκνότητα 11-track αρχιτεκτονική η οποία προσφέρει στους σχεδιαστές συστημάτων υλοποιήσεις με βελτιστοποιημένο μέγεθος σχεδίασης χωρίς να θυσιάζεται η απόδοση της σχεδίασης. Η βιβλιοθήκη στα 13um παρέχει στα εργαλεία σύνθεσης την δυνατότητα να υλοποιούν σχεδιάσεις με πυκνότητα πυλών μέχρι και 200K gates/mm² και αποδόσεις συστημάτων που έχουν συχνότητα από 200 MHz μέχρι 800 MHz.

Τα χαρακτηριστικά των τεχνολογικών βιβλιοθηκών.

Στο datasheet της κάθε βιβλιοθήκης παρέχονται πληροφορίες για τα χαρακτηριστικά που διαθέτει η κάθε τεχνολογία αλλά και συγκεκριμένα το κάθε κελί της. Η κάθε βιβλιοθήκη, λοιπόν, έχει κάποια χαρακτηριστικά που είναι κοινά για όλα τα κελιά της. Παρακάτω παρουσιάζονται τα βασικά αυτά χαρακτηριστικά για τις τρεις τεχνολογίες που είχαμε διαθέσιμες.

Προτεινόμενες συνθήκες λειτουργίας.

Κάθε τεχνολογία έχει και κάποιες προτεινόμενες συνθήκες λειτουργίας για τα ολοκληρωμένα κυκλώματα που περιέχει. Οι βιβλιοθήκες της εταιρίας UMC έχουν τα παρακάτω χαρακτηριστικά:

UMCL25U250T3			
Operating Condition	Minimum	Typical	Maximum
Power Supply	2.25V	2.5V	2.75V
Junction Temperature	0°C	25°C	125°C

Πίνακας E-1. Συνθήκες λειτουργίας για την UMC25um.

UMCL18U250			
Operating Condition	Minimum	Typical	Maximum
Power Supply	1.62V	1.8V	1.98V
Junction Temperature	0°C	25°C	125°C

Πίνακας E-2. Συνθήκες λειτουργίας για την UMC18um.

UMCL13U210T3			
Operating Condition	Minimum	Typical	Maximum
Power Supply	1.08V	1.20V	1.32V
Junction Temperature	0°C	25°C	125°C

Πίνακας E-3. Συνθήκες λειτουργίας για την UMC13um.

Επίπεδα μετάλλου (Metal Layer).

Κάθε βιβλιοθήκη υποστηρίζει διάφορες επιλογές ως προς το πλήθος των επιπέδων μετάλλου που χρησιμοποιείται για την κατασκευή των κελιών. Η standard cell library στα 25um υποστηρίζει τέσσερα και πέντε επίπεδα μετάλλου. Στα 18um η βιβλιοθήκη υποστηρίζει τέσσερα, πέντε και έξι επίπεδα μετάλλου. Τέλος η βιβλιοθήκη στα 13um μπορεί να υλοποιήσει σχεδιάσεις με πέντε, έξι, επτά και οκτώ επίπεδα.

Synopsys δεδομένα για ισχύ.

Η πληροφορία για την κατανάλωση της ισχύος στις παρεχόμενες βιβλιοθήκες για τα εργαλεία της SYNOPSIS είναι πολύ περισσότερη από αυτή που παρουσιάζεται σε ένα datasheet. Η κατανάλωση ισχύος σε πολλά από τα κελιά της βιβλιοθήκης είναι εξαρτώμενη από την κατάσταση του κελιού. Η χρήση αυτής της πρόσθετης πληροφορίας μπορεί να μας δώσει πιο ακριβείς λεπτομέρειες κατά την διάρκεια που αναλύουμε την ισχύ κάποιας σχεδίασης με την χρήση του Power Compiler.

Κελιά (L) χαμηλής κατανάλωσης ισχύος (Special Low Power Cells) .

Τα κελιά L έχουν σχεδιαστεί για εφαρμογές που απαιτούν χαμηλή κατανάλωση ισχύος όπου η ελάχιστη οδηγική ικανότητα και η χαμηλή χωρητικότητα εισόδου είναι σημαντικές. Στις βιβλιοθήκες της εταιρίας UMC τα κελιά αυτά διακρίνονται από το γράμμα L που έχουν στον τύπο τους. Για παράδειγμα, το κελί HDNAN2D2 είναι μια πύλη NAND 2-εισόδων με οδηγική ικανότητα 2x και μέγεθος 8.64 square microns, ενώ το κελί HDNAN2DL είναι μια πύλη NAND 2-εισόδων με οδηγική ικανότητα 0.5x και μέγεθος 5.18 square microns.

Τα κελιά αυτά είναι ειδικά σχεδιασμένα για εφαρμογές χαμηλής κατανάλωσης ισχύος. Όπως είναι φανερό έχουν μικρότερη οδηγική ικανότητα και ίδιο ή μικρότερο μέγεθος. Για το λόγο αυτό δεν προτιμούνται σε διαδρομές σχεδιάσεων που θέλουν μεγάλες οδηγικές ικανότητες και είναι χρονικά κρίσιμες.

Υπολογισμός της καθυστέρησης διάδοσης των κελιών.

Σε ένα datasheet βιβλιοθήκης αναγράφονται οι τιμές για την καθυστέρηση και την κατανάλωση ισχύος του κελιού για συγκεκριμένες συνθήκες λειτουργίας. Στην περίπτωση της βιβλιοθήκης στα 13um οι συνθήκες είναι οι παρακάτω:

- $V_{dd} = 1.20V$.
- Junction temperature = 25°C.
- Processing for the typical case.

Αν θέλουμε να υπολογίσουμε την καθυστέρηση ενός κελιού σε διαφορετικές συνθήκες λειτουργίας θα πρέπει να ακολουθήσουμε την διαδικασία που περιγράφεται παρακάτω και να χρησιμοποιήσουμε του προσεγγιστικούς παράγοντες (approximation derating factors). Ο υπολογισμός των παραγόντων αυτών είναι ένα πολυσύνθετο πρόβλημα και εξαρτάται από την τάση τροφοδοσίας, την θερμοκρασία, και την διαδικασία. Επίσης, οι derating παράγοντες διαφέρουν πολύ από κελί σε κελί. Για τον λόγο αυτό η μεθοδολογία παρακάτω είναι για να επιτρέπει στους σχεδιαστές να εκτιμούν τι χρόνους να περιμένουν όταν χρησιμοποιούν πιο τυπικές μεθόδους χρονισμού. Οι derating παράγοντες που θα παρατεθούν στην συνέχεια είναι για να προβούμε σε προσεγγιστικά αποτελέσματα. Οι σχέσεις που θα δοθούν μπορούν να χρησιμοποιηθούν σε συνδυασμό με τις τιμές που δίνονται από το datasheet.

Προσεγγιστικοί παράγοντες (Derating factors).

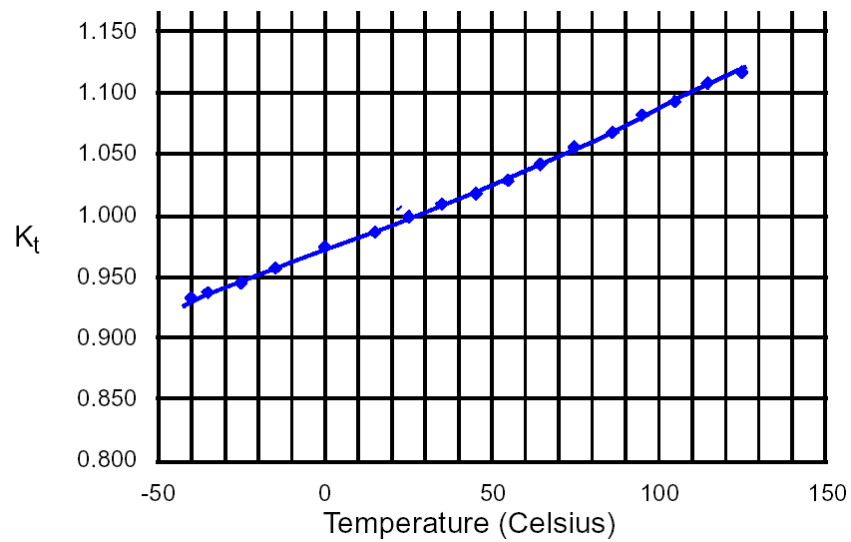
Για να υπολογίσουμε προσεγγιστικά τις καθυστερήσεις των κελιών για συνθήκες εκτός από αυτές που περιγράφονται στο datasheet είναι μια απλή διαδικασία. Αν αλλάξουμε τις συνθήκες που περιγράφονται στο datasheet τότε για να υπολογίσουμε την καθυστέρηση των κελιών θα πρέπει να αναλογιστούμε τους παρακάτω παράγοντες:

- K_t : The junction temperature derating factor.
- K_v : The voltage (V_{dd}) derating factor
- K_p : The derating factor for the process; slow, fast, ή typical.

Στην συνέχεια θα παρατεθούν οι τιμές των παραγόντων αυτών για διάφορες διακριτές τιμές σε αλλαγές των συνθηκών. Με τα δεδομένα αυτά μπορούμε να παράγουμε τους παράγοντες για τις συνθήκες που θέλουμε. Αφού το κάνουμε αυτό η σχέση που θα μας δώσει την καθυστέρηση διάδοσης του κελιού είναι:

$$\text{Delay}_{(\text{derated})} = \text{Delay}_{(\text{datasheet})} \cdot K_t \cdot K_v \cdot K_p$$

Στο σχήμα E-8 παρουσιάζεται πως αυξάνεται ο παράγοντας K_t όσο η θερμοκρασία αυξάνεται:



Σχήμα E-8. Η μεταβολή του παράγοντα K_t στην τεχνολογία των 13um.

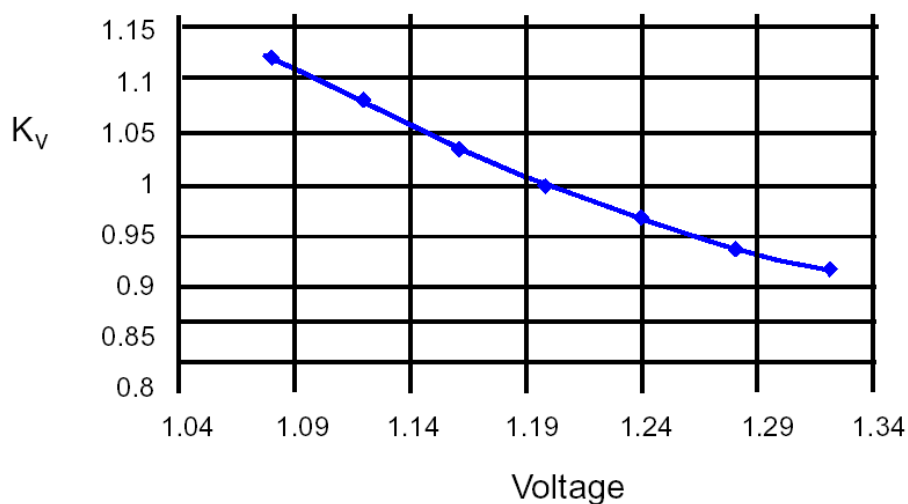
Στον πίνακα E-4 παρουσιάζονται οι διακριτές τιμές του παράγοντα K_t με την θερμοκρασία:

T_j C	K_t
-40	0.935
-35	0.939
-25	0.949
-15	0.958
0	0.973
15	0.989
25	1
35	1.010
45	1.021

T_j C	K_t
55	1.032
65	1.043
75	1.055
85	1.067
95	1.079
105	1.091
115	1.104
125	1.116

Πίνακας E-4. Οι τιμές του K_t για 13um.

Στο σχήμα E-9 παρουσιάζεται πως μειώνεται ο παράγοντας K_n όσο η τιμή του V_{dd} αυξάνεται:



Σχήμα E-9. Η μεταβολή του παράγοντα K_v στην τεχνολογία των 13um.

Στον πίνακα E-5 παρουσιάζονται οι διακριτές τιμές του παράγοντα K_v σε συνάρτηση με το V_{dd} :

Vdd (Volts)	Derating Factor, K_v	Vdd (Volts)	Derating Factor, K_v
1.08	1.126	1.24	0.967
1.12	1.078	1.28	0.938
1.16	1.036	1.32	0.912
1.20	1		

Πίνακας E-5. Οι τιμές του K_v για 13um.

Στον πίνακα E-6 παρουσιάζονται οι τιμές του παράγοντα K_p ανάλογα με το process που επιλέγουμε:

Process	Derating Factor, K_p
Slow (ss)	1.247
Typical (tt)	1.0000
Fast (ff)	0.832

Πίνακας E-6. Οι τιμές του K_p για 13um.

Στο παράδειγμα παρακάτω, θεωρούμε τις συνθήκες που παρουσιάζονται στον πίνακα E-7 για να υπολογίσουμε την καθυστέρηση ενός κελιού. Οι συνθήκες και οι τιμές των παραγόντων είναι :

Operating Conditions:	Derating Factor
Junction temperature = 115C	1.104
Vdd = 1.32 volts	0.912
Process = typical	1.0
Delay (from datasheet) = 1.00 ns	

Πίνακας E-7. Οι συνθήκες του παραδείγματος.

Άρα η καθυστέρηση διάδοσης σύμφωνα με την σχέση που δώσαμε είναι :

$$\text{Delay}_{(\text{derated})} = \text{Delay}_{(\text{datasheet})} \cdot K_t \cdot K_v \cdot K_p = 1.00\text{ns} \cdot 1.104 \cdot 0.912 \cdot 1.0 \Rightarrow$$

$$\text{Delay}_{(\text{derated})} = 1.007\text{ns}.$$

Παρουσίαση των scripting γλωσσών που χρησιμοποιήθηκαν.

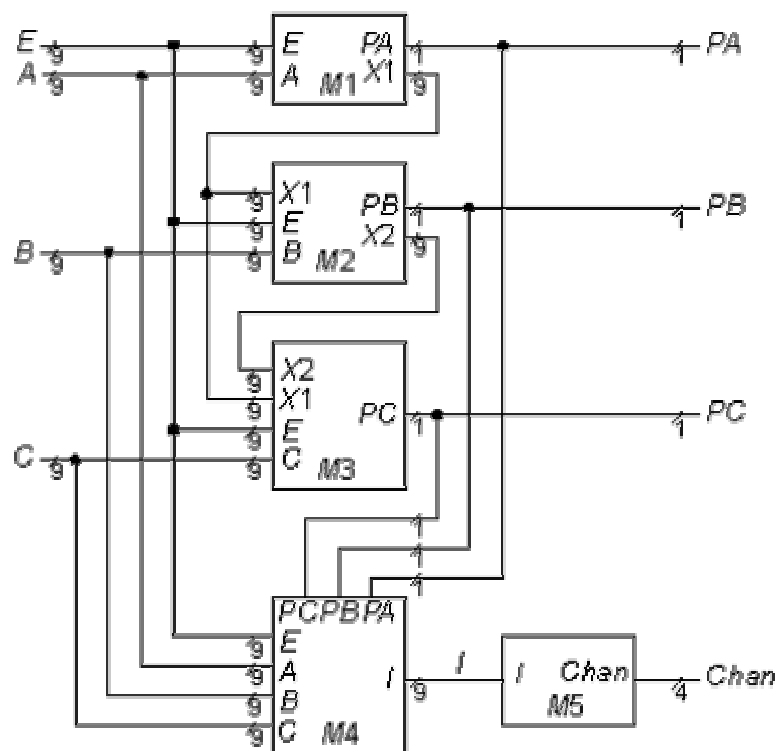
Στην παρούσα διπλωματική χρησιμοποιήθηκαν διάφορες scripting γλώσσες που σκοπό είχαν να αυτοματοποιήσουν την διαδικασία των προσομοιώσεων. Οι γλώσσες αυτές είναι η Perl, η dcsh (Design Compiler shell scripting language), και τα macros αρχεία .do για το εργαλείο προσομοίωσης MTI.

Η γλώσσα Perl αποτέλεσε βασικό εργαλείο και χρησιμοποιήθηκε σε όλα τα επίπεδα της εργασίας. Επιλέχθηκε διότι είναι πολύ εύχρηστη και γιατί ο ίδιος κώδικας είναι εκτελέσιμος τόσο σε περιβάλλον Microsoft Windows όσο και σε Unix – Linux. Αρχικά χρησιμοποιήθηκε για το κατάλληλο pattern matching στα πηγαία αρχεία vhdl, με σκοπό να παράγονται αυτοματοποιημένα όλα τα testbench μια και είχαμε μεγάλο αριθμό κυκλωμάτων. Στην συνέχεια ήταν το εργαλείο για την παραγωγή όλων των απαραίτητων αρχείων και scripts(dcsh και do). Στο τελικό στάδιο χρησιμοποιήθηκε ως φίλτρο της απαραίτητης πληροφορίας από έναν μεγάλο όγκο log αρχείων. Η τελική επεξεργασία έδινε αρχεία που εισάγονταν με ευκολία προς επεξεργασία στο excel. Το user interface της perl ήταν command line prompt.

Η scripting γλώσσα dcsh, είναι η γλώσσα που παρέχει η SYNOPSIS για την εργασία στο κέλυφος dcsh. Επίσης, παρέχεται η δυνατότητα χρήσης και της γλώσσας tcl αλλά εμείς επιλέξαμε την dcsh για να έχουμε πλήρη κάλυψη στα εργαλεία της SYNOPSIS. Τα αρχεία .dcsh παράγονταν από την γλώσσα perl για όλα τα πειραματικά κυκλώματα και το user interface αυτής ήταν στο dc_shell του DC ή στο pe_shell του .

Τέλος, τα macros .do αρχεία χρησιμοποιήθηκαν για την αυτοματοποίηση των προσομοιώσεων. Η χρήση των αρχείων .do είναι de facto για την αυτοματοποίηση των προσομοιώσεων με τον MTI και από την προσωπική μας ενασχόληση παρατηρήσαμε ότι αποδείχθηκαν ιδιαίτερα χρήσιμα όταν οι προσομοιώσεις εκτελούνταν από απομακρυσμένο σύστημα και σε command line prompt του MTI (και όχι στην κονσόλα). Τα .do αρχεία παράγονταν αυτόματα για κάθε κύκλωμα με την γλώσσα perl.

1



c432 – 27-channel interrupt controller - ISCAS 85

Βασικές έννοιες Κατανάλωσης Ισχύος

Στο παρών κεφάλαιο θα γίνει μια εισαγωγή σε βασικές έννοιες κατανάλωσης ισχύος σε ψηφιακά ηλεκτρονικά κυκλώματα. Θα δοθούν ορισμοί και τύποι για στατική (static) και δυναμική (dynamic) ισχύ (power). Στα πλαίσια λοιπόν του κεφαλαίου θα γίνει αναφορά σε ισχύ διαρροής (leakage power), ισχύ μεταγωγής (switching power), εσωτερική ισχύ (internal power) και ισχύ βραχυκυκλώσεως (short-circuit power).

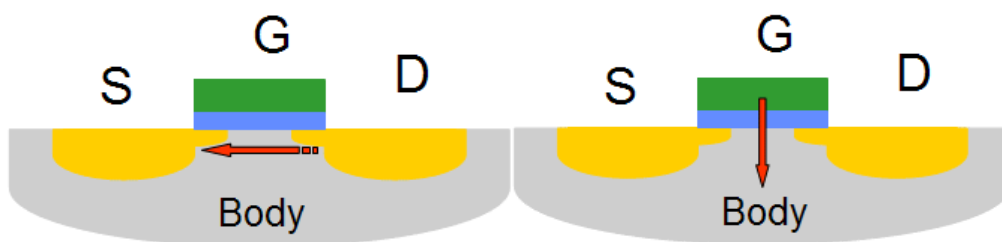
Ορισμοί τύπων ισχύος.

Η ισχύς που καταναλώνεται σε ένα κύκλωμα μπορεί να χωριστεί σε δύο ευρύτερες κατηγορίες:

- Στατική ισχύς (static power).
- Δυναμική ισχύς (dynamic power).

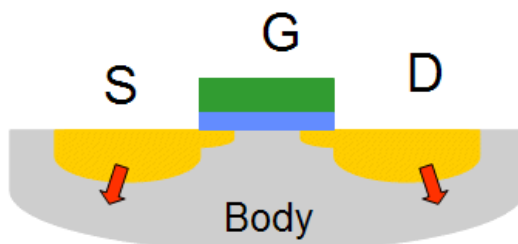
Ορισμός Στατικής Ισχύος.

Στατική ισχύς είναι η ισχύς που καταναλώνει μια πύλη όταν δεν αλλάζει την λογική τιμή της εξόδου της. Στατική ισχύς καταναλώνεται για πολλούς λόγους. Το μεγαλύτερο ποσοστό κατανάλωσης στατικής ισχύος στις τεχνολογίες που αναλύθηκαν, όπως φαίνεται και στο σχήμα 1-1 προκύπτει από την αγωγή υποκατωφλίου μεταξύ πηγής και υποδοχής (source-to-drain subthreshold leakage) και το ρεύμα διαρροής πύλης καναλιού που οφείλεται σε φαινόμενα διόδευσης από το οξειδίο(tunneling effects).



Σχήμα 1-1. Αγωγή υποκατωφλίου τρανζίστορ και αγωγή μεταξύ πύλης και καναλιού.

Κατανάλωση στατικής ισχύος, βλέπε σχήμα 1-2 παρουσιάζεται επειδή άγει η ανάστροφα πολωμένη δίοδος μεταξύ των στρωμάτων διαχύσεως και του υποστρώματος. Για το λόγο αυτό, η στατική ισχύς συχνά αναφέρεται ως ισχύς διαρροής (leakage power).



Σχήμα 1-2. Αγωγή της ανάστροφα πολωμένης διόδου που σχηματίζεται από την περιοχή διαχύσεως και το υπόβαθρο.

Ορισμός Δυναμικής Ισχύος.

Δυναμική ισχύς είναι η ισχύς που καταναλώνεται όταν μια πύλη είναι ενεργή. Ένα κύκλωμα είναι ενεργό κάθε φορά που οι τάσεις των δικτύων του εναλλάσσονται σύμφωνα πάντα με τις εισόδους που εφαρμόζονται στο κύκλωμα. Επειδή λοιπόν, η τιμή της τάσης σε ένα δίκτυο εισόδου μπορεί να αλλάξει χωρίς αυτό να σημαίνει ότι θα έχουμε και μια εναλλαγή λογικής τιμής στο δίκτυο εξόδου, δυναμική κατανάλωση ισχύος μπορεί να παρατηρηθεί και σε περιπτώσεις που ένα δίκτυο εξόδου δεν αλλάξει λογική τιμή.

Η δυναμική κατανάλωση ισχύος σε ένα κύκλωμα συνθέτεται από δύο συντελεστές, οι οποίοι παρουσιάζονται παρακάτω:

- Ισχύς λόγω μεταγωγής λογικής τιμής (Switching power).
- Εσωτερική ισχύς (Internal power).

Ορισμός ισχύος λόγω μεταγωγής λογικής τιμής.

Η κατανάλωση ισχύος λόγω μεταγωγής λογικής τιμής ενός οδηγούμενου κελιού προκύπτει από την φόρτιση και εκφόρτιση της χωρητικότητας φορτίου στην έξοδο του κελιού. Η συνολική χωρητικότητα φορτίου στην έξοδο του οδηγούμενου κελιού είναι το άθροισμα της χωρητικότητας του δικτύου και της πύλης όπου οδηγείται η έξοδος.

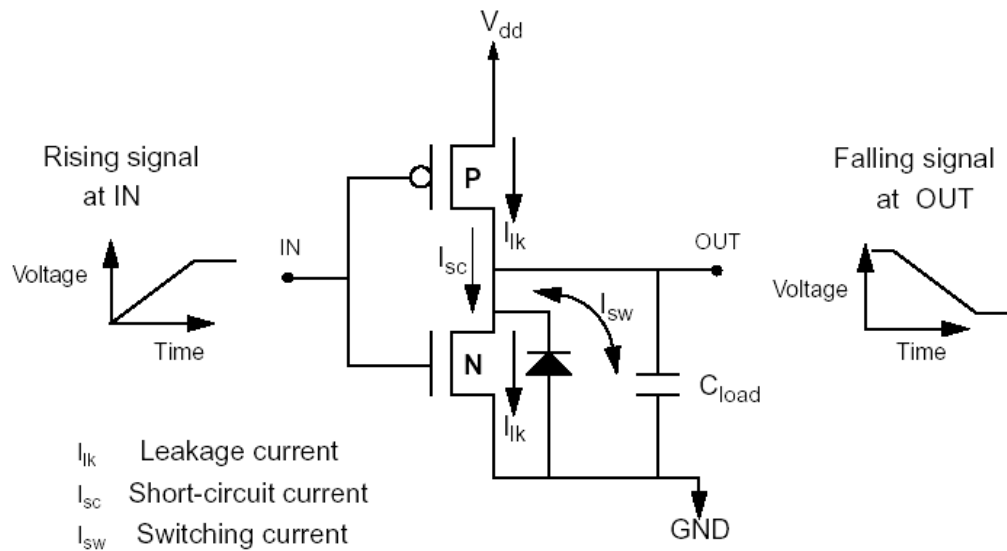
Επειδή τέτοιες φορτίσεις και εκφορτίσεις είναι αποτέλεσμα των λογικών μεταγωγών των τιμών της εξόδου του κελιού, η κατανάλωση ισχύος λόγω μεταγωγής λογικής τιμής αυξάνεται όσο και η συχνότητα των μεταγωγών λογικών τιμών αυξάνεται. Καταλήγουμε λοιπόν, ότι η ισχύς λόγω μεταγωγής λογικής τιμής είναι μια συνάρτηση δύο παραγόντων, της συνολικής χωρητικότητας φορτίου στην έξοδο του κελιού και της συχνότητας των εναλλαγών λογικών τιμών. Η κατανάλωση ισχύος λόγω εναλλαγής λογικής τιμής αποτελεί το μεγαλύτερο ποσοστό της κατανάλωσης ισχύος ενός ενεργού CMOS κυκλώματος.

Ορισμός εσωτερικής ισχύος.

Η κατανάλωση εσωτερικής ισχύος λαμβάνει χώρα μέσα στα όρια του κελιού. Κατά την διάρκεια της εναλλαγής, ένα κύκλωμα καταναλώνει εσωτερική ισχύ λόγω της φόρτισης και εκφόρτισης των οποιοδήποτε εσωτερικών χωρητικοτήτων που διαθέτει το κελί. Κατανάλωση εσωτερικής ισχύος έχουμε λόγω της στιγμιαίας εμφάνισης βραχυκυκλώματος μεταξύ του P και N τρανζίστορ της πύλης, η οποία αναφέρεται και ως ισχύς βραχυκυκλώσεως (short-circuit power).

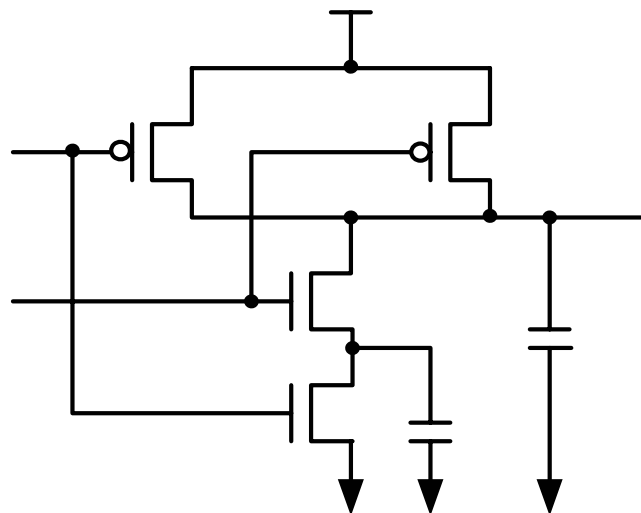
Για να αντιληφθούμε για ποιο λόγο έχουμε αυτή την κατανάλωση, δώστε προσοχή στην πύλη που παρουσιάζεται στο σχήμα 1-1 παρακάτω. Ένα ανοδικό σήμα εφαρμόζεται στην είσοδο IN. Αφού το σήμα εναλλάσσεται από χαμηλή τιμή σε υψηλή, το τρανζίστορ τύπου N ανοίγει και το τρανζίστορ τύπου P κλείνει. Ωστόσο, για λίγο χρονικό διάστημα όσο έχουμε την εναλλαγή του σήματος, τόσο το P και το N

τύπου τρανζίστορ μπορούν να είναι ανοιχτά ταυτόχρονα. Στο αναφερθέν αυτό χρονικό διάστημα το ρεύμα I_{SC} ρέει από την τάση V_{dd} στην γείωση GND, προκαλώντας κατανάλωση ισχύος βραχυκυκλώματος P_{SC} .



Σχήμα 1-1. Μια απλή πύλη όπου φαίνεται σε ποια σημεία έχουμε στατική και δυναμική κατανάλωση ισχύος.

Ένα ακόμα χαρακτηριστικό παράδειγμα κατανάλωσης εσωτερικής ισχύος είναι όταν έχουμε μεταγωγή ενός εσωτερικού κόμβου χωρίς να έχουμε μεταγωγή στην έξοδο. Για παράδειγμα θα δούμε την CMOS πύλη NAND 2-εισόδων που φαίνεται στο παρακάτω σχήμα:



Σχήμα 1-2. Μια CMOS πύλη NAND 2-εισόδων.

Αν στην είσοδο της πύλης εφαρμόσουμε τις εισόδους που φαίνονται στον παρακάτω πίνακα, η έξοδος δεν αλλάζει κατάσταση όμως ο κόμβος X αλλάζει λογική τιμή με αποτέλεσμα να καταναλώνει ισχύ.

A	1	0	0	0	1
B	0	0	1	0	0
OUT	1	1	1	1	1
X	1	1	0	0	1

Πίνακας 1-1. Μια CMOS πύλη NAND 2-εισόδων.

Για κυκλώματα με γρήγορους χρόνους μεταγωγής, η κατανάλωση ισχύος βραχυκυκλώματος μπορεί να είναι μικρή. Ωστόσο, για κυκλώματα με αργούς χρόνους μεταγωγής, η κατανάλωση ισχύος βραχυκυκλώματος μπορεί να προκαλεί περίπου το 30% επί της συνολικής κατανάλωσης της πύλης. Η κατανάλωση ισχύος βραχυκυκλώματος επηρεάζεται από το μέγεθος του τρανζίστορ και την χωρητικότητα φορτίου στην έξοδο της πύλης.

Στα απλά κελιά που παρέχονται από μια βιβλιοθήκη, η εσωτερική ισχύς οφείλεται συνήθως στην ισχύ βραχυκυκλώματος. Για το λόγο αυτό οι δύο αυτοί όροι θεωρούνται συνώνυμοι.

Υπολογισμός της κατανάλωσης ισχύος.

Στην παράγραφο αυτή θα παρουσιάσουμε τους μαθηματικούς τύπους που χρησιμοποιεί για την Ανάλυση Ισχύος το λογισμικό που χρησιμοποιήθηκε για την παρούσα εργασία. Στην ουσία ο Power Compiler υπολογίζει την συνολική κατανάλωση ισχύος εφαρμόζοντας τους τύπους με είσοδο πληροφορία που είναι μοντελοποιημένη για ισχύ στην εκάστοτε τεχνολογική βιβλιοθήκη.

Υπολογισμός Ισχύος Διαρροής (Leakage Power Calculation).

Όταν ζητείται από τον Power Compiler να δώσει μια ανάλυση κατανάλωσης ισχύος για ένα κύκλωμα, υπολογίζει την συνολική ισχύ διαρροής προσθέτοντας την ισχύ διαρροής κάθε τεχνολογικού κελιού που έχει χρησιμοποιηθεί στο συγκεκριμένο κύκλωμα, όπως φαίνεται και στους παρακάτω μαθηματικούς τύπους:

$$P_{\text{LeakageTotal}} = \sum_{\forall \text{cells}(i)} P_{\text{CellLeakage}i}$$

όπου:

- $P_{\text{LeakageTotal}}$: Συνολική κατανάλωση ισχύος διαρροής για το κύκλωμα.
 $P_{\text{CellLeakage}_i}$: Κατανάλωση ισχύος διαρροής για το κάθε κελί i .

Οι μηχανικοί που αναπτύσσουν κελιά για βιβλιοθήκες (library cells) επισυνάπτουν μέσα στην περιγραφή του μοντέλου τους και την κατά προσέγγιση συνολική τιμή της ισχύος διαρροής που καταναλώνει το κάθε κελί της βιβλιοθήκης.

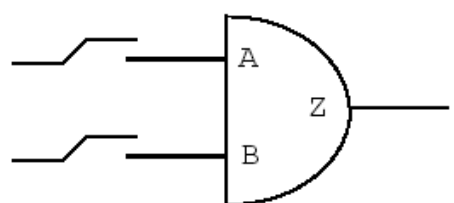
Η ισχύς διαρροής πολλές φορές εξαρτάται και από την λογική κατάσταση που βρίσκεται το κελί (state-dependent leakage power). Η τιμή αυτή μπορεί να μοντελοποιηθεί κατά την δημιουργία της βιβλιοθήκης προσαρτώντας την νέα πληροφορία με ένα when statement στην περιγραφή του LEAKAGE_POWER σε κάθε κελί.

Σύμφωνα με μετρήσεις για κυκλώματα που είναι ενεργά τον περισσότερο χρόνο της λειτουργίας τους, η ισχύς διαρροής είναι μικρότερη του 1% της συνολικής κατανάλωσης. Ωστόσο, για κυκλώματα που συνήθως είναι ανενεργά, η μοντελοποίηση της ισχύος διαρροής είναι σημαντική.

Υπολογισμός Εσωτερικής Ισχύος (Internal Power Calculation).

Για τον υπολογισμό της εσωτερικής κατανάλωσης ισχύος χρησιμοποιείται πληροφορία από την τεχνολογική βιβλιοθήκη. Έτσι, σε κάθε βιβλιοθήκη υπάρχει η αντίστοιχη ομάδα παραμέτρων για INTERNAL_POWER. Οι μηχανικοί που αναπτύσσουν βιβλιοθήκες κατασκευάζουν τον πίνακα κατανάλωσης εσωτερικής ισχύος πάνω στον οποίο μοντελοποιούν την κατανάλωση της εν λόγω ισχύος για κάθε ακροδέκτη (pin) του κελιού.

Η συνολική κατανάλωση της εσωτερικής ισχύος ενός κελιού είναι το άθροισμα της κατανάλωσης όλων των ακροδεκτών εισόδου και εξόδου του κελιού σύμφωνα πάντα με την μοντελοποίηση του στην βιβλιοθήκη. Στο σχήμα 1-3 φαίνεται ποίους τύπους χρησιμοποιεί το λογισμικό της SYNOPSIS για power analysis ώστε να υπολογίσει την κατανάλωση εσωτερικής ισχύος για ένα απλό συνδυαστικό κελί, U1.



$$P_{Int} = E_Z \times TR_Z$$

$$E_Z = \int [C_{Load}, WeightAvg_{(Trans)}]$$

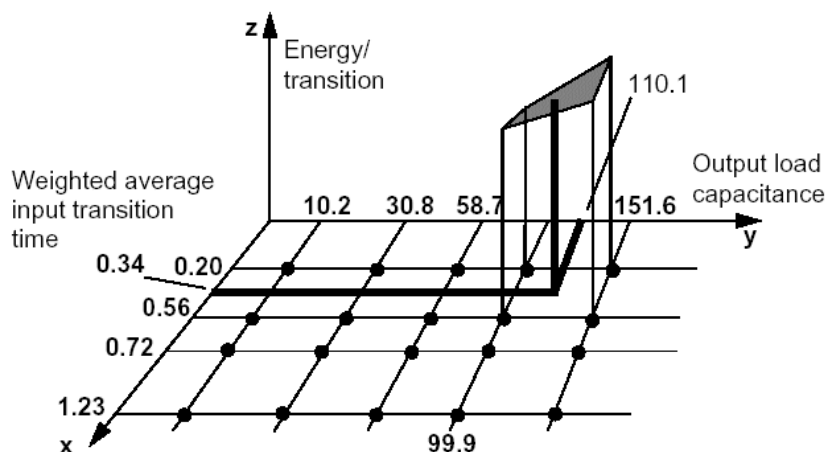
$$WeightAvg_{(Trans)} = \frac{\sum_{i=A,B} TR_i \times Trans_i}{\sum_{i=A,B} TR_i}$$

όπου:

P_{Int}	: Συνολική εσωτερική ισχύς του κελιού.
E_Z	: Εσωτερική ενέργεια της εξόδου Z συναρτήσει των μεταγωγών της λογικής τιμής της εισόδου και του φορτίου εξόδου.
TR_Z	: Μέσος αριθμός μεταγωγών ακροδέκτη εξόδου Z.
TR_i	: Μέσος αριθμός μεταγωγών ακροδέκτη εισόδου i, εναλλαγές/sec.
$Trans_i$: Χρόνος μεταγωγής εισόδου i.
$WeightAvg_{(Trans)}$: Χρόνος μεταγωγής με βάρη της εξόδου Z.

Σχήμα 1-3. Μοντέλο υπολογισμού κατανάλωσης εσωτερικής ισχύος για ένα απλό συνδυαστικό κελί, U1.

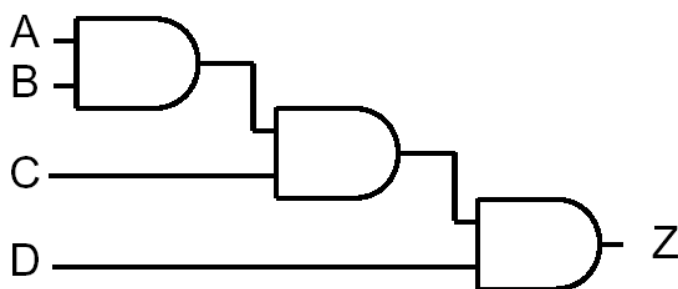
Με βάση πληροφορίες όπως τον μέσο αριθμό μεταγωγών και τον χρόνο μεταγωγής της εισόδου, ο Power Compiler παράγει ένα μέσο χρόνο μεταγωγής με βάρη (weighted average transition time), ο οποίος χρησιμοποιείται ως δείκτης στο πίνακα τιμών για την κατανάλωση εσωτερικής ισχύος στον ακροδέκτη εξόδου. Η χωρητικότητα φορτίου της εξόδου (output load capacitance) χρησιμοποιείται από τον Power Compiler ως πρόσθετος δείκτης. Οι δύο αυτοί δείκτες δίνουν την δυνατότητα στον Power Compiler να διαβάσει τον δισδιάστατο πίνακα τιμών (two-dimensional lookup table) της εξόδου, όπως και φαίνεται στο σχήμα 1-4 :



Σχήμα 1-4. Δισδιάστατος πίνακας τιμών (two-dimensional lookup table) της εξόδου.

Τα κελιά συνήθως καταναλώνουν διαφορετική εσωτερική ισχύ, η οποία εξαρτάται από το ποιος ακροδέκτη εισόδου αλλάζει κατάσταση ή από την κατάσταση της λογικής τιμής που βρίσκεται το κελί. Έχουμε, λοιπόν, κατανάλωση εσωτερικής ισχύος εξαρτώμενη από την κατάσταση (state dependent internal power) και εξαρτώμενη από την διαδρομή (path dependent internal power).

Για να σας παρουσιάσουμε ένα παράδειγμα κατανάλωσης εσωτερικής ενέργειας εξαρτώμενης από τη διαδρομή (path dependent internal power), ας παρατηρήσουμε το σχήμα 1-5 όπου έχουμε ένα απλό κελί μιας βιβλιοθήκης, το οποίο έχει τρία επίπεδα λογικής και ένα πλήθος από ακροδέκτες εισόδου.



Σχήμα 1-5. Απλό κελί με τρία επίπεδα λογικής και τέσσερις εισόδους.

Οι εισόδους A και D μπορούν κάθε μια ξεχωριστά να προκαλέσουν αλλαγή στην λογική τιμή της εξόδου. Ωστόσο, η είσοδος D επηρεάζει μόνο ένα επίπεδο λογικής, ενώ η είσοδος A επηρεάζει και τις τρεις. Όπως, λοιπόν, είναι φυσιολογικό μια εναλλαγή στην έξοδο Z να καταναλώνει περισσότερη εσωτερική ισχύ όταν είναι αποτέλεσμα μιας αλλαγής της τιμής της εισόδου A σε σύγκρισή με την κατανάλωση όταν

προκαλείται από μια εναλλαγή της εισόδου D. Έτσι, μπορούμε να καθορίζουμε πολλαπλούς πίνακες τιμών (lookup tables) για τις εξόδους, εξαρτώμενους από τις εναλλαγές στις εισόδους.

Η επιλογή του κατάλληλου πίνακα με πληροφορίες που έχουν να κάνουν με εξαρτήσεις μονοπατιού για κάθε έξοδο, από τον Power Compiler, γίνεται με τον έλεγχο της μεταβλητής RELATED_PIN που βρίσκεται στην βιβλιοθήκη.

Ένα χαρακτηριστικό παράδειγμα κελιού με κατανάλωση ισχύος με εξάρτηση κατάστασης (state dependent internal power) είναι το κελί μνήμης (RAM cell). Ένα κελί μνήμης καταναλώνει διαφορετικά ποσά εσωτερικής ενέργειας ανάλογα σε τι κατάσταση λειτουργίας (mode) είναι, εγγραφής ή ανάγνωσης. Μπορούμε να ορίσουμε διαφορετικούς πίνακες τιμών για εσωτερική ισχύ, εξαρτώμενους από την λογική κατάσταση ή την κατάσταση λειτουργίας του κελιού.

Όταν ένα σήμα αλλάζει λογική κατάσταση, η εσωτερική ενέργεια που καταναλώνεται όταν το σήμα είναι ανοδικό (από 0 σε 1) είναι διαφορετική από αυτή που καταναλώνεται όταν είναι καθοδικό (από 1 σε 0). Ο Power Compiler υποστηρίζει την δυνατότητα να μπορεί κάποιος να ορίζει ξεχωριστά τις δύο αυτές τιμές ισχύος. Επίσης, υποστηρίζει και μοντέλα βιβλιοθηκών οι οποίες υποστηρίζουν το μέσο όρο αυτών των δύο τιμών.

Στην περίπτωση που ένα κελί έχει ακροδέκτες εισόδου που οι λογικές τους τιμές είναι ίσες ή αντίθετες, ο Power Compiler μπορεί να χρησιμοποιήσει ένα τρισδιάστατο πίνακα τιμών (three-dimensional lookup table). Ο πίνακας αυτός δημιουργείται με των χρόνο εναλλαγής της εισόδου και τις χωρητικότητες εξόδου των δύο ακροδεκτών εξόδου που έχουν ίδιες ή αντίθετες λογικές τιμές. Ένας τέτοιος πίνακας θα μπορούσε να χρησιμοποιηθεί για την περιγραφή ενός flip-flop, το οποίο έχει Q και Q-bar εξόδους με αντίθετες τιμές.

Η ομάδα παραμέτρων INTERNAL_POWER της βιβλιοθήκης υποστηρίζει μόνο-, δις- ή τρις - διάστατους πίνακες τιμών. Ο πίνακας 1-2 παρουσιάζει τους τύπους των πινάκων τιμών, που εφαρμόζονται και τι τιμές καταχωρούνται σε αυτούς.

Πίνακας τιμών	Ορίζεται στην	Με δείκτες
Μονοδιάστατος	Είσοδος Έξοδος	Μεταγωγή εισόδου Χωρητικότητα φορτίου εξόδου
Δισδιάστατος	Έξοδος	Μεταγωγή εισόδου και χωρητικότητα φορτίου εξόδου
Τρισδιάστατος	Έξοδος	Μεταγωγή εισόδου και χωρητικότητα φορτίου εξόδου των δύο ακροδεκτών εξόδου που έχουν ίδιες ή αντίθετες λογικές τιμές

Πίνακας 1-2. Πίνακες Τιμών (Lookup Tables)

Υπολογισμός Ισχύος Μεταγωγής (Switching Power Calculation).

Ο Power Compiler κατά την ανάλυση ισχύος που πραγματοποιεί υπολογίζει και την ισχύ Μεταγωγής (P_C) σύμφωνα με τον παρακάτω τύπο:

$$P_C = \frac{V_{dd}^2}{2} \sum_{\forall \text{nets}(i)} (C_{Load_i} \times TR_i)$$

όπου:

P_C : Ισχύς Μεταγωγής του κυκλώματος
 C_{Load_i} : Χωρητικότητα φορτίου του δικτύου i
 TR_i : Μέσος αριθμός μεταγωγών του δικτύου i , μεταγωγές/sec
 V_{dd} : Τάση τροφοδοσίας

Η παράμετρος C_{Load_i} αντιπροσωπεύει την συνολική χωρητικότητα του δικτύου i , δηλαδή είναι το άθροισμα της παρασιτικής χωρητικότητας (parasitic capacitance), της χωρητικότητας πύλης (gate capacitance) και υποδοχής (drain capacitance) όλων των ακροδεκτών που είναι συνδεδεμένοι με το δίκτυο i .

Το λογισμικό του Power Compiler για τους υπολογισμούς αυτούς χρησιμοποιεί πληροφορία από το τύπο του μοντέλου καλωδίωσης (wire load model) για το δίκτυο και από την πληροφορία που προσφέρει η τεχνολογική βιβλιοθήκη για τις πύλες που είναι συνδεδεμένες με το δίκτυο. Επίσης, αν διαθέτουμε και τον Physical Compiler μπορούμε στο κύκλωμα που θα έχουμε σε transistor-level να κρατήσουμε την χωρητική πληροφορία του (back-annotate capacitance) και να την χρησιμοποιήσουμε για πιο ακριβείς υπολογισμούς.

Υπολογισμός Δυναμικής Ισχύος (Dynamic Power Calculation).

Επειδή η δυναμική ισχύς (Dynamic Power) είναι η ισχύς που καταναλώνεται όταν το κύκλωμα είναι ενεργό, το άθροισμα της ισχύος μεταγωγής και της εσωτερικής ισχύος μας δίνει το συνολικό ποσό της δυναμικής ισχύος που καταναλώνεται, άρα:

$$\text{Δυναμική Ισχύς} = \text{Ισχύς Μεταγωγής} + \text{Εσωτερική Ισχύς}$$

Υπολογισμός της κατανάλωσης ισχύος των κελιών.

Η συνολική κατανάλωση ισχύος ενός CMOS ολοκληρωμένου κυκλώματος είναι το άθροισμα της στατικής και της δυναμικής κατανάλωσης ισχύος. Σε ένα datasheet αναγράφεται τόσο η στατική όσο και η δυναμική κατανάλωση ισχύος για ένα κελί.

Κατανάλωση Στατικής Ισχύος.

Στα περισσότερα κυκλώματα, το μεγαλύτερο μέρος της κατανάλωσης στατικής ισχύος είναι από την κατανάλωση της ισχύος διαρροής, και είναι ανεξάρτητη από την συχνότητα μεταγωγής του κελιού. Η συνολική κατανάλωση στατικής ισχύος για ένα μπλοκ λογικής είναι το άθροισμα της πληροφορίας για την στατική ισχύ για κάθε στοιχείο της βιβλιοθήκης που χρησιμοποιείται στο μπλοκ. Στο datasheet η στατική ισχύς είναι σε μονάδες microwatts.

Κατανάλωση Δυναμικής Ισχύος.

Η κατανάλωση ισχύος ανά μεταγωγή είναι άμεσα συνυφασμένη με την δραστηριότητα μεταγωγής του κυκλώματος. Στην σημερινή CMOS τεχνολογία, η κατανάλωση δυναμικής ισχύος αποτελεί το μεγαλύτερο ποσοστό της κατανάλωσης. Στο datasheet η κατανάλωση δυναμικής ενέργειας παρουσιάζεται σε μονάδες picojoules ανά μεταγωγή. Η πληροφορία αυτή είναι η ενέργεια ανά μεταγωγή, και επιπρόσθετα η ισχύς που καταναλώνεται όταν φορτίζονται και εκφορτίζονται οι fanout load capacitances. Τέλος, η πληροφορία αυτή δείχνει την εσωτερική ισχύ για μια δοσμένη μεταγωγή, συμπεριλαμβανομένου τόσο την εσωτερική μεταγωγή αλλά και τις επιδράσεις από τα βραχυκυκλώματα.

Υπολογισμός της κατανάλωσης Ισχύος.

Για μια ακριβή εκτίμηση της κατανάλωσης ισχύος για ένα κελί πρέπει να συμπεριλάβουμε στον υπολογισμό μας τα παρακάτω:

- Την κατανάλωση στατικής ισχύος.
- Την κατανάλωση ενέργειας κατά την ανοδική και καθοδική μεταγωγή.
- Την κατανάλωση ενέργειας κατά την φόρτιση και εκφόρτιση του fanout load (αν φυσικά η μεταγωγή προκαλεί αλλαγή στην έξοδο).
- Την συχνότητα μεταγωγής.

Για να υπολογίσουμε την κατανάλωση ισχύος για ένα κελί της βιβλιοθήκης σε μια συγκεκριμένη συχνότητα χρησιμοποιούμε την παρακάτω σχέση:

$$P_{diss} = (E_{rise} + E_{fall} + (C_{fanout} \cdot V^2)) \cdot F_{switching} + P_{static}$$

όπου:

P_{diss}	: Η κατανάλωση ισχύος της πύλης (uW).
E_{rise}	: Η ενέργεια την μεταγωγής ανόδου (pJ).
E_{fall}	: Η ενέργεια την μεταγωγής καθόδου (pJ).
C_{fanout}	: Η χωρητικότητα του φορτίου εξόδου (pF), ο αριθμός των φορτίων πολλαπλασιασμένος με την τιμή ενός standard φορτίου.
V	: Η τάση τροφοδοσίας (V).
$F_{switching}$: Η συχνότητα μεταγωγής (MHz).
P_{static}	: Η στατική κατανάλωση ισχύος του κελιού (uW).

Σημείωση: η ποσότητα $C_{fanout} \cdot V^2$ πρέπει να λαμβάνεται υπόψη μόνο αν η σχετιζόμενη μεταγωγή προκαλεί αλλαγή στην έξοδο.

Παράδειγμα: θεωρήστε μια σχεδίαση με συχνότητα μεταγωγής 100 MHz. Χρησιμοποιούμε την εξίσωση για να υπολογίσουμε την κατανάλωση ισχύος μιας πύλης NAND 2-εισόδων με τιμή fanout 4, και με τις παρακάτω τιμές για την μεταγωγή από το pin A1 στο Pin Z.

$$E_{rise} = 0.0006pJ \text{ (from pin B to pin CO)}$$

$$E_{fall} = 0.0008pJ \text{ (from pin B to pin CO)}$$

$$C_{fanout} = 4 \cdot 0.005pF = 0.02pF$$

$$V = 1.5V$$

$$F_{switching} = 100MHz$$

$$P_{static} = 2.335 \mu W$$



Σύμφωνα με την παραπάνω σχέση η κατανάλωση ισχύος της πύλης NAND είναι:

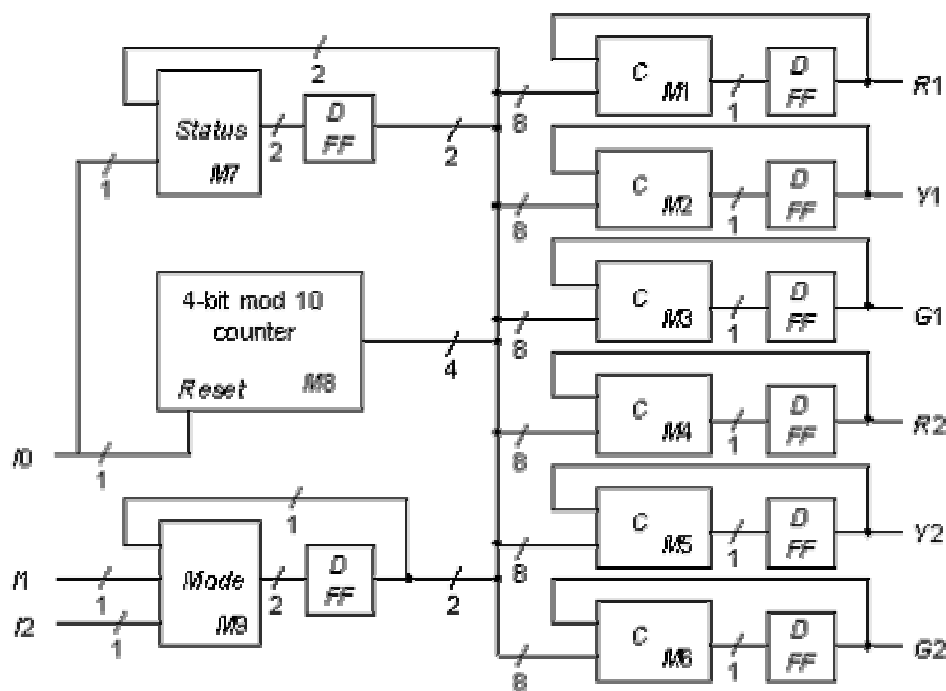
$$P_{diss} = (0.0006 + 0.0008 + (0.02 \cdot 1.5^2)) \cdot 100 + 2.335$$

Άρα:

$$P_{diss} = 0.0464 \cdot 100 + 2.335 \Rightarrow$$

$$P_{diss} = 6.975 \mu W.$$

2



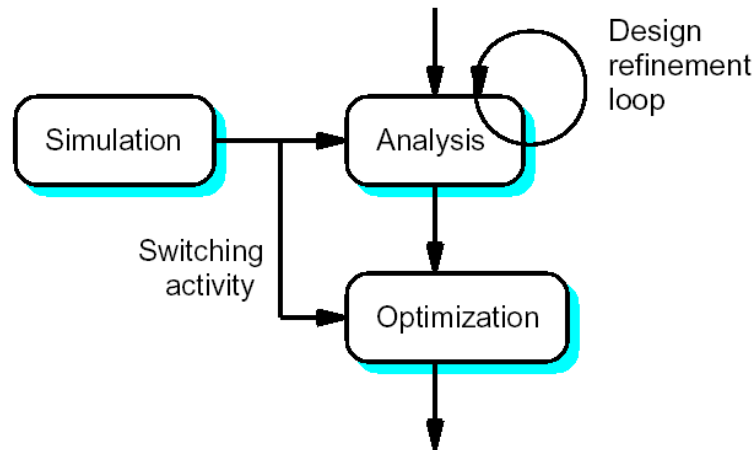
s298 - traffic light controller - ISCAS 89

Σύνθεση κυκλωμάτων χαμηλής κατανάλωσης ισχύος με τη χρήση του Power Compiler

Στο κεφάλαιο αυτό θα περιγραφούν οι μεθοδολογίες που χρησιμοποιήθηκαν για να αναλύσουμε ενεργειακά τα συνδυαστικά και ακολουθιακά κυκλώματα benchmark με σκοπό να επιτύχουμε βελτιώσεις στην κατανάλωση τους. Κατά το σχεδιασμό, ενός ψηφιακού κυκλώματος ξεκινάμε από ένα υψηλό επίπεδο περιγραφής του κυκλώματος (RTL και η γλώσσα είναι VHDL) και καταλήγουμε στην τελική υλοποίηση του σε επίπεδο πυλών (gate level). Χρησιμοποιώντας τον Design Compiler και τον Power Compiler θα καταδείξουμε την βελτίωση από πλευράς ισχύος που μπορούμε να επιτύχουμε αν λάβουμε υπόψη την κατανάλωση ισχύος σαν σχεδιαστική παράμετρο. Σαν απώτερο σκοπό μας έχουμε να περιγράψουμε την κατανάλωση ισχύος των υπό ανάλυση κυκλωμάτων με την μεταβολή των απαιτήσεων χρονισμού.

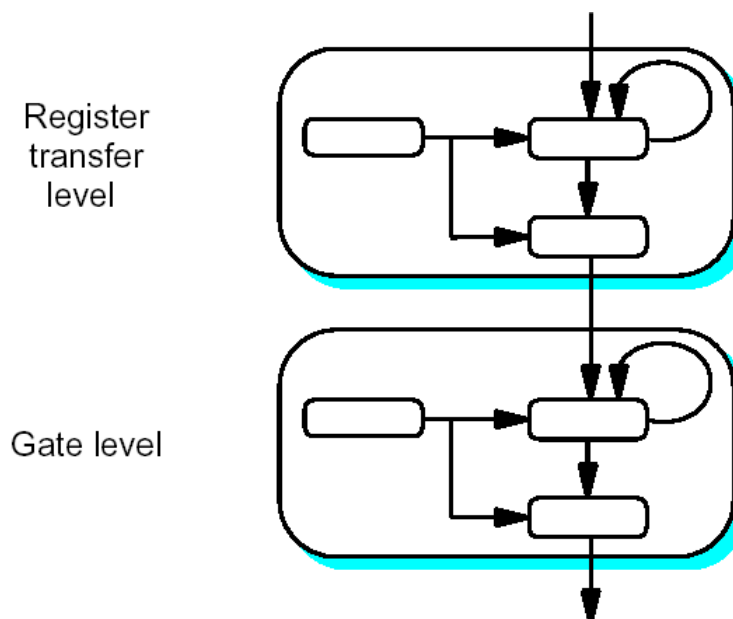
Η ροή της μεθοδολογίας για την ισχύ.

Σε κάθε επίπεδο σχεδιασμού, χρησιμοποιείται προσομοίωση (simulation), ανάλυση (analysis) και βελτιστοποίηση (optimization) του κυκλώματος πριν μεταβούμε στο επόμενο χαμηλότερο επίπεδο. Η σχέση αυτών των τριών λειτουργιών φαίνεται παρακάτω στο σχήμα 2-1:



Σχήμα 2-1. Η σχέση των τριών λειτουργιών σε ένα επίπεδο.

Έχουμε, λοιπόν, προσομοίωση, ανάλυση και βελτιστοποίηση σε κάθε επίπεδο σχεδιασμού. Σε κάθε βήμα το κύκλωμα μας τελειοποιείται (Design refinement loop) με παρεχόμενες λειτουργίες. Από την προσομοίωση του κυκλώματος δημιουργείται η κατάλληλη πληροφορία για την δραστηριότητα μεταγωγής του κυκλώματος (switching activity) η οποία αποτελεί σημαντική πληροφορία για την αποδοτικότερη ανάλυση και βελτιστοποίηση του κυκλώματος πριν μεταβεί σε χαμηλότερο επίπεδο. Σημαντική είναι η μεθοδολογία μετάβασης από το ένα επίπεδο στο άλλο και η συμβατότητα των περιγραφών. Η πλήρης ροή φαίνεται παρακάτω στο σχήμα 2-2:



Σχήμα 2-2. Η ροή της μεθοδολογίας για την ισχύ από το RTL επίπεδο έως το επίπεδο πυλών.

Δραστηριότητα μεταγωγής του κυκλώματος (switching activity).

Όπως έχουμε αναφέρει η εσωτερική ενέργεια και οι μεταγωγές λογικών τιμών στα δίκτυα ενός κυκλώματος επηρεάζουν σημαντικά την κατανάλωση δυναμικής ισχύος σε ένα κύκλωμα. Για να επιτύχουμε την καλύτερη δυνατή βελτιστοποίηση της κατανάλωσης δυναμικής ισχύος ο Power Compiler χρειάζεται πληροφορία για το κύκλωμα. Η πληροφορία αυτή είναι η δραστηριότητα μεταγωγής του κυκλώματος (switching activity). Ο Power Compiler μοντελοποιεί την δραστηριότητα μεταγωγής του κυκλώματος σύμφωνα με τους όρους της στατικής πιθανότητας (static probability) και του ρυθμού μεταβολής κατάστασης (toggle rate):

- Στατική Πιθανότητα (SP0 ή SP1) : είναι η πιθανότητα ένα σήμα να είναι σε κάποια λογική κατάσταση και μπορεί να παίρνει τιμές από 0 έως 1. Μπορούμε να υπολογίσουμε την στατική πιθανότητα κατά την διάρκεια της προσομοίωσης συγκρίνοντας τον χρόνο που ένα σήμα είναι σε μια λογική τιμή με τον συνολικό χρόνο της προσομοίωσης. Για παράδειγμα, αν $SP1=0.70$, το σήμα είναι σε λογική κατάσταση 1 για το 70% του συνολικού χρόνου. Το λογισμικό της SYNOPSIS για μελέτες ισχύος χρησιμοποιεί το SP1 όταν μοντελοποιεί την δραστηριότητα μεταγωγής του κυκλώματος.
- Ρυθμός μεταβολής κατάστασης (toggle rate) : είναι ο αριθμός των logic-0-to-logic-1 και logic-1-to-logic-0 μεταγωγών ενός αντικειμένου του κυκλώματος (δικτύου ή ακροδέκτη) στην μονάδα του χρόνου. Ρυθμός μεταβολής κατάστασης έχει τον συμβολισμό TR.

Πριν από κάθε ανάλυση ισχύος χρειάζεται να σημειώνουμε την δραστηριότητα κάποιων ή και όλων των στοιχείων ενός κυκλώματος. Αυτό επιτυγχάνεται με την δημιουργία και την προσομοίωση κυματομορφών εισόδου για το κύκλωμα, όπου με κατάλληλες εισόδους προσπαθούμε να κρατήσουμε σε ειδικά αρχεία την δραστηριότητα του κυκλώματος για τον ορισμένο χρόνο προσομοίωσης. Στην περίπτωση που ζητήσουμε να γίνει καταγραφεί της δραστηριότητας για ορισμένα στοιχεία του κυκλώματος, τότε το λογισμικό της SYNOPSIS και ειδικότερα ο Power Compiler κατά την διάρκεια της ανάλυσης που επιδιώκει, τρέχει μηδενικής-καθυστερήσης προσομοίωση (zero-delay simulation) με σκοπό να υπολογίζει την δραστηριότητα για το υπόλοιπο κύκλωμα πριν ολοκληρώσει την ανάλυση ισχύος.

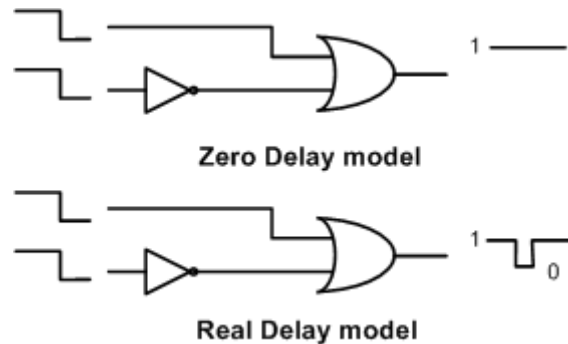
Μοντέλο καθυστέρησης (Delay Model).

Κατά την ανάλυση ισχύος είναι σημαντικό να γνωρίζουμε ποιο μοντέλο καθυστέρησης εφαρμόζεται. Τα μοντέλα είναι δύο:

- Μοντέλο μηδενικής καθυστέρησης (non-glitch, Zero Delay Model).
- Μοντέλο πραγματικής καθυστέρησης (Real Delay Model).

Ανάλογα , λοιπόν , με το μοντέλο που χρησιμοποιείται , οι τεχνικές ανάλυσης ισχύος μπορούν να μετρήσουν τις steady-state μεταγωγές (οι οποίες καταναλώνουν ισχύ, αλλά είναι απαραίτητες για να έχουμε σωστά υπολογιστικά αποτελέσματα) και τα hazards ή τα glitches (τα οποία καταναλώνουν ισχύ χωρίς όμως να συμβάλουν στον υπολογισμό κάποιου αποτελέσματος).

Όπως αναφέρθηκε και παραπάνω ο Power Compiler χρησιμοποιεί και τα δυο μοντέλα. Σύμφωνα με το πρώτο μοντέλο, θεωρούμε ότι οποιεσδήποτε μεταγωγές στις εισόδους του κυκλώματος διαδίδονται μέσα από τις πύλες του κυκλώματος χωρίς καθυστέρηση. Το άλλο μοντέλο χρεώνει σε κάθε πύλη μια καθυστέρηση και μπορεί έτσι να υπολογιστεί πλέον και ο αριθμός των hazards στο κύκλωμα. Όπως είναι φυσικό η χρήση του πραγματικού μοντέλου αυξάνει το χρόνο υπολογισμού της κατανάλωσης ισχύος αλλά προσφέρει πιο ακριβής αναλύσεις αυτής. Στο σχήμα 2-3 μπορούμε να δούμε τι επιπτώσεις έχει το κάθε μοντέλο:



Σχήμα 2-3. Η επίδραση του μοντέλου καθυστέρησης.

Η πολυπλοκότητα των δύο μοντέλων είναι :

- Πολυπλοκότητα για το Zero Delay Model :
 $O(n)$: όπου n ο αριθμός των πυλών.
- Πολυπλοκότητα για το Real Delay Model :
 $O(n^2)$: όπου n ο αριθμός των πυλών.

Υπολογισμός της κατανάλωσης ισχύος σε επίπεδο RTL.

Το λογισμικό της SYNOPSIS για τον υπολογισμό της κατανάλωσης ισχύος σε επίπεδο RTL, διαθέτει το εργαλείο RTL Power Estimator. Με την βοήθεια του εργαλείου αυτού μπορούμε στα πρώτα βήματα του σχεδιασμού να έχουμε μια εικόνα της κατανάλωσης ισχύος στο σύστημα μας. Το εργαλείο μπορεί να αναλύσει ενεργειακά τα synthesizable και τα instantiated κομμάτια του κυκλώματος. Με το εργαλείο αυτό επιτυγχάνουμε τα εξής:

- Από νωρίς στο σχεδιασμό έχουμε κάποιους αριθμούς για την κατανάλωση ισχύος. Αυτό βοηθά στο να κάνουμε καλύτερες προβλέψεις ως προς το τρόπο πακεταρίσματος (packaging) του συστήματος και των αναγκών του σε ισχύ μπαταρίας (battery requirements).
- Βοηθά σε αλλαγές της αρχιτεκτονικής του κυκλώματος από το υψηλό κίόλας επίπεδο βασισμένες σε πληροφορίες για την κατανάλωση .
- Σημαντική είναι και η εξακρίβωση hotspots ενός σύνθετου συστήματος. Σε περίπτωση που τα σημεία αυτά καταναλώνουν υψηλή ισχύ μπορούμε να επικεντρώσουμε το ενδιαφέρον σε αυτά και να επιτύχουμε καλύτερα αποτελέσματα.

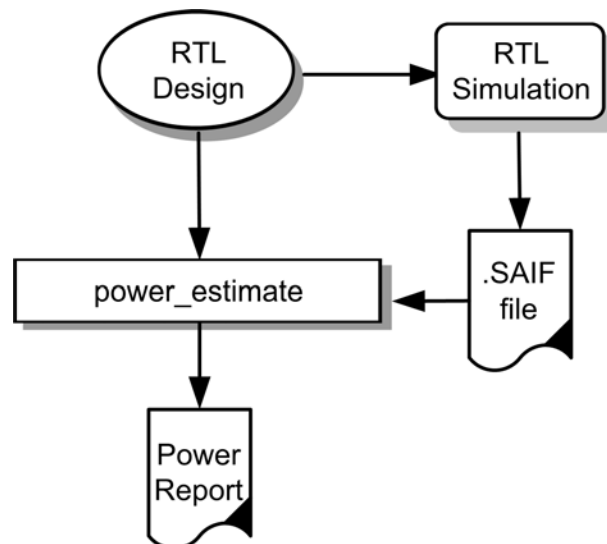
Ο RTL Power Estimator αναλυτικότερα.

Από το εργαλείο αυτό χρησιμοποιήσαμε δύο μεθοδολογίες για να υπολογίσουμε προσεγγιστικά την κατανάλωση ισχύος των κυκλωμάτων μας. Αυτές είναι:

- Προσεγγιστική Ανάλυση ενός βήματος (One step analysis approach) : Με την μεθοδολογία αυτή έχουμε μια προσεγγιστική ανάλυση της κατανάλωσης του κυκλώματος και των υπό-κυκλωμάτων αυτού για ένα συγκεκριμένο αρχείο που περιγράφει την δραστηριότητα μεταγωγής του κυκλώματος (.SAIF file).
- Αλληλεπιδρούσα Προσεγγιστική Ανάλυση (Interactive analysis approach): Η μεθοδολογία αυτή είναι παρόμοια με την πρώτη. Η σημαντική διαφορά αυτής είναι ότι παρέχει την δυνατότητα να πραγματοποιήσουμε αλληλεπιδραστικά ανάλυση what-if του κυκλώματος με διαφορετικά αρχεία .SAIF.

Προσεγγιστική Ανάλυση ενός βήματος (One step analysis approach).

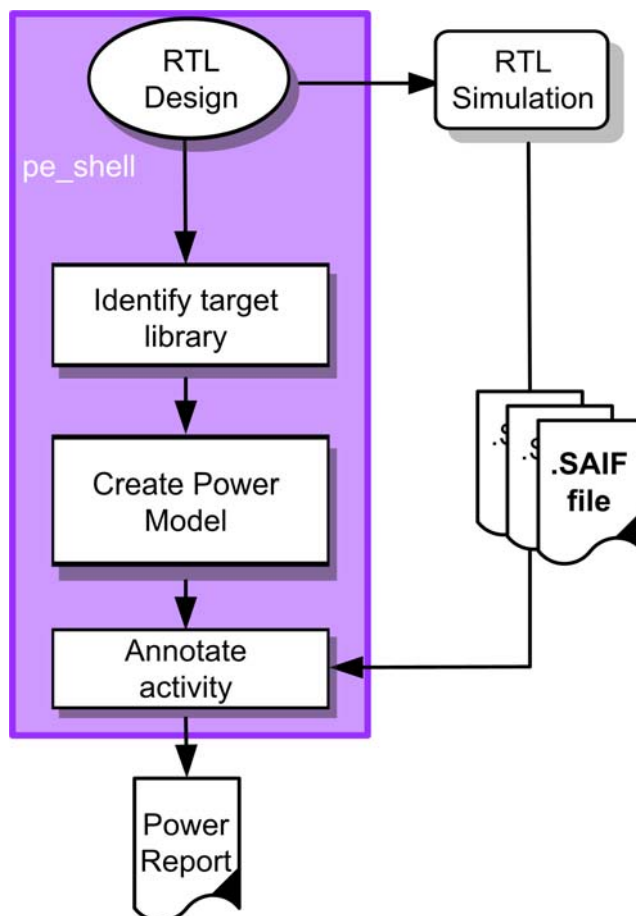
Σύμφωνα με την ανάλυση αυτή όλα επιτυγχάνονται με ένα και μόνο βήμα. Στο κέλυφος του Unix και χωρίς να ενεργοποιήσουμε κάποιο κέλυφος του λογισμικού της SYNOPSYS μπορούμε να καλέσουμε τον RTL Power Estimator με την εντολή `power_estimate`. Ως παράμετροι της εντολής αυτής είναι η τεχνολογική βιβλιοθήκη, το κατάλληλο αρχείο .SAIF και φυσικά τα απαιτούμενα .vhd αρχεία προς ανάλυση. Η ανάλυση αυτή είναι τεχνολογικά εξαρτώμενη, δηλαδή η `target library` είναι υποχρεωτικό να οριστεί. Στο σχήμα 2-4 φαίνεται η ροή των δεδομένων της παρούσας ανάλυσης:



Σχήμα 2-4. Η ροή της Προσεγγιστικής Ανάλυσης ενός βήματος.

Αλληλεπιδρούσα Προσεγγιστική Ανάλυση (Interactive analysis approach).

Στην περίπτωση που το κύκλωμα δεν αποτελείται από Verilog/VHDL αρχεία, δεν χρειάζεται να διαβάσουμε από πολλές work βιβλιοθήκες και θέλουμε να εφαρμόσουμε what-if ανάλυση, είναι εύλογο να εφαρμόσουμε την Αλληλεπιδρούσα Προσεγγιστική Ανάλυση στο κύκλωμα. Η ροή της εν λόγω ανάλυσης φαίνεται στο σχήμα 2-5:



Σχήμα 2-5. Η ροή της Αλληλεπιδρούσας Προσεγγιστικής Ανάλυσης.

Για να εφαρμόσουμε την ανάλυση αυτή πρέπει να κάνουμε τα εξής έξι βήματα:

1. Ξεκινάμε το κέλυφος `pe_shell` (κάτι που δεν ήταν απαραίτητο στην προηγούμενη προσέγγιση).
2. Ορίζουμε της βιβλιοθήκες που θέλουμε να χρησιμοποιήσουμε. Είναι καλό να ορίσουμε βιβλιοθήκες που είναι γραμμένες με πληροφoρία για ισχύ ώστε να επιτύχουμε καλύτερα αποτελέσματα.
3. Στο σημείο αυτό δημιουργούμε το μοντέλο της ισχύος με την εντολή `create_power_model`. Η εντολή αυτή διαβάζει τα αρχεία `.vhd` που θέλουμε να αναλύσουμε και δημιουργεί το μοντέλο. Όπως παρατηρείται δεν είναι απαραίτητο να χρησιμοποιήσουμε τις εντολές `analyze` και `elaborate` στην μέθοδο αυτή.

4. Διαβάζουμε με την εντολή `read_saif` την πληροφορία που είναι αποθηκευμένη στο `.SAIF` file και που προέκυψε μετά από την προσομοίωση του κυκλώματος.
5. Ζητούμε να μας παρουσιάσει αναφορές για την κατανάλωση ισχύος και την δραστηριότητα του κυκλώματος με τις εντολές `report_activity` και `report_rtl_power`.
6. Για να έχουμε προσεγγιστική ανάλυση με διαφορετικά `.SAIF` αρχεία αρκεί μόνο να επαναλάβουμε τα βήματα 4 και 5.

Υπολογισμός και βελτιστοποίηση της κατανάλωσης ισχύος σε επίπεδο πυλών.

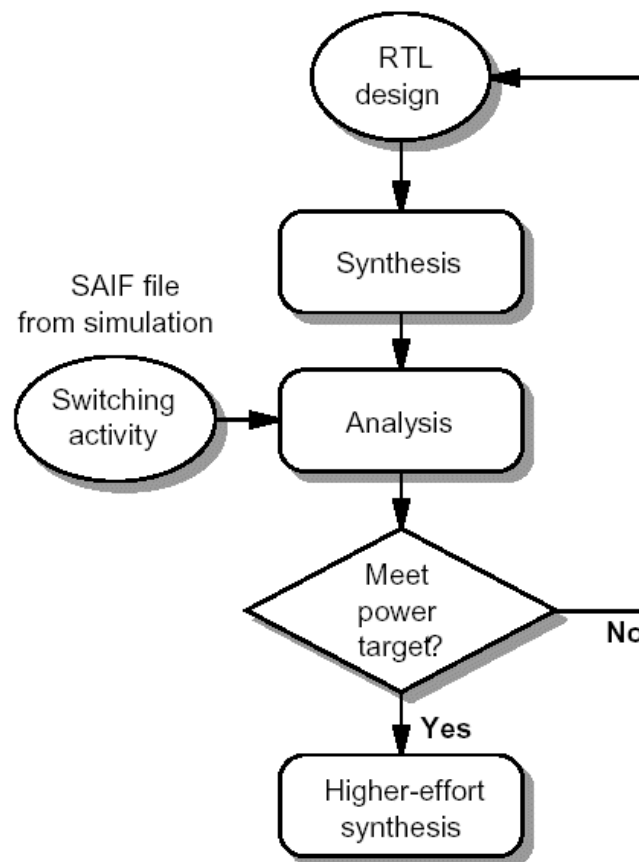
Στην ενότητα αυτή θα αναλύσουμε την μεθοδολογία για τον υπολογισμό και την βελτιστοποίηση της κατανάλωσης ισχύος σε επίπεδο πυλών. Θα δούμε αρχικά με ποιο τρόπο μπορούμε γρήγορα να έχουμε κάποιες αναφορές για την κατανάλωση ισχύος σε επίπεδο πυλών ώστε να έχουμε αλλαγές στην αρχιτεκτονική του κυκλώματος για καλύτερα αποτελέσματα. Στη συνέχεια θα αναπτύξουμε πλήρως την μεθοδολογία για τον υπολογισμό της κατανάλωσης και για την βελτιστοποίηση των αποτελεσμάτων μας. Αξίζει να σημειωθεί ότι ο Power Compiler λειτουργεί στο περιβάλλον (κέλυφος `dc_shell`) του Design Compiler. Κατά την διάρκεια που ο Design Compiler βελτιστοποιεί το κύκλωμα σε θέματα χρονισμού και μεγέθους πυλών, ο Power Compiler βελτιστοποιεί το κύκλωμα σε ότι αφορά την κατανάλωση δυναμικής και στατικής ισχύος.

Design Exploration με τη χρήση του Power Compiler.

Αν θέλουμε να χρησιμοποιήσουμε τον Power Compiler για να έχουμε κάποια γρήγορα αποτελέσματα σε επίπεδο πυλών ώστε να προβούμε σε αλλαγές της αρχιτεκτονικής του κυκλώματος ή για να συγκρίνουμε γρήγορα διάφορες αρχιτεκτονικές και τρόπους περιγραφής κυκλωμάτων (coding styles) προτείνουμε να εφαρμοστούν τα παρακάτω βήματα:

1. Δημιουργία των κατάλληλων `.SAIF` αρχείων (Forward – Backward). Στο βήμα αυτό είναι απαραίτητη προσομοίωση του κυκλώματος σε επίπεδο RTL.
2. Σύνθεση του κυκλώματος σε επίπεδο πυλών. Για ταχύτερα αποτελέσματα μπορούμε στην παράμετρο `-map_effort` της εντολής `compile` να επιλέξουμε `medium` που είναι και η default τιμή.
3. Προσάρτηση του αρχείου `backward .SAIF` στην προσομοίωση του κυκλώματος που είναι πλέον σε επίπεδο πυλών.
4. Χρήσης της εντολής `report_power` για να έχουμε αναφορά για την κατανάλωση ισχύος στο κύκλωμα μας. Έχουμε αναφέρει ότι ο Power Compiler εφαρμόζει `zero-delay` προσομοίωση στα αντικείμενα του κυκλώματος που δεν υπάρχει πληροφορία για τη δραστηριότητα μεταγωγής τους.
5. Επανάληψη των βημάτων 1 έως 4 για διάφορες αρχιτεκτονικές και τρόπους περιγραφής κυκλωμάτων (coding styles).

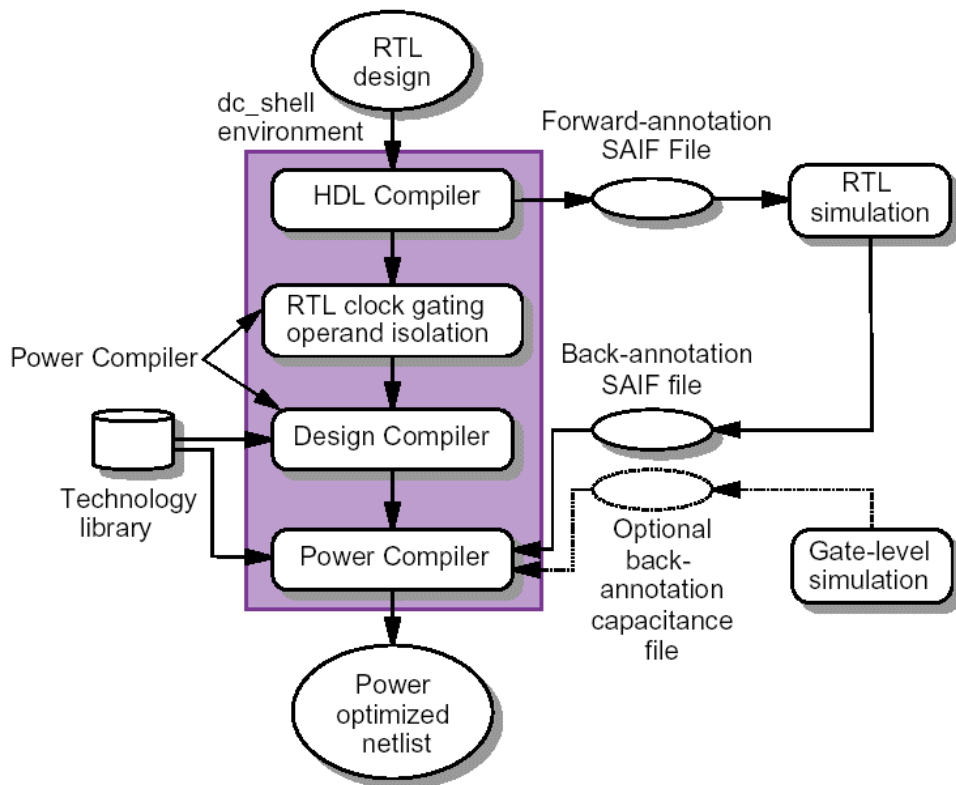
Αφού τελειοποιηθεί το κύκλωμα σε επίπεδο RTL μετά της αναγκαίες επαναλήψεις της μεθοδολογίας τότε το κύκλωμα είναι έτοιμο για σύνθεση με την εντολή compile να έχει παράμετρο `-map_effort` ίση με high. Η μεθοδολογία αυτή φαίνεται παρακάτω στο σχήμα 2-6:



Σχήμα 2-6. Design Exploration με την χρήση του Power Compiler.

Η ροή της μεθοδολογίας αναλυτικότερα.

Στο σχήμα 2-7 γίνεται μια παρουσίαση της ροής των δεδομένων στην προσπάθεια μας να αναλύσουμε τα ψηφιακά κυκλώματα και να τα βελτιστοποιήσουμε ως προς την κατανάλωση ισχύος. Η αναλυτική παρουσίαση των πειραματικών μετρήσεων θα γίνει στο κεφάλαιο 4. Αξίζει στο σημείο αυτό να σημειωθεί ότι το λογισμικό της SYNOPSIS, Power Compiler & Design Compiler, λειτουργούν στο ίδιο περιβάλλον (κέλυφος `dc_shell`). Η ροή των δεδομένων ξεκινά από το RTL επίπεδο και καταλήγει σε μια βελτιστοποιημένη netlist σε επίπεδο πυλών. Για να προετοιμαστεί το περιβάλλον αυτό για να δουλέψει αποδοτικά χρειάζονται πληροφορίες από εξωτερικά εργαλεία. Για την καταγραφή της δραστηριότητας μεταγωγής του κυκλώματος πρέπει να πραγματοποιηθούν οι απαραίτητες προσομοιώσεις. Στην παρούσα διπλωματική αυτή η εργασία πραγματοποιήθηκε στον MTI/VHDL simulator και τα κατάλληλα testbench παράχθηκαν αυτόματα από τα πηγαία αρχεία .vhd με την χρήση της scripting γλώσσας perl. Επίσης, μια ακόμα εξωτερική πληροφορία είναι και οι τεχνολογικές βιβλιοθήκες που στην δική μας περίπτωση είναι της εταιρίας UMC. Όλα αυτά συνεργάστηκαν άψογα σε περιβάλλον Unix και η ροή της πληροφορίας δεν είχε προβλήματα συμβατότητας.

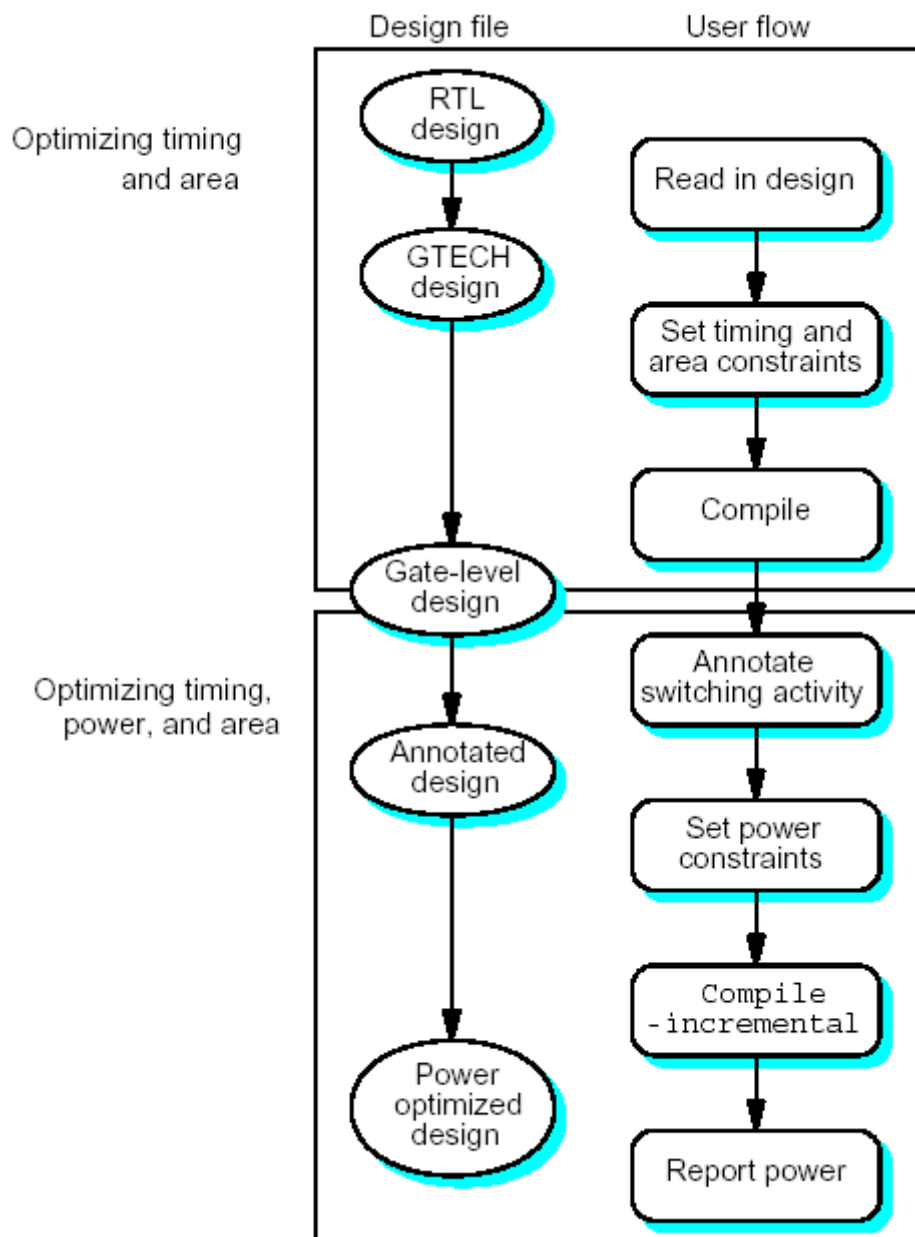


Σχήμα 2-7. Η μεθοδολογία για την ισχύ και η ροή των δεδομένων.

Βελτιστοποίηση σε επίπεδο πυλών.

Στο σχήμα 2-7 παρουσιάστηκε μια εικόνα της μεθοδολογίας με όλες τις απαιτούμενες εξωτερικές πληροφορίες. Ας δούμε τώρα ποια είναι η ροή μέσα στο περιβάλλον του `dc_shell`. Στο σχήμα 2-8 απεικονίζονται τα εσωτερικά βήματα για την βελτιστοποίηση του κυκλώματος. Όπως παρατηρούμε η όλη διαδικασία χωρίζεται σε δύο προσομοιώσεις. Κατά την διάρκεια της πρώτης σκοπός μας είναι να δημιουργήσουμε μια netlist η οποία να είναι βελτιστοποιημένη ως προς το χρονισμό και το μέγεθος του κυκλώματος. Έτσι καταλήγουμε σε ένα κύκλωμα που έχει συντεθεί πλέον σε επίπεδο πυλών και είναι σε θέση να δεχτεί την πληροφορία για την δραστηριότητα μεταγωγής του κυκλώματος. Αφού, λοιπόν, ο Design Compiler διαβάσει το αρχείο .SAIF και τεθούν διάφοροι παράμετροι για βελτιστοποίηση της ισχύος τότε από κοινού Power Compiler & Design Compiler βελτιστοποιούν το κύκλωμα ως προς τον χρονισμό, την κατανάλωση ισχύος και ο μέγεθος του. Καταλήγουμε, λοιπόν, σε μια βελτιστοποιημένη netlist με δύο προσομοιώσεις, μια απλή στο πρώτο επίπεδο της μεθοδολογίας και μια πιο απαιτητική(με την χρήση της παραμέτρου `-incremental`) στο δεύτερο επίπεδο. Στο τελικό σημείο μπορούμε να αποφασίσουμε αν το αποτέλεσμα ανταποκρίνεται στις προσδοκίες μας ή όχι. Αν όλα είναι ικανοποιητικά μπορούμε να προχωρήσουμε στον φυσικό σχεδιασμό του κυκλώματος σε επίπεδο transistor. Αν όμως συμβαίνει το αντίθετο μπορούμε να επαναλάβουμε την μεθοδολογία και να δοκιμάσουμε καινούργιες ρυθμίσεις. Κάτι που είναι σημαντικό για να επιτύχουμε καλύτερα αποτελέσματα είναι η επιλογή του αρχείου .SAIF. Διαφορετική είναι η πληροφορία που περιέχει αν προέρχεται από προσομοίωση του RTL κυκλώματος, της αρχικής μη βελτιστοποιημένης netlist ή τέλος από προσομοίωση της βελτιστοποιημένης netlist. Αξίζει εδώ να σημειωθεί ότι τα αρχεία .SAIF που είναι προϊόντα RTL προσομοίωσης δίνουν πιο γρήγορα

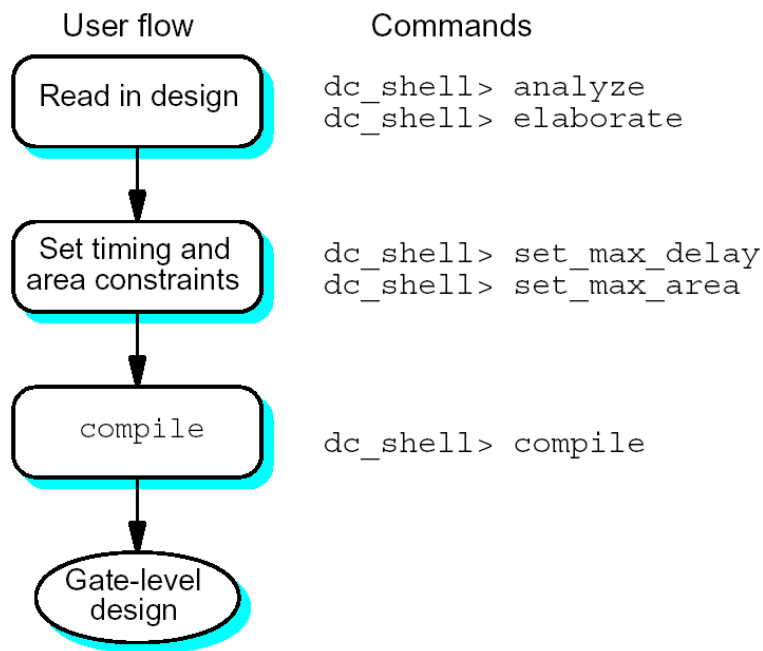
αποτελέσματα που είναι κοντά σε αυτά που προκύπτουν με τα άλλα αρχεία .SAIF. Πρέπει όμως να αναφέρουμε ότι με αρχεία .SAIF που προέρχονται από προσομοίωση σε επίπεδο πυλών δίνουν πιο ακριβή αποτελέσματα. Στο σχήμα 2-8 μπορούμε να δούμε την ροή της μεθοδολογίας:



Σχήμα 2-8. Η μεθοδολογία για την ισχύ και η ροή μέσα στο `dc_shell`.

Βελτιστοποίηση χρονισμού και μεγέθους του κυκλώματος.

Αφού καταλήξουμε στην καταλληλότερη αρχιτεκτονική μπορούμε να προχωρήσουμε στην σύνθεση του κυκλώματος σε επίπεδο πυλών. Στο σχήμα 2-9 παρουσιάζονται μαζί με τα απαραίτητα βήματα και οι εντολές που πρέπει να εισαχθούν στο περιβάλλον του `dc_shell`:



Σχήμα 2-9. Βελτιστοποίηση χρονισμού και μεγέθους του κυκλώματος.

Καταλήγουμε σε μια netlist η οποία είναι έτοιμη να δεχθεί την πληροφορία που έχει το .SAIF αρχείο. Για να το επιτύχουμε αυτό τα βήματα είναι τα παρακάτω:

1. Για να διαβάσουμε το RTL κύκλωμα στην μνήμη χρησιμοποιούμε της εντολές analyze και elaborate. Στο τέλος του βήματος αυτού έχουμε το κύκλωμα στην μνήμη και σε μορφή GTECH ανεξάρτητη από βιβλιοθήκες.
2. Στο βήμα αυτό θέτουμε παραμέτρους για το χρονισμό και το μέγεθος του κυκλώματος με της εντολές set_max_delay και set_max_area. Εδώ διαβάζονται και στην μνήμη και οι απαραίτητες τεχνολογικές βιβλιοθήκες που έχουν οριστεί για να χρησιμοποιηθούν. Εδώ μπορούν να τεθούν και παράμετροι που ενεργοποιούν διάφορες ρυθμίσεις των βιβλιοθηκών.
3. Συνθέτουμε το κύκλωμα με την εντολή compile. Η εντολή compile έχει για την παράμετρο -map_effort τρεις επιλογές: low, medium, high. Για να καταλήξουμε σε μια netlist όπου μπορούμε να προσαρτήσουμε πληροφορία από αρχεία .SAIF αρκεί η default τιμή που είναι η medium.

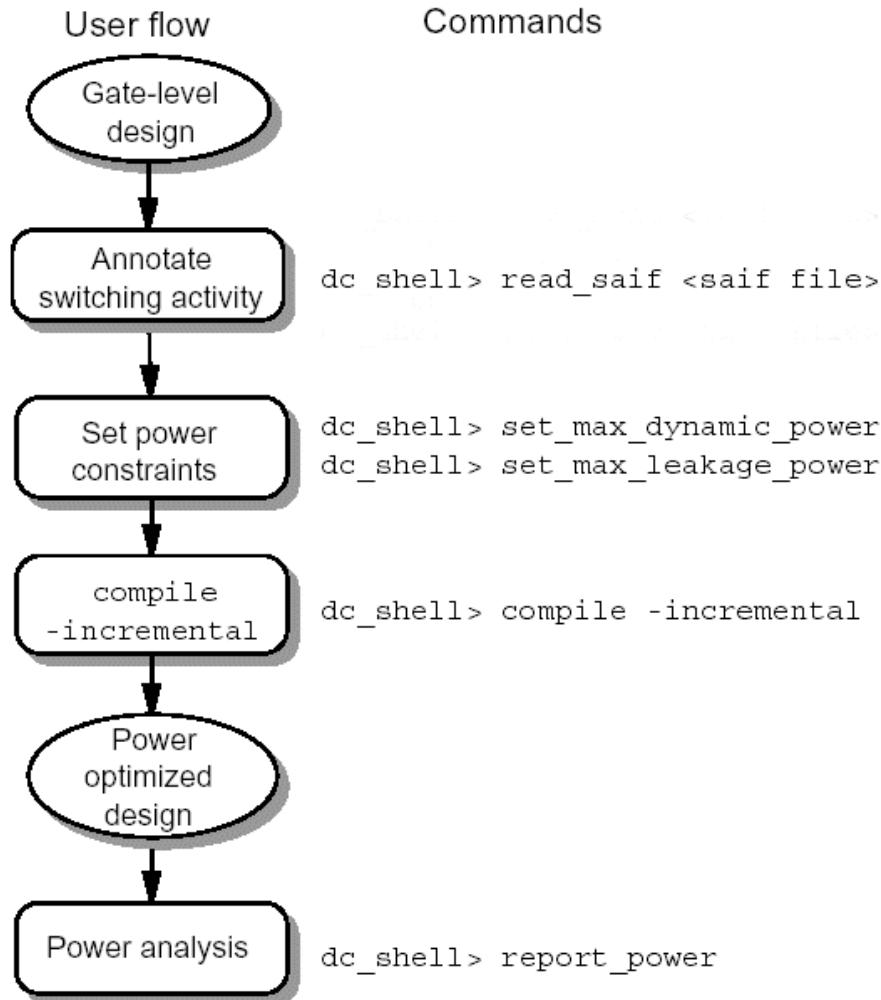
Βελτιστοποίηση της κατανάλωσης ισχύος του κυκλώματος.

Η επόμενη κίνηση είναι η βελτιστοποίηση της κατανάλωσης της ισχύος του κυκλώματος. Τα βήματα που πρέπει να ακολουθήσουμε για να το επιτύχουμε αυτό είναι τα παρακάτω:

1. Προσομοίωση του κυκλώματος σε επίπεδο RTL ή επίπεδο πυλών για την παραγωγή του .SAIF αρχείου.
2. Προσάρτηση της πληροφορίας του αρχείου .SAIF για την προσομοίωση στο περιβάλλον του dc_shell.
3. Θέτουμε της παραμέτρους ισχύος για να έχουμε βελτιστοποίηση της κατανάλωσης ισχύος.

4. Προσομοίωση του κυκλώματος.
5. Αναφορές της ανάλυσης ισχύος του κυκλώματος.

Στο σχήμα 2-10 παρουσιάζονται τα βήματα αυτά και παράλληλα και οι βασικές εντολές που εισάγονται στο περιβάλλον του dc_shell:



Σχήμα 2-10. Βελτιστοποίηση κατανάλωσης ισχύος του κυκλώματος.

Προσομοίωση του κυκλώματος για την παραγωγή του .SAIF αρχείου.

Κατά την διάρκεια της βελτιστοποίησης, ο Power Compiler χρησιμοποιεί το αρχείο .SAIF για να υπολογίσει μια συνάρτηση κόστους της ισχύος (power cost function). Ο Power Compiler χρησιμοποιεί αυτή την συνάρτηση για να παίρνει αποφάσεις στα διάφορα βήματα της μεθοδολογίας βελτιστοποίησης της ισχύος.

Είναι προτεινόμενο, όσο αυτό είναι εφικτό, να δημιουργούμε εισόδους για την προσομοίωση που να ανταποκρίνονται στην μέση συμπεριφορά του κυκλώματος. Αυτό κάνει πιο αντιπροσωπευτικό το .SAIF αρχείο και έχει ως αποτέλεσμα ο Power Compiler να υπολογίζει με μεγαλύτερη ακρίβεια την συνάρτηση κόστους της ισχύος.

Εισαγωγή των παραμέτρων ισχύος.

Οι παράμετροι ισχύος είναι και οι στόχοι μας για της βελτιστοποίηση της κατανάλωσης της ισχύος. Ο Design Compiler ελέγχει αν έχουν τεθεί παράμετροι ισχύος. Αν υπάρχει έστω και μια παράμετρος τότε καλείται ο Power Compiler για να βελτιστοποιήσει το κύκλωμα ως προς την κατανάλωση ισχύος.

Ο Power Compiler υποστηρίζει δύο εντολές για παραμέτρους ισχύος:

1. `set_max_dynamic_power`.
2. `set_max_leakage_power`.

Ο Design Compiler και Power Compiler συνεργάζονται μαζί για να βελτιστοποιήσουν το χρονισμό, την κατανάλωση ισχύος και το μέγεθος του κυκλώματος, με αυτή την σειρά προτεραιότητας.

Προσομοίωση με την χρήση της επιλογής incremental.

Αφού έχουμε θέσει της παραμέτρους ισχύος, μπορούμε να προσομοιώσουμε το κύκλωμα με χρήση της επιλογής incremental για να βελτιστοποιήσουμε την κατανάλωση ισχύος. Η χρήση της επιλογής incremental δηλώνει ότι η δομή των πυλών της netlist που δημιουργήθηκε από την πρώτη προσομοίωση είναι η βάση πάνω στην οποία θα γίνει η βελτιστοποίηση σύμφωνα με της παραμέτρους για την ισχύ. Η παράμετροι που είχαν τεθεί για τον χρονισμό και το μέγεθος του κυκλώματος διατηρούνται, απλά προστίθενται και οι παράμετροι για την ισχύ. Στην προσομοίωση αυτή, και σύμφωνα με απόψεις πολλών σχεδιαστών, η επιλογή `-map_effort` γίνεται πλέον high. Φυσικά, αυξάνεται ο χρόνος προσομοίωσης αλλά τα αποτελέσματα είναι ικανοποιητικότερα.

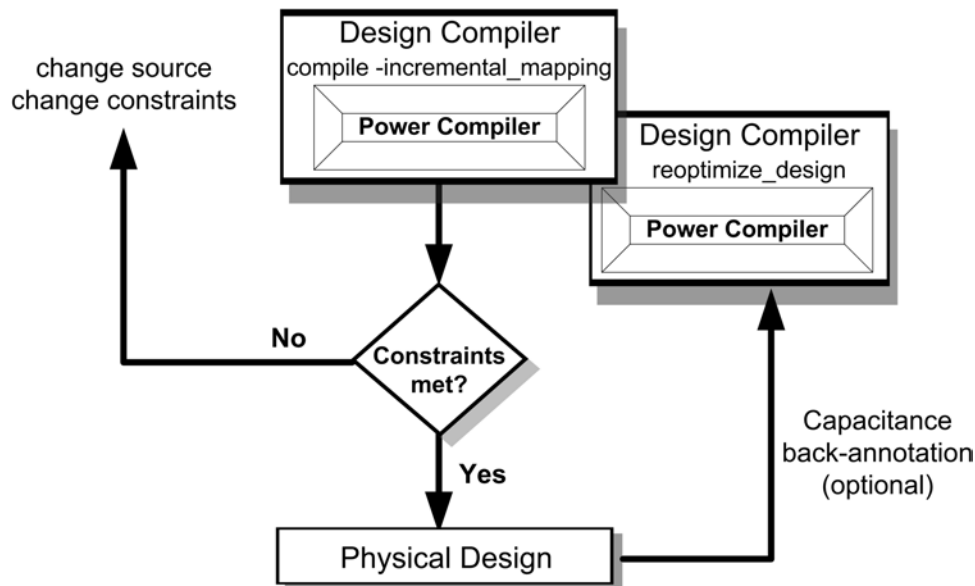
Η βελτιστοποίηση επιτυγχάνεται σύμφωνα με τις εξής προτεραιότητες:

1. Παράμετροι για του κανόνες σχεδιασμού του κυκλώματος (Design Rule Constraints).
2. Χρονισμός (Timing).
3. Δυναμική ισχύς (Dynamic Power).
4. Στατική ισχύος (Static Power).
5. Μέγεθος κυκλώματος (Area).

Οι παράμετροι για του κανόνες σχεδιασμού του κυκλώματος (Design Rule Constraints) είναι συνήθως οι πιο σημαντικές παράμετροι για ένα κύκλωμα. Οι παράμετροι αυτοί είναι περιορισμοί που απορρέουν από τις δυνατότητες της τεχνολογικής βιβλιοθήκης, όπως είναι max fan-out, max transition and max capacitance. Αποτελούν, λοιπόν, τις μοναδικές παραμέτρους που ποτέ ο Power Compiler δεν πρόκειται να παραβιάσει για να επιτύχει καλύτερο χρονισμό, ισχύ ή μέγεθος. Οι παράμετροι αυτοί ορίζονται από την τεχνολογική βιβλιοθήκη και μπορούμε να τις υπερπηδήσουμε θέτοντας νέες πιο περιοριστικές τιμές. Στην παρούσα διπλωματική στο συγκεκριμένο θέμα αρκεστήκαμε στο να επιλέξουμε από τις ήδη διαθέσιμες ρυθμίσεις που παρείχαν οι βιβλιοθήκες και να αφήσουμε να δουλέψει η μεθοδολογία με τους περιορισμούς της κάθε τεχνολογίας.

Αποτίμηση των αποτελεσμάτων.

Αφού βελτιστοποιηθεί το κύκλωμα μπορούμε με την εντολή `report_constraints` να εξετάσουμε ποιες από τις δοθείσες παραμέτρους ικανοποιήθηκαν και ποιες όχι. Στην περίπτωση που όλες οι παράμετροι έχουν ικανοποιηθεί μπορούμε να συνεχίσουμε στον φυσικό σχεδιασμό και να προσομοιώσουμε το κύκλωμα σε επίπεδο transistor ώστε να αποκτήσουμε και πληροφορία για την χωρητικότητα των αντικειμένων του κυκλώματος. Στην παρούσα διπλωματική αυτό δεν ήταν εφικτό λόγω της έλλειψης του `physical compiler`. Με τη νέα αυτή πληροφορία μπορούμε να προσομοιώσουμε ξανά το κύκλωμα για περαιτέρω βελτιστοποίηση.

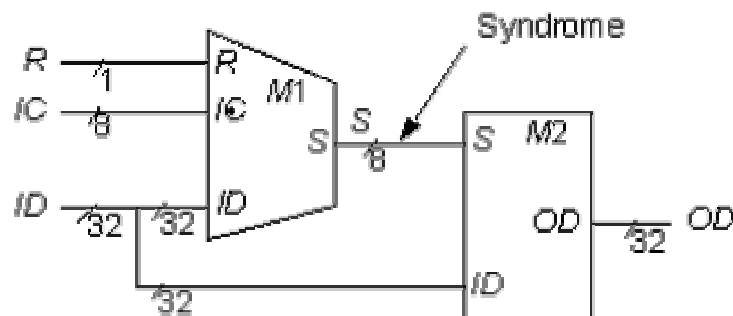


Σχήμα 2-11. Έλεγχος ικανοποίησης των σχεδιαστικών απαιτήσεων.

Στην περίπτωση που κάποια ή κάποιες παράμετροι δεν έχουν ικανοποιηθεί μπορούμε να κάνουμε τις εξής κινήσεις:

1. Να αλλάξουμε την RTL περιγραφή του κυκλώματος.
2. Να χαλαρώσουμε τις παραμέτρους ισχύος.
3. Να χαλαρώσουμε άλλες παραμέτρους που μπορεί να επηρεάζουν την βελτιστοποίηση.
4. Να αναζητήσουμε περισσότερες δυνατότητες της εντολής `compile`.

3



c499 - 32-bit SEC circuit - ISCAS 85

Καταγραφή της δραστηριότητας μεταγωγής του κυκλώματος με την χρήση VHDL προσομοίωσης

Ο Power Compiler χρειάζεται πληροφορία για τη δραστηριότητα μεταγωγής του κυκλώματος ώστε να επιτύχει την ανάλυση και βελτιστοποίηση της κατανάλωσης ισχύος. Στο κεφάλαιο αυτό θα παρουσιάσουμε το περιβάλλον στο οποίο έγιναν οι προσομοιώσεις σε επίπεδο RTL και επίπεδο πυλών. Πρέπει να αναφέρουμε ότι οι προσομοιώσεις έγιναν με το εργαλείο προσομοίωσης της εταιρίας Modeltech και πιο συγκεκριμένα με τον MTI simulator που αποτελεί ένα καταξιωμένο και επαγγελματικό εργαλείο H/W CAD. Η έκδοση του εργαλείου που χρησιμοποιήθηκε είναι για το λειτουργικό sun solaris 2.8 (32 bit) και ήταν το μοναδικό εργαλείο που μπορούσε να συνεργαστεί άψογα με το λογισμικό της SYNOPSYS σύμφωνα με το DPFLI interface. Θα παρουσιαστούν, λοιπόν, όλες οι απαιτούμενες διαδικασίες που έγιναν για να επιτύχουμε την καταγραφή της δραστηριότητας μεταγωγής του κυκλώματος.

Τα .SAIF αρχεία και η χρήση τους.

Γνωρίζουμε ότι για να καταφέρει ο Power Compiler να βελτιστοποιήσει την κατανάλωση των κυκλωμάτων μας θα πρέπει να διαθέτει την απαραίτητη πληροφορία για την δραστηριότητα μεταγωγής του κυκλώματος. Έχουμε αναφέρει ότι για να το επιτύχουμε αυτό προσομοιώνουμε το κύκλωμα και καταγράφουμε την δραστηριότητα μεταγωγής του σε .SAIF αρχεία.

Αν θέλουμε να προσομοιώσουμε το κύκλωμα σε επίπεδο RTL, ο Power Compiler μπορεί να συνεργαστεί άψογα με το .SAIF αρχείο που παράγεται και να δώσει ικανοποιητικά αποτελέσματα. Στην περίπτωση που η προσομοίωση γίνεται σε επίπεδο πυλών, τότε έχουμε πιο ακριβή αποτελέσματα όμως σύμφωνα και με απόψεις πολλών σχεδιαστών η τακτική αυτή είναι ιδιαίτερα χρονοβόρα, πράγμα που το διαπιστώσαμε και από την προσωπική μας ενασχόληση.

Υπάρχουν διαφόρων ειδών .SAIF αρχεία. Για παράδειγμα τόσο στην RTL προσομοίωση όσο και σε προσομοίωση σε επίπεδο πυλών υπάρχουν .SAIF forward-annotation (θα αναφέρετε στην εργασία αυτή ως fwd-SAIF) και .SAIF back-annotation (θα αναφέρετε στην εργασία αυτή ως back-SAIF) αρχεία. Αυτά όμως δεν έχουν τα ίδια χαρακτηριστικά αφού όπως και θα αναφερθεί παρακάτω αναλυτικότερα ανάλογα με την περίπτωση καταγράφουν και διαφορετικές πληροφορίες.

Αν θέλουμε να έχουμε ακριβή ανάλυση και βελτιστοποίηση της κατανάλωσης ισχύος, είναι καλό να καταγράψουμε με προσοχή την συμπεριφορά των synthesis-invariant αντικειμένων του κυκλώματος κατά την RTL προσομοίωση. Τα synthesis-invariant είναι τα αντικείμενα εκείνα που δεν αλλάζουν κατά την διαδικασία της σύνθεσης του κυκλώματος σε επίπεδο πυλών, αυτά είναι οι είσοδοι (primary inputs), τα ακολουθιακά στοιχεία (sequential elements), τα μαύρα κουτιά (black boxes), οι συσκευές τριών καταστάσεων (three-state devices), ιεραρχικές πόρτες (hierarchical ports).

Σε επίπεδο πυλών μπορούμε να χρησιμοποιήσουμε fwd-SAIF αρχεία που προκύπτουν από της τεχνολογικές βιβλιοθήκες. Με την προσομοίωση σε επίπεδο πυλών μπορούμε να έχουμε καταγραφή της δραστηριότητας μεταγωγής όλων των αντικειμένων του κυκλώματος. Με ένα fwd-SAIF αρχείο από βιβλιοθήκη μπορούμε να καταγράψουμε την δραστηριότητα που οφείλεται σε εξαρτήσεις κατάστασης (state dependent) ή εξαρτήσεις διαδρομής (path-dependent). Υπάρχει μεθοδολογία για την παραγωγή αυτών των αρχείων η οποία όμως δεν θα αναλυθεί στην παρούσα εργασία αφού δεν εφαρμόστηκε. Ο λόγος είναι ότι βασική απαίτηση της μεθοδολογίας είναι η τεχνολογικές βιβλιοθήκες να προσφέρουν πληροφορία για την ισχύ λόγω εξαρτήσεων κατάστασης και εξαρτήσεων μονοπατιού, πράγμα που δεν είναι διαθέσιμο από τις βιβλιοθήκες UMC ή τουλάχιστον δεν ήταν εφικτό να την ανακτήσουμε με τα εργαλεία της SYNOPSYS.

Τα fwd-SAIF και back-SAIF ακολουθούν το πρότυπο που λέγεται, Switching Activity Interchange Format (SAIF). Το SAIF είναι ένα ASCII πρότυπο το οποίο έχει δημιουργηθεί από τους μηχανικούς της SYNOPSYS, για να έχουμε ανταλλαγή πληροφοριών μεταξύ των εργαλείων προσομοίωσης και των εργαλείων της SYNOPSYS για ισχύ.

Δεν συνεργάζονται όλα τα εργαλεία προσομοίωσης με το πρότυπο SAIF. Για το λόγο αυτό εμείς επιλέξαμε τον MTI simulator σε περιβάλλον Sun Solaris ο οποίος είναι ιδιαίτερα αποτελεσματικός. Επίσης, επειδή πολλά εργαλεία προσομοίωσης

χρησιμοποιούν το πρότυπο VCD (Value Change Dump), τα εργαλεία της SYNOPSIS προσφέρουν ένα interface μεταξύ VCD και SAIF. Ο λόγος που χρησιμοποιήσαμε τα αρχεία .SAIF είναι επειδή σύμφωνα με τους μηχανικούς της SYNOPSIS διαβάζονται πιο γρήγορα σε σχέση με τα αρχεία που προκύπτουν με την μετατροπή VCD σε SAIF. Επίσης, όπως είναι φανερό για να δημιουργήσουμε .SAIF αρχεία από VCD θέλουμε περισσότερα βήματα και η διαδικασία γίνεται χρονοβόρα.

Τα .SAIF αρχεία και η προσομοίωση σε RTL επίπεδο.

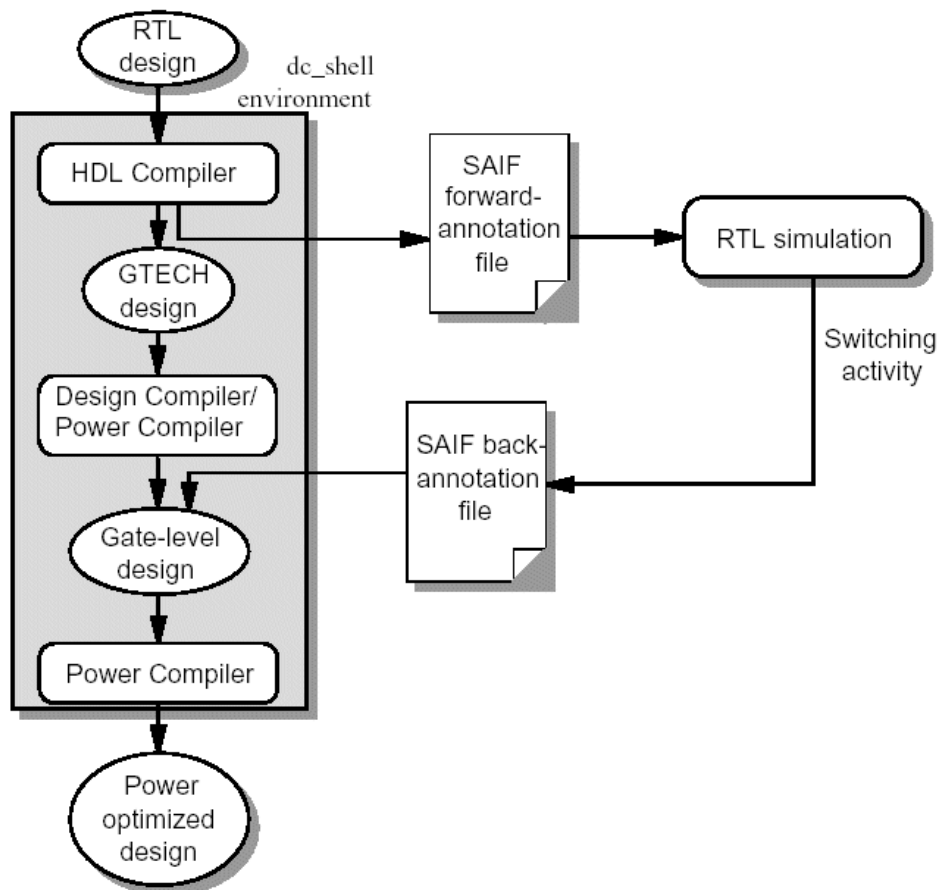
Ένα fwd-SAIF αρχείο καθοδηγεί την προσομοίωση για να καταγράψει την δραστηριότητα των εισόδων και των synthesis-invariant αντικειμένων του κυκλώματος. Το back-SAIF αρχείο περιέχει την πληροφορία της δραστηριότητας μεταγωγής του κυκλώματος που προέκυψε από την RTL προσομοίωση. Τα εργαλεία της SYNOPSIS μπορούν να διαβάσουν την πληροφορία αυτή και να την προσαρτήσουν στο κύκλωμα που προσομοιώνεται στο περιβάλλον του dc_shell.

Τα βασικά βήματα της μεθοδολογίας που ακολουθήσαμε για την καταγραφή και την προσάρτηση της πληροφορίας των .SAIF αρχείων είναι τα παρακάτω:

1. Άνοιγμα του περιβάλλοντος του dc_shell και αλλαγή της παραμέτρου power_preserve_rtl_hier_name σε true.
2. Δημιουργία του fwd-SAIF αρχείου με χρήση εντολής του dc_shell.
3. Εισαγωγή του fwd-SAIF αρχείου στην RTL προσομοίωση.
4. Δημιουργία του back-SAIF αρχείου από την RTL προσομοίωση.
5. Προσάρτηση της πληροφορίας του back-SAIF αρχείου στο κύκλωμα που προσομοιώνεται με την χρήση του dc_shell.

Όταν το κύκλωμα που είναι σε επίπεδο RTL εισαχθεί στον HDL Compiler δημιουργείται ένα νέο κύκλωμα σε ένα πρότυπο τεχνολογικά ανεξάρτητο που ονομάζεται GTECH. Χρησιμοποιώντας πληροφορία από το GTECH κύκλωμα, ο HDL Compiler δημιουργεί το fwd-SAIF αρχείο. Παρόλο που δημιουργούμε ένα fwd-SAIF αρχείο από ένα κύκλωμα σε πρότυπο GTECH (πρότυπο τεχνολογικά ανεξάρτητο), προσαρτούμε την πληροφορία του back-SAIF αρχείου σε ένα κύκλωμα που βρίσκεται σε επίπεδο πυλών (το οποίο είναι πρότυπο τεχνολογικά εξαρτημένο). Η μεθοδολογία, λοιπόν, σέβεται τις ιεραρχικές αλλαγές μεταξύ του προτύπου GTECH και του επιπέδου πυλών. Για παράδειγμα αν χρησιμοποιήσουμε της εντολές group και ungroup αφού δημιουργήσουμε το fwd-SAIF αρχείο, το back-SAIF αρχείο είναι ικανό να εντοπίσει τα κατάλληλα στοιχεία του κυκλώματος για να προσαρτήσει την πληροφορία του.

Τα βασικά βήματα της μεθοδολογίας φαίνονται σχηματικά στο σχήμα 3-1:



Σχήμα 3-1. RTL simulation και .SAIF αρχεία.

Μεθοδολογία δημιουργίας ενός RTL .SAIF forward annotation file.

Ένα fwd-SAIF αρχείο καθοδηγεί την προσομοίωση για να καταγράψει την δραστηριότητα των εισόδων και των synthesis-invariant αντικειμένων του κυκλώματος. Για να δημιουργήσουμε ένα fwd-SAIF αρχείο χρειάζονται τα παρακάτω βήματα:

1. Άνοιγμα του dc_shell.
2. Θέτουμε την παράμετρο `power_preserve_rtl_hier_name = true/false`, στην τιμή `true`. Αυτό εξασφαλίζει ότι θα τηρηθεί η ιεραρχία των RTL αντικειμένων μέσα στο RTL κύκλωμα. Αυτό πρέπει να οριστεί πριν χρησιμοποιήσουμε την εντολή `rtl2saif`.
3. `analyze` και `elaborate` το RTL κύκλωμα. Στο σημείο αυτό οι εντολές αυτές διαβάζουν το κύκλωμα στην μνήμη και το μετατρέπουν στο τεχνολογικά ανεξάρτητο πρότυπο GTECH.
4. Με την εντολή `link` επιλύονται τυχόν προβλήματα με instantiated αναφορές των υπό-κυκλωμάτων του κυκλώματος.
5. Θέτουμε το κύκλωμα που δουλεύουμε ως το top-level κύκλωμα της ιεραρχίας. Αυτό βοηθά την RTL προσομοίωση να καταγράψει την δραστηριότητα μεταγωγής όλων των synthesis-invariant στοιχείων του κυκλώματος.

6. Με την εντολή `rtl2saif` έχουμε την δημιουργία του `fwd-SAIF` αρχείου χρησιμοποιώντας πληροφορία από το GTECH κύκλωμα.

Προσομοίωση σε RTL επίπεδο.

Στην ενότητα αυτή θα αναπτύξουμε την μεθοδολογία και τα εργαλεία που αναπτύξαμε για να επιτύχουμε την αυτοματοποίηση των προσομοιώσεων. Πρέπει να αναφέρουμε ότι στην διάθεσή μας είχαμε πλήθος απλών συνδυαστικών και ακολουθιακών κυκλωμάτων και έπρεπε να αναπτύξουμε ένα εργαλείο που θα δημιουργεί αυτόματα τα απαιτούμενα αρχεία. Για να γίνει μια προσομοίωση σε επίπεδο RTL χρειάζονται τα `.vhd` αρχεία του πηγαίου κώδικα αλλά και του `testbench`, το `fwd-SAIF` αρχείο και το `.do` αρχείο.

Μοναδική πληροφορία εισόδου είχαμε ένα πλήθος κυκλωμάτων σε πηγαίο κώδικα `vhdl`. Με την χρήση της scripting γλώσσας `perl` κατασκευάσαμε το κατάλληλο εργαλείο που ανάλογα με τα αρχεία εισόδου κατασκευάζει όλα τα αρχεία που χρειαζόμαστε για προσομοίωση όσο και για σύνθεση και βελτιστοποίηση των κυκλωμάτων.

Αφού, λοιπόν, όλα τα αρχεία είναι έτοιμα το μόνο που μένει είναι να πραγματοποιηθεί η προσομοίωση και να δημιουργηθούν τα αρχεία `.SAIF`. Στην δική μας εργασία αναφέραμε ότι έγινε χρήση του εργαλείου προσομοίωσης CAD, MTI simulator ver. 5.5a (32bit) για λειτουργικό Sun Solaris 2.8 (64bit). Αυτό ήταν απαραίτητο γιατί ο Power Compiler διαθέτει ένα ειδικό interface, γνωστό ως DPFLI, το οποίο για να συνεργαστεί με τον simulator πρέπει να είναι και τα δύο εργαλεία σε περιβάλλον Unix.

Τι είναι το DPFLI interface.

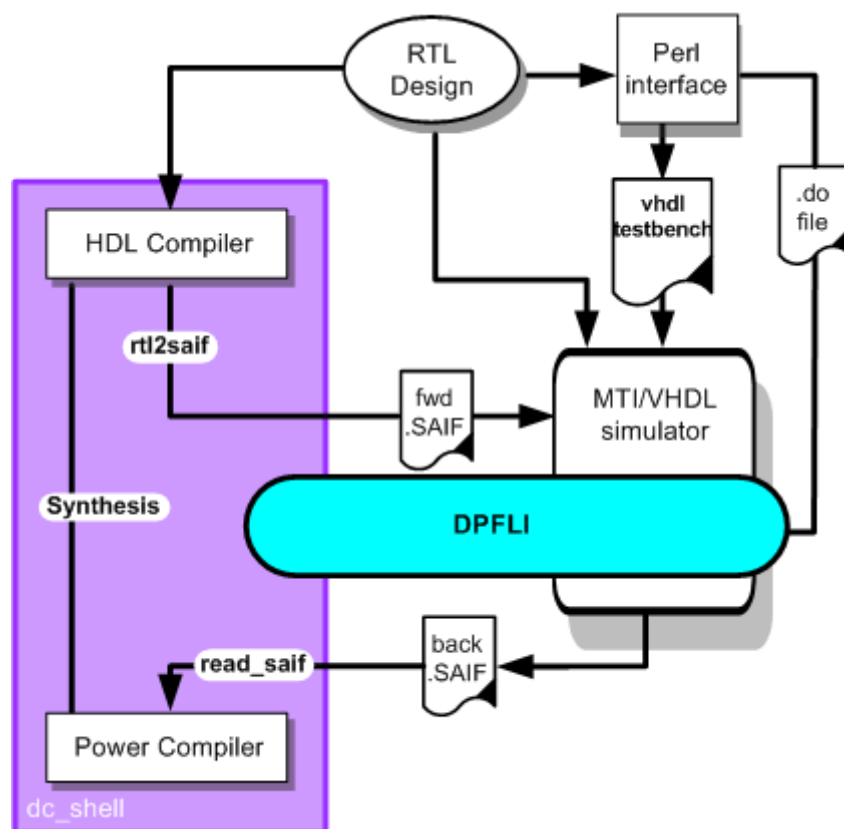
Η εταιρία SYNOPSYS έχει αναπτύξει ένα interface για τους MTI/VHDL και MTI/PLUS simulators το οποίο ονομάζεται DPFLI. Το DPFLI υποστηρίζει την άμεση ανάγνωση από το εργαλείο προσομοίωσης των αρχείων `fwd-SAIF` και εγγραφής των αρχείων `back-SAIF`.

Με την χρήση του SYNOPSYS DPFLI μπορούμε κατά την RTL προσομοίωση και την προσομοίωση σε επίπεδο πυλών να καταγράψουμε την δραστηριότητα μεταγωγής του κυκλώματος. Αυτό συμβαίνει γιατί με την χρήση του DPFLI ο MTI διαβάζει ένα Unix κατάλογο ο οποίος περιέχει την βιβλιοθήκη `dpfli.so`. Με την διαδικασία αυτή ενσωματώνονται στον MTI εντολές (`toggle commands`) που τις χρησιμοποιούμε στο `.do` αρχείο για να καταγράψουμε την δραστηριότητα μεταγωγής.

Το πρότυπο interface DPFLI υποστηρίζει τους παρακάτω τύπους δεδομένων:

- Βαθμωτούς (Scalars, integer type).
- Πίνακες (Arrays).
- Πίνακες Πινάκων (Arrays of arrays).
- Ειδικούς απαριθμητούς τύπους (Special enumerated types: `std_logic`, `std_ulogic`, `bit`, `mvl9`).

Στο σχήμα 3-2 φαίνεται πως το πρότυπο DPFLI εγγυάται την άψογη συνεργασία του MTI/VHDL simulator και του λογισμικού της SYNOPSYS.



Σχήμα 3-2. RTL simulation, SYNOPSYS και η συνεργασία τους.

Με τις εντολές του DPFLI μπορούμε να επιτύχουμε τα εξής:

- Να καθορίσουμε ένα μπλοκ ή ένα υπό-μπλοκ για την καταμέτρηση των μεταγωγών (toggle counting).
- Να καθορίσουμε κάποια συγκεκριμένα αντικείμενα του κυκλώματος που θέλουμε να καταγράψουμε την δραστηριότητα μεταγωγής.
- Να αρχίσουμε και να σταματήσουμε το toggle counting αντικειμένων και μπλοκ.
- Μηδενισμός (Reset) του toggle counting και επανεκκίνηση της καταμέτρησης.
- Καταγραφή των μετρήσεων της δραστηριότητας του κυκλώματος σε αρχεία back-SAIF.

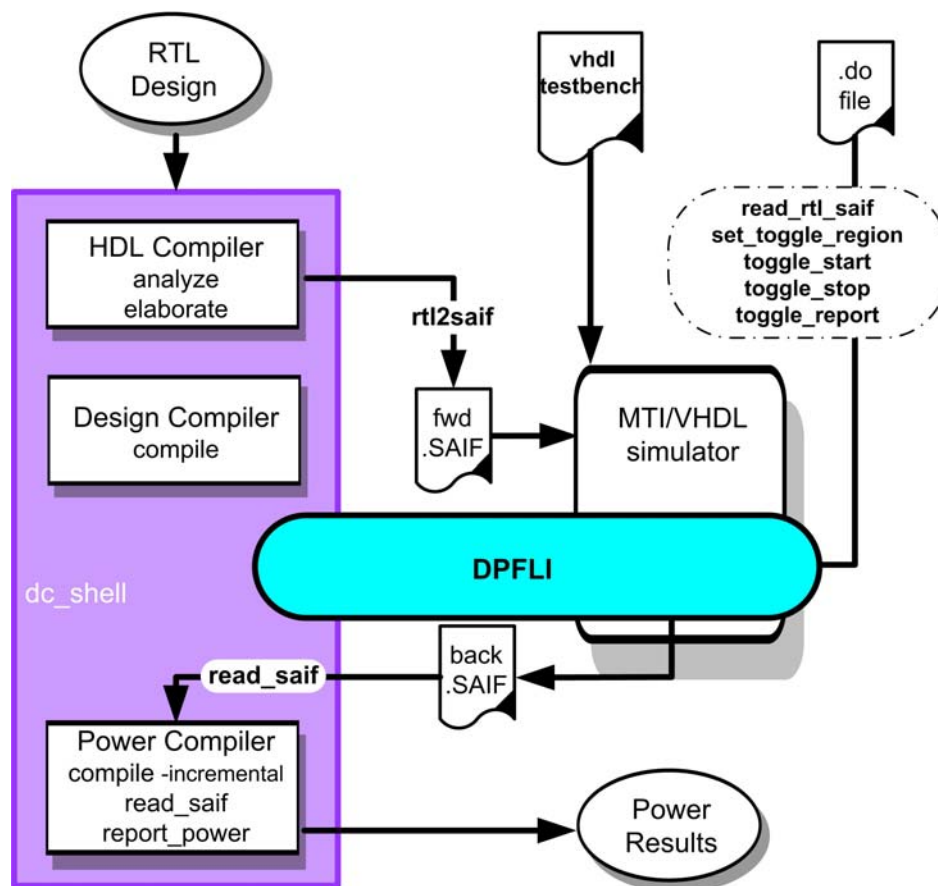
Οι εντολές που υποστηρίζει στο σύνολο τους είναι οι επτά παρακάτω:

- read_rtl_saif.
- set_net_monitoring_policy.
- set_toggle_region.
- toggle_start.

- toggle_stop.
- toggle_report.
- toggle_reset.

Δημιουργία back-SAIF από RTL προσομοίωση με χρήση του DPFLI.

Στην ενότητα αυτή θα δούμε πως χρησιμοποιείτε το DPFLI για την καταγραφή σε αρχεία back-SAIF της δραστηριότητας μεταγωγής του κυκλώματος με προσομοίωση RTL VHDL. Σκοπός είναι να επισημάνουμε τις βασικές εντολές και τα διάφορα scripts που χρησιμοποιήθηκαν. Στο σχήμα 3-3 φαίνεται η μεθοδολογία και οι εντολές που εισήχθησαν στο αρχείο .do του εργαλείου προσομοίωσης.



Σχήμα 3-3. Δημιουργία back-SAIF από RTL προσομοίωση με χρήση του DPFLI.

Τα βήματα της μεθοδολογίας είναι τα παρακάτω:

1. Δημιουργία του fwd-SAIF αρχείου.

Αρχικά, πρέπει να διαβαστεί το κύκλωμα στο περιβάλλον του dc_shell. Αυτό επιτυγχάνεται, αφού το κύκλωμα μας είναι .vhdl, με την χρήση των εντολών analyze και elaborate του HDL Compiler. Στην συνέχεια με την εντολή rtl2saif μπορούμε να παράγουμε το fwd-SAIF αρχείο το οποίο από το GTECH πρότυπο που έχει δημιουργηθεί περιέχει πληροφορίες για τις εισόδους,

εξόδους και τα synthesis-invariant στοιχεία του κυκλώματος. Όλα αυτά τα βήματα εκτελούνται με ένα .dcsh script που έχει δημιουργηθεί αυτόματα με το perl interface που έχουμε κατασκευάσει.

2. Κλήση του προτύπου DPFLI.

Αυτό επιτυγχάνεται με δύο τρόπους. Στην εργασία αυτή χρησιμοποιήθηκε η κλήση του DPFLI από την γραμμή εντολών του εργαλείου προσομοίωσης. Δηλαδή κατά την κλήση του εργαλείου προσομοίωσης η εντολή VSIM είχε παράμετρο -foreign, η οποία στην ουσία διαβάζει την βιβλιοθήκη dpfli.so. Τα βήματα από εδώ μέχρι το τέλος βρίσκονται μέσα στο .do script το οποίο δημιουργείται αυτόματα από το perl interface. Η άλλη δυνατότητα είναι να κληθεί μέσα από το κώδικα vhdL.

3. Ανάγνωση του fwd-SAIF αρχείου.

Με την χρήση της εντολής read_rtl_saif, η οποία δηλώνει τα αντικείμενα που θα καταγραφούν.

4. Ορισμός του εύρους της καταγραφής της δραστηριότητας μεταγωγής του κυκλώματος.

Με την χρήση της εντολής set_toggle_region.

5. Έναρξη και παύση της καταγραφής της δραστηριότητας μεταγωγής.

Γίνεται με τις εντολές start_toggle και stop_toggle αντίστοιχα.

6. Καταγραφή των μετρήσεων σε ένα αρχείο back-SAIF.

Αυτό επιτυγχάνεται με την εντολή report_toggle.

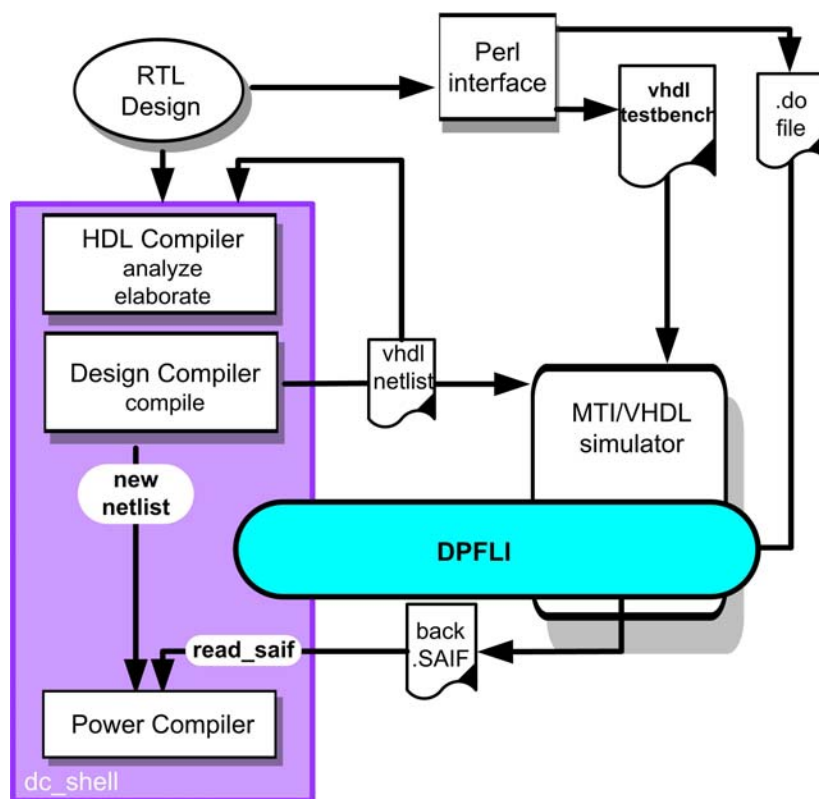
Στο Παράδειγμα 3-1 παραθέτουμε ένα χαρακτηριστικό παράδειγμα ενός .do αρχείου:

Βήμα	
2	vsim -foreign "dpfli_init \\${SNPS_PWR}/dpfli.so" test
	force clk 1 10, 0 20, repeat 100
	force in1 1 120, 0 175
	force in2 0 150, 1 200
	force in1 1100 120, 0011 175
	force in2 1001 150, 0110 200
3	read_rtl_saif fwd.saif test/DUT
4	set_toggle_region test/DUT
	run 100
5	toggle_start
	run 2000
	toggle_stop
6	toggle_report back.saif 1e-9 test/DUT

Παράδειγμα 3-1. Παράδειγμα .do αρχείου για RTL προσομοίωση.

Τα .SAIF αρχεία και η προσομοίωση σε επίπεδο πυλών.

Στην ενότητα αυτή θα αναπτύξουμε την μεθοδολογία για την δημιουργία back-SAIF αρχείων με την χρήση προσομοίωσης σε επίπεδο πυλών. Η διαδικασία αυτή έχει πολύ περισσότερα βήματα και είναι χρονοβόρα. Επειδή, ο MTI simulator μπορεί να προσομοιώσει αρχεία vhdl και verilog έπρεπε να αποθηκεύσουμε την netlist σε γλώσσα vhdl. Στο σχήμα 3-5 παρουσιάζεται ένα σχηματικό τις παρούσας μεθοδολογίας:



Σχήμα 3-5. Προσομοίωση σε επίπεδο πυλών και ροή της μεθοδολογίας.

Τα βήματα είναι τα ακόλουθα:

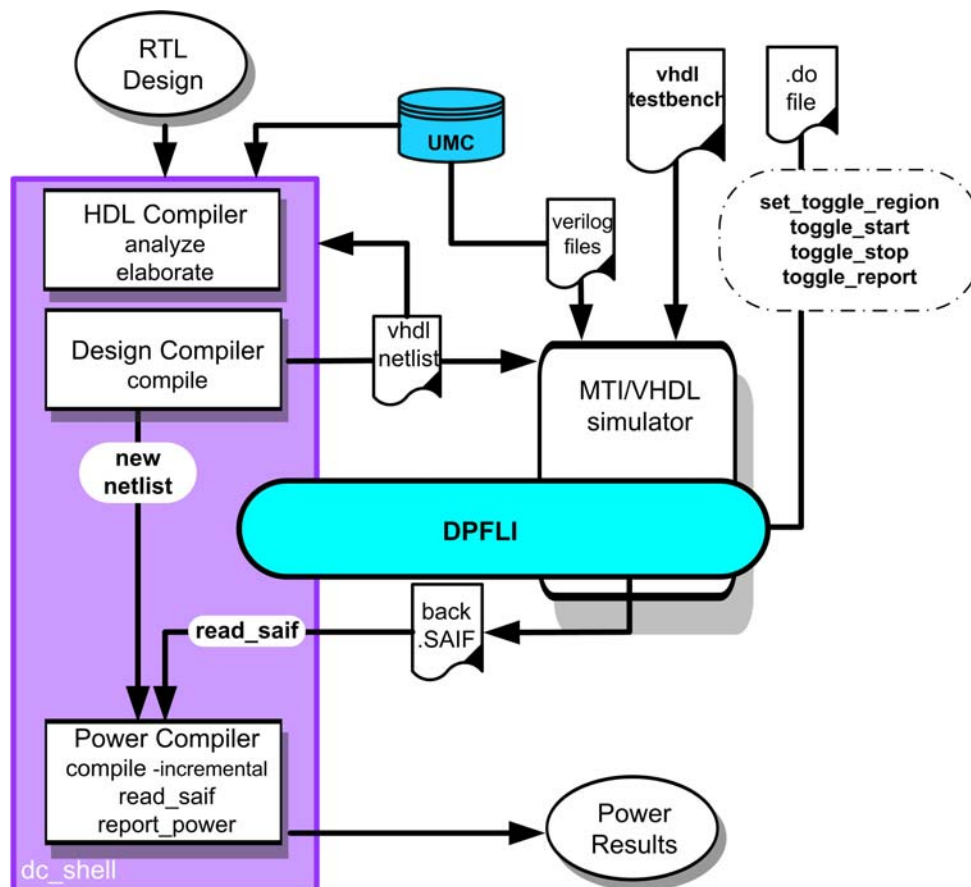
1. Άνοιγμα του dc_shell και δημιουργία του GTECH προτύπου για το κύκλωμα.
2. Θέτουμε τις προδιαγραφές και τις παραμέτρους για το κύκλωμα και το προσομοιώνουμε με την εντολή compile (με τιμή της παραμέτρου effort ίση με medium) για να δημιουργήσουμε την netlist.
3. Αποθηκεύουμε την netlist σε μορφή .vhdl.
4. Δημιουργία ενός fwd-SAIF αρχείου βιβλιοθήκης, αν φυσικά υποστηρίζει η βιβλιοθήκη την πληροφορία αυτή και μπορεί το εργαλείο προσομοίωσης να την διαβάσει.
5. Εισαγωγή όλων των αρχείων στο εργαλείο προσομοίωσης.
6. Δημιουργία του back-SAIF αρχείου επιπέδου πυλών.
7. Δημιουργούμε μια νέα netlist με το νέο .vhdl αρχείο που προέκυψε από το πρώτο compile.

8. Προσάρτηση του back-SAIF αρχείου στην νέα netlist και προσομοίωση αυτής με την παράμετρο incremental και με map_effort=high.

Παρατηρούμε σημαντικές διαφορές σε σχέση με την προσομοίωση σε επίπεδο RTL. Τα βήματα που παραθέσαμε δείχνουν τις αλλαγές που υφίσταται η μεθοδολογία ως προς τα αρχεία που χρειάζονται από το λογισμικό της SYNOPSIS και τα νέα βήματα που προστίθενται για την επιτυχή προσάρτηση του back-SAIF αρχείου. Το νέο netlist που είναι σε vhdل το προσομοιώνουμε μια ακόμα φορά γιατί έτσι διαπιστώσαμε ότι μπορούσε να διαβαστεί το back-SAIF αρχείο επιτυχώς.

Δημιουργία back-SAIF από προσομοίωση σε επίπεδο πυλών με χρήση του DPFLI.

Στην ενότητα αυτή θα δούμε πως χρησιμοποιείτε το DPFLI για την καταγραφή σε αρχεία back-SAIF της δραστηριότητας μεταγωγής του κυκλώματος με προσομοίωση σε επίπεδο πυλών. Θα παρατηρήσουμε σημαντικές διαφορές με την μεθοδολογία που παρουσιάστηκε για την προσομοίωση RTL. Το εργαλείο προσομοίωσης MTI δεν υποστηρίζει την ανάγνωση fwd-SAIF αρχείων που προέρχονται από βιβλιοθήκες. Άρα δεν έχουμε στην μεθοδολογία μας προαπαιτούμενη την ύπαρξη ενός fwd-SAIF. Στο σχήμα 3-6 φαίνονται οι διαφορές στην μεθοδολογία:



Σχήμα 3-6. Δημιουργία back-SAIF από προσομοίωση σε επίπεδο πυλών με χρήση του DPFLI.

Επίσης, η netlist που εισάγεται στον MTI είναι τεχνολογικά εξαρτημένη, για το λόγο αυτό πρέπει να διαβαστούν από το εργαλείο προσομοίωσης τα χαρακτηριστικά των κελιών της βιβλιοθήκης. Η UMC προσφέρει την πληροφορία αυτή σε ξεχωριστά αρχεία verilog τα οποία και προσομοιώθηκαν στην βιβλιοθήκη εργασίας του MTI.

Αφού το περιβάλλον του MTI είναι έτοιμο, για να δημιουργήσουμε ένα back-SAIF αρχείο τα βήματα είναι τα εξής:

1. Κλήση του προτύπου DPFLI.
2. Ορισμός του εύρους της καταγραφής της δραστηριότητας μεταγωγής του κυκλώματος.
3. Έναρξη και παύση της καταγραφής της δραστηριότητας μεταγωγής.
4. Καταγραφή των μετρήσεων σε ένα αρχείο back-SAIF.

Στο Παράδειγμα 3-2 παραθέτουμε ένα χαρακτηριστικό παράδειγμα ενός .do αρχείου:

Βήμα	
1	vsim -foreign "dpfli_init \\${SNPS_PWR}/dpfli.so" test force clk 1 10, 0 20, repeat 100 force in1 1 120, 0 175 force in2 0 150, 1 200 force in1 1100 120, 0011 175 force in2 1001 150, 0110 200
2	set_toggle_region test/DUT run 100
3	toggle_start run 2000 toggle_stop
4	toggle_report back.saif 1e-9 test/DUT

Παράδειγμα 3-2. Παράδειγμα .do αρχείου για προσομοίωση σε επίπεδο πυλών.

Παράδειγμα δημιουργίας RTL back-SAIF αρχείου.

Όπως έχει αναφερθεί κατά την προσομοίωση τόσο σε RTL όσο και σε επίπεδο πυλών με την χρήση του DPFLI, ενσωματώνονται στον MTI οι απαραίτητες εντολές για την καταγραφή της δραστηριότητας μεταγωγής του κυκλώματος. Παρακάτω παρατίθεται ένα παράδειγμα της διαδικασίας προσομοίωσης, από ένα απομακρυσμένο μηχάνημα, ενός κυκλώματος σε MTI command line:

```
> vsim -c
Reading /usr/model/modeltech/sunos5/./tcl/vsim/pref.tcl

# 5.5a

ModelSim> do S38417_do.do
# Copying /usr/model/modeltech/sunos5/./modelsim.ini to modelsim.ini
# Modifying modelsim.ini
# Model Technology ModelSim SE vcom 5.5a Compiler 2001.04 Apr 6 2001
# -- Loading package standard
```



```
# -- Compiling entity s38417
# -- Compiling architecture s38417_architecture of s38417
# Model Technology ModelSim SE vcom 5.5a Compiler 2001.04 Apr 6 2001
# -- Loading package standard
# -- Loading package std_logic_1164
# -- Loading package numeric_std
# -- Compiling entity testbench
# -- Compiling architecture behavior of testbench
# -- Loading entity s38417
# -- Loading package standard
# vsim -foreign {dpfli_init /export/home/synopsys/auxx/syn/power/dpfli/lib-sparcOS5/dpfli.so} testbench
# Loading /usr/model/modeltech/sunos5/./std.standard
# Loading /usr/model/modeltech/sunos5/./ieee.std_logic_1164(body)
# Loading /usr/model/modeltech/sunos5/./ieee.numeric_std(body)
# Loading work.testbench(behavior)
# Loading work.s38417(s38417_architecture)
# Loading /export/home/synopsys/auxx/syn/power/dpfli/lib-sparcOS5/dpfli.so
# Synopsys power code initialized and linked successfully
# Information (SNPS-PWR): Reading rtl saif file "FWD_SAIF_rtl_S38417.saif" done.
# Information (SNPS-PWR): Completed set_toggle_region
# Information (SNPS-PWR): Turned on counting window at time 50.000000
# Information (SNPS-PWR): Turned off counting window at time 2050.000000
# Information (SNPS-PWR): Report done, wrote file "BACK_SAIF_VEC_S38417.saif" at time 2050.00
```

Παράδειγμα 3-3. Παράδειγμα RTL προσομοίωσης σε MTI command line.

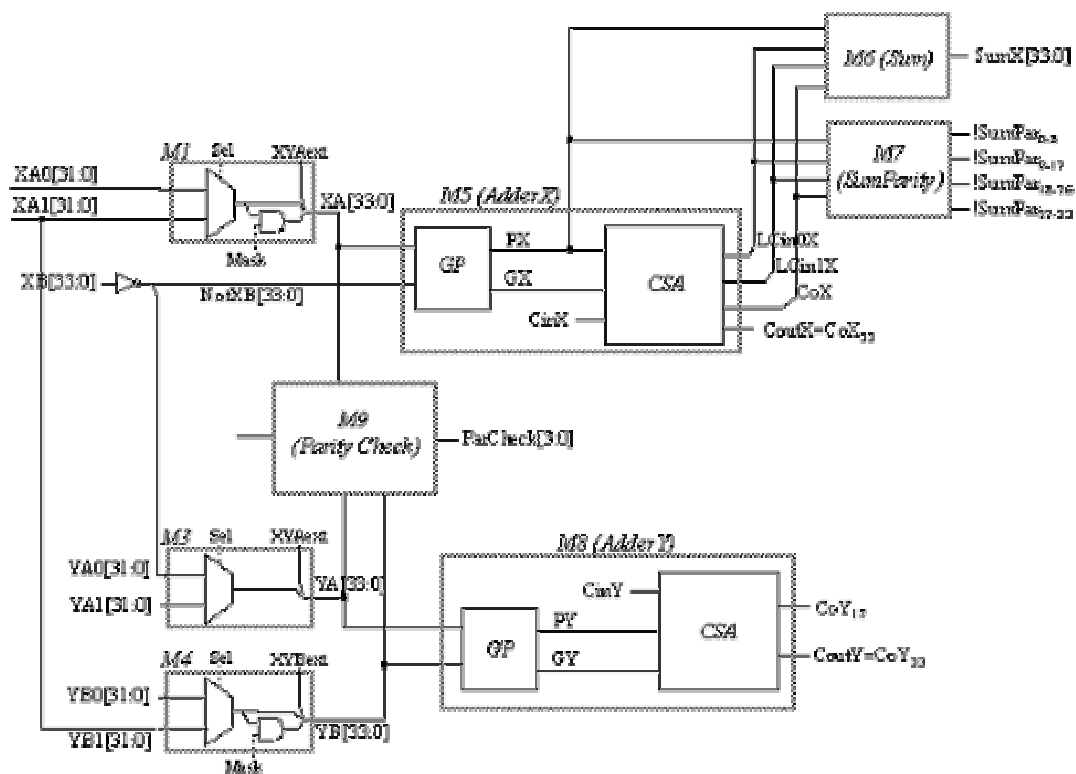
Τα αποτελέσματα των δύο μεθοδολογιών.

Η καταγραφή της δραστηριότητας με την προσομοίωση σε επίπεδο RTL αν και δεν προσφέρει τα πιο ακριβή αποτελέσματα είναι μια καλή μεθοδολογία για πολλούς άλλους λόγους. Καταρχήν παρατηρούμε ότι είναι πιο γρήγορη μέθοδος αφού η προσομοίωση είναι τεχνολογικά ανεξάρτητη. Αυτό ελαττώνει τα βήματα της μεθοδολογίας. Επίσης, λόγω των τεχνολογικών εξαρτήσεων η προσομοίωση σε επίπεδο πυλών είναι πιο απαιτητική με αποτέλεσμα να χρειάζονται περισσότερες παρεμβάσεις του σχεδιαστή στην ροή της μεθοδολογίας και να μειώνεται η αυτοματοποίηση της εργασίας.

Τα αρχεία back-SAIF που προκύπτουν από προσομοίωση σε επίπεδο πυλών περιέχουν πιο ακριβή πληροφορία αφού γίνεται καταγραφή των εσωτερικών δικτύων του κυκλώματος. Για το λόγω αυτό και οι αναλύσεις κατανάλωσης ισχύος είναι πιο ακριβείς.

Σε ότι αφορά της μεθόδους για κλήση του προτύπου DPFLI έχουμε αναφέρει ότι προτιμήσαμε αυτή της κλήσης από την γραμμή εντολών του εργαλείου προσομοίωσης και όχι μέσα από τον πηγαίο κώδικα vhdl. Αυτό προτιμήθηκε γιατί είναι πιο πρακτικό να θέτεις τις μεταβλητές καταγραφής της δραστηριότητας του κυκλώματος στην γραμμή εντολών, είναι πιο απλό και διαισθητικό, και δεν απαιτεί αλλαγές στον πηγαίο κώδικα vhdl. Στον άλλο τρόπο κλήσης πρέπει να ενσωματώσεις μέσα στον κώδικα vhdl κατάλληλο monitor entity για την καταγραφή της δραστηριότητας μεταγωγής. Αυτό έχει σαν αποτέλεσμα να καλείται το πρότυπο DPFLI κάθε φορά που προσομοιώνεται το κύκλωμα ασχέτως αν σκοπός μας είναι η απλή προσομοίωση του κυκλώματος.

4



c7552 - 32-bit adder/comparator - ISCAS 85

Παρουσίαση των πειραματικών μετρήσεων

Στο κεφάλαιο αυτό θα γίνει παρουσίαση των μετρήσεων που διεξήχθησαν στην παρούσα διπλωματική. Στην αρχή θα παρατεθούν μετρήσεις που έγιναν με τον DC και σκοπό είχαν να παρατηρηθεί η αύξηση του μεγέθους του ολοκληρωμένου σε συνάρτηση με διαφορετικούς χρόνους output max_delay. Στην συνέχεια θα δοθούν μετρήσεις και αναφορές για την κατανάλωση ισχύος διάφορων κυκλωμάτων, με διάφορους χρονισμούς, μεθοδολογίες και τεχνολογικές βιβλιοθήκες. Από τις μετρήσεις αυτές θα δοθούν οι κατάλληλες γραφικές παραστάσεις του μεγέθους του ολοκληρωμένου με το χρόνο εξόδου και της κατανάλωσης ισχύος με το χρόνο εξόδου.

Πειραματικές μετρήσεις με τον Design Compiler.

Στα πλαίσια της παρούσας διπλωματικής πραγματοποιήθηκαν πειραματικές μετρήσεις με τα εργαλεία της SYNOPSIS. Η σύνθεση των κυκλωμάτων ISCAS 85 και ISCAS 89 έγινε με τον Design Compiler. Αρχικά έγιναν μετρήσεις για το μέγεθος ενός ολοκληρωμένου με διαφορετικές τιμές της παραμέτρου set_max_delay.

Συμπεριφορά μεγέθους ολοκληρωμένου με το μέγιστο χρόνο εξόδου.

Στις μετρήσεις χρησιμοποιήθηκαν 45 κυκλώματα ISCAS 85 και ISCAS 89 και η τεχνολογική βιβλιοθήκη της εταιρείας UMC στα 18um. Για κάθε κύκλωμα δημιουργήθηκαν τα απαραίτητα dcsn αρχεία με τιμές της παραμέτρου set_max_delay = [5, 4, 3, 2, 1.9, 1.75, 1.65, 1.5, 1] σε ns. Ενδεικτικά θα σας παρουσιάσουμε τα αποτελέσματα σε έξι από τα κυκλώματα. Παρακάτω παρατίθενται πίνακες με τις μετρήσεις :

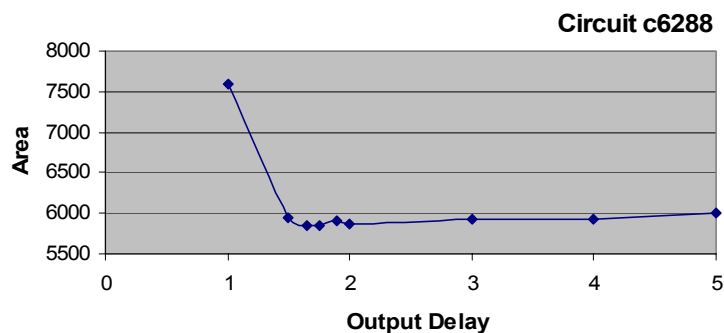
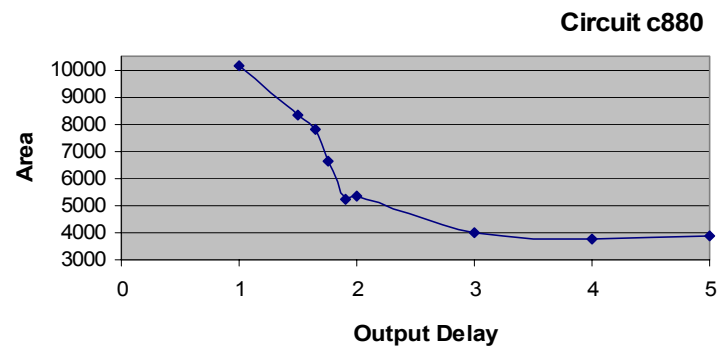
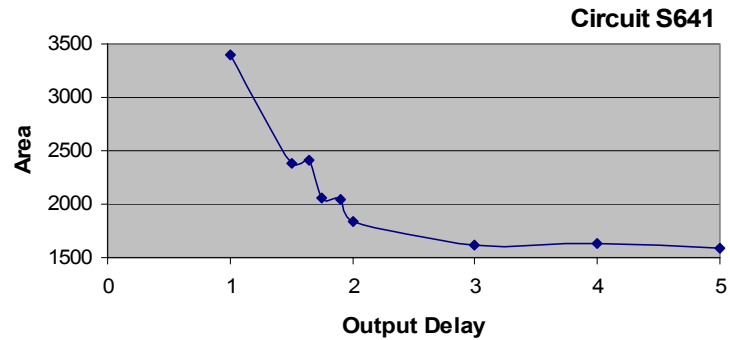
S641				c880			
Delay	Area	Slack	Cells	Delay	Area	Slack	Cells
5	1581,51	2,13	94	5	3850,11	1,95	217
4	1626,23	1,1	96	4	3760,67	0,96	209
3	1614,04	0,07	94	3	3988,34	0	221
2	1841,71	0,01	105	2	5354,38	0,01	328
1,9	2044,99	0,01	114	1,9	5244,62	0	267
1,75	2053,12	0	118	1,75	6639,11	0,01	414
1,65	2419,02	0,02	145	1,65	7797,8	0	470
1,5	2382,43	0	140	1,5	8330,39	0,08	440
1	3390,7	0	180	1	10139,6	0,54	448

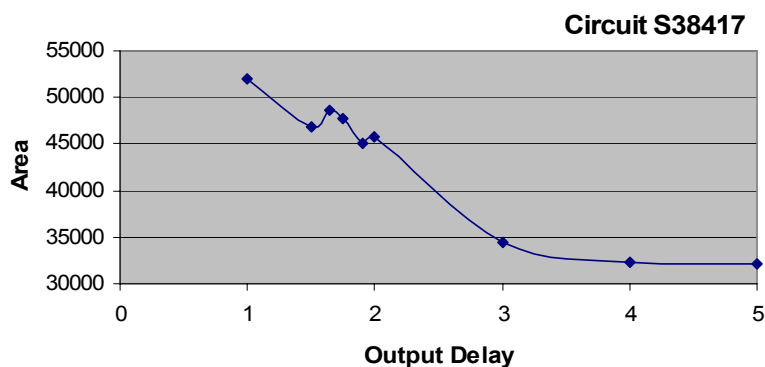
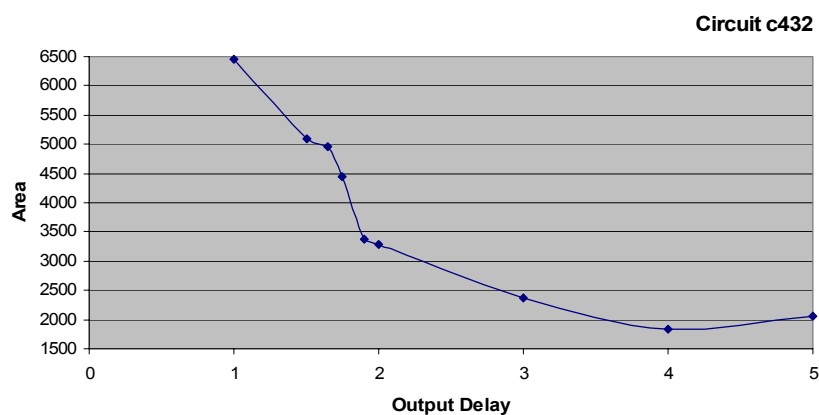
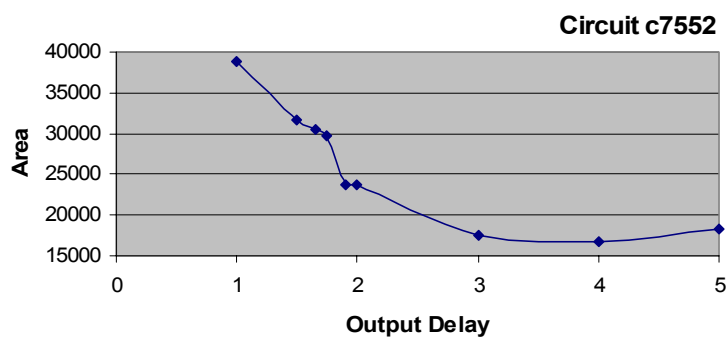
c6288				c7552			
Delay	Area	Slack	Cells	Delay	Area	Slack	Cells
5	6008,95	3,18	332	5	18372,38	1,11	872
4	5923,57	2,29	326	4	16811,2	0,03	784
3	5931,7	1,19	326	3	17599,92	0	828
2	5870,72	0,17	319	2	23694,35	0	1235
1,9	5903,25	0,1	322	1,9	23751,27	0	1209
1,75	5854,46	0,03	319	1,75	29703,37	0,1	1365
1,65	5846,33	0	317	1,65	30479,91	0,3	1317
1,5	5939,84	0,01	322	1,5	31756,54	0,28	1391
1	7594,56	0	370	1	38879,57	0,74	1428

c432				S38417			
Delay	Area	Slack	Cells	Delay	Area	Slack	Cells
5	2057,18	0,54	130	5	32191,32	0,38	1834
4	1841,71	0,06	117	4	32232,02	0,01	1832
3	2366,18	0	121	3	34480,28	0	2001
2	3276,86	0	191	2	45770,73	0,59	2358
1,9	3370,37	0	211	1,9	45152,8	0,58	2397
1,75	4455,88	0	253	1,75	47726,27	0,8	2413
1,65	4964,07	0	281	1,65	48531,33	0,85	2532
1,5	5102,31	0	269	1,5	46835,92	1,04	2415
1,4	6464,3	0,4	306	1	52015,52	1,56	2425

Πίνακας 4-1. Πίνακες με μετρήσεις για διάφορα κυκλώματα.

Στους παραπάνω πίνακες παρουσιάζονται μετρήσεις για 6 κυκλώματα διαφορετικών μεγεθών σε πλήθος πυλών. Η ένδειξη Delay δείχνει την τιμή της παραμέτρου set_max_delay σε ns. Το Area το μέγεθος του ολοκληρωμένου σε square microns. Το slack μας δείχνει το χρόνο που έκανε για να φθάσει το πιο αργή διαδρομή στην έξοδο και η μορφοποίηση bold δείχνει ότι έχουμε αρνητικό slack, δηλαδή ότι ο χρόνος καθυστέρησης της εξόδου είναι max_delay + slack. Παρακάτω παρουσιάζονται και οι γραφικές παραστάσεις Μεγέθους – Χρόνου καθυστέρησης (Area – Output Delay graphs) για τα κυκλώματα αυτά:





Γράφημα 4-1. Γραφική απεικόνιση του μεγέθους ολοκληρωμένου με το χρόνο καθυστέρησης.

Πειραματικές μετρήσεις με τον Power Estimator.

Κατά την διάρκεια των προσομοιώσεων δοκιμάστηκε ένα μεγάλο πλήθος από σύνολα παραμέτρων και δεδομένων εισόδου (αρχεία vhdl, αρχεία .do και αρχεία .SAIF). Σε επίπεδο RTL με την χρήση του Power estimator και της ανάλυσης του προσπαθήσαμε να έχουμε μια πρώτη εικόνα για την κατανάλωση των συνδυαστικών και ακολουθιακών κυκλωμάτων.

Πειραματικές μετρήσεις με συνδυαστικά κυκλώματα.

Οι μετρήσεις που θα παρατεθούν είναι για δεδομένα εισόδου με χαμηλή δραστηριότητα κυκλώματος και με την μέθοδο της προσεγγιστικής ανάλυσης ενός βήματος. Στα συνδυαστικά κυκλώματα η πληροφορία εισόδου γίνεται με .do αρχεία :

Library(s) Used: umcl25u250t3_wc
(File: /export/home/synopsys/libraries/syn/umcl25u250t3_wc.db)
Global Operating Voltage = 2.25
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1uW
Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
c1355	5.95e-02	6.16e-02	3.369	0.124	100.0
c17	2.44e-04	2.10e-04	4.20e-02	4.95e-04	100.0
c2670	5.76e-02	6.36e-02	4.887	0.126	100.0
c432	1.33e-02	2.01e-02	0.965	3.44e-02	100.0
c499	2.95e-02	6.59e-02	1.287	9.66e-02	100.0
c6288	0.402	0.335	7.774	0.745	100.0
c7552	0.332	0.286	14.935	0.632	100.0
c880	1.88e-02	2.34e-02	1.605	4.38e-02	100.0
S1238	1.71e-02	2.05e-02	2.339	4.00e-02	100.0
S13207	0.278	0.198	21.339	0.497	100.0
S1423	1.74e-02	2.72e-02	1.833	4.65e-02	100.0
S1494	2.12e-02	3.56e-02	2.313	5.91e-02	100.0
S38417	1.058	0.853	56.776	1.968	100.0

Πίνακας 4-1. Κατανάλωση στα 25um.

Library(s) Used: umcl18u250t2_wc
(File: /export/home/synopsys/libraries/syn/umcl18u250t2_wc.db)
Global Operating Voltage = 1.62
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW
Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
c1355	1.72e-02	1.92e-02	1.67e+06	3.81e-02	100.0
c17	7.71e-05	8.16e-05	1.53e+04	1.74e-04	100.0
c2670	1.77e-02	2.38e-02	4.53e+06	4.60e-02	100.0
c432	4.05e-03	7.35e-03	7.25e+05	1.21e-02	100.0
c499	7.70e-03	1.96e-02	1.10e+06	2.84e-02	100.0
c6288	0.114	0.103	7.10e+06	0.223	100.0
c7552	7.59e-02	9.64e-02	1.29e+07	0.185	100.0
c880	5.74e-03	9.26e-03	1.42e+06	1.64e-02	100.0
S1238	4.84e-03	7.43e-03	1.86e+06	1.41e-02	100.0
S13207	5.95e-02	6.94e-02	2.41e+07	0.153	100.0
S1423	5.13e-03	8.73e-03	1.95e+06	1.58e-02	100.0
S1494	5.46e-03	1.23e-02	2.48e+06	2.03e-02	100.0
S38417	0.223	0.281	6.74e+07	0.571	100.0

Πίνακας 4-2. Κατανάλωση στα 18um.

Library(s) Used: umcl13u210t3_wc
(File: /export/home/synopsys/libraries/syn/umcl13u210t3_wc.db)

Global Operating Voltage = 1.08

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1uW

Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
c1355	3.76e-03	3.57e-03	7.838	1.52e-02	100.0
c17	1.41e-05	1.36e-05	7.36e-02	1.01e-04	100.0
c2670	3.65e-03	4.10e-03	18.005	2.58e-02	100.0
c432	8.59e-04	1.29e-03	2.850	5.00e-03	100.0
c499	2.03e-03	3.47e-03	4.209	9.71e-03	100.0
c6288	2.12e-02	1.85e-02	29.927	6.96e-02	100.0
c7552	1.55e-02	1.74e-02	51.694	8.45e-02	100.0
c880	1.21e-03	1.50e-03	5.596	8.31e-03	100.0
S1238	1.09e-03	1.33e-03	7.235	9.65e-03	100.0
S13207	1.27e-02	1.16e-02	97.930	0.122	100.0
S1423	1.11e-03	1.49e-03	8.135	1.07e-02	100.0
S1494	1.44e-03	2.32e-03	9.342	1.31e-02	100.0
S38417	4.93e-02	4.79e-02	268.561	0.366	100.0

Πίνακας 4-3. Κατανάλωση στα 13um.

Πειραματικές μετρήσεις με ακολουθιακά κυκλώματα.

Στην συνέχεια παρατίθενται μετρήσεις σε 5 ακολουθιακά κυκλώματα με δεδομένα εισόδου από .do αρχεία για το πρώτο testbench και .vhd αρχεία για το δεύτερο testbench (είναι οι σκιασμένες γραμμές στους πίνακες και έχουν μεγαλύτερη δραστηριότητα από τα .do αρχεία)

Library(s) Used: umcl25u250t3_wc
(File: /export/home/synopsys/libraries/syn/umcl25u250t3_wc.db)

Global Operating Voltage = 2.25

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1uW

Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	0.322	2.30e-02	2.986	0.348	100.0
Sdff1196	0.354	6.43e-02	2.988	0.421	100.0
Sdff1238	0.324	2.36e-02	3.116	0.350	100.0
Sdff1238	0.354	6.35e-02	3.079	0.420	100.0
Sdff1423	1.173	0.383	6.189	1.562	100.0
Sdff1423	1.198	0.426	6.134	1.631	100.0
Sdff1488	1.110	2.248	2.838	3.361	100.0
Sdff1488	2.454	5.144	2.852	7.601	100.0
Sdff1494	1.238	2.502	2.958	3.743	100.0
Sdff1494	2.570	5.452	2.836	8.024	100.0

Πίνακας 4-4. Κατανάλωση στα 25um.

Library(s) Used: umcl18u250t2_wc
(File: /export/home/synopsys/libraries/syn/umcl18u250t2_wc.db)

Global Operating Voltage = 1.62

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1pW

Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	5.94e-02	0.267	2.42e+06	0.329	100.0
Sdff1196	6.84e-02	0.284	2.42e+06	0.355	100.0
Sdff1238	5.98e-02	0.268	2.45e+06	0.331	100.0
Sdff1238	6.80e-02	0.284	2.45e+06	0.354	100.0
Sdff1423	0.283	1.228	2.96e+06	1.514	100.0
Sdff1423	0.291	1.243	2.96e+06	1.537	100.0
Sdff1488	0.292	0.798	2.53e+06	1.092	100.0
Sdff1488	0.643	1.655	2.53e+06	2.300	100.0
Sdff1494	0.324	0.859	2.53e+06	1.185	100.0
Sdff1494	0.672	1.743	2.53e+06	2.417	100.0

Πίνακας 4-5. Κατανάλωση στα 18um.

Library(s) Used: umcl13u210t3_wc
(File: /export/home/synopsys/libraries/syn/umcl13u210t3_wc.db)

Global Operating Voltage = 1.08

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1uW

Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	1.79e-02	5.73e-02	9.133	8.44e-02	100.0
Sdff1196	2.01e-02	5.96e-02	9.182	8.88e-02	100.0
Sdff1238	1.80e-02	5.64e-02	9.229	8.37e-02	100.0
Sdff1238	2.00e-02	5.95e-02	9.183	8.87e-02	100.0
Sdff1423	6.35e-02	0.238	11.226	0.313	100.0
Sdff1423	6.51e-02	0.238	11.174	0.314	100.0
Sdff1488	7.42e-02	0.160	9.667	0.243	100.0
Sdff1488	0.166	0.342	9.643	0.518	100.0
Sdff1494	8.31e-02	0.176	9.655	0.269	100.0
Sdff1494	0.174	0.361	9.686	0.545	100.0

Πίνακας 4-6. Κατανάλωση στα 13um.

Πειραματικές μετρήσεις με τον Power Compiler.

Στην παράγραφο αυτή θα παρουσιάσουμε μετρήσεις που έγιναν με όλα τα διαθέσιμα testbench και στις τρεις τεχνολογίες με την βοήθεια του Design Compiler και του Power Compiler.

Πειραματικές μετρήσεις με συνδυαστικά κυκλώματα.

Συνολικά προσομοιώθηκαν 17 συνδυαστικά κυκλώματα με τα εργαλεία Design Compiler και Power Compiler. Παρακάτω θα παρουσιαστούν 3 αντιπροσωπευτικά κυκλώματα. Η μετρήσεις έγιναν και στις τρεις διαθέσιμες τεχνολογίες και για τιμές της παραμέτρου $set_max_delay = [4, 3, 2.5, 2, 1.5]$ σε ns. Στην συνέχεια παρατίθενται πίνακες με τις μετρήσεις που έγιναν:

Πίνακας επεξήγησης των συντομογραφιών που ακολουθούν στους πίνακες μετρήσεων:

PWSA	Power Report without Switching Activity
PSA	Power Report with Switching Activity
PPO	Power Report for the netlist after DC high and with Switching Activity
POPT	Power Report for the netlist after DC high, with Switching Activity and POWER constraints
(PPO - PSA)%	$(PPO - PSA) * 100 / PSA$
(POPT - PSA)%	$(POPT - PSA) * 100 / PSA$

Πίνακας 4-7. Συντομογραφίες των πινάκων.

Στους πίνακες με τα δεδομένα των μετρήσεων ο χρόνος max_delay βρίσκεται στις αριστερές κατακόρυφες στήλες. Στις σκιασμένες οριζόντιες στήλες υπάρχουν πληροφορίες που αναφέρονται στον τύπο ισχύος, στην τεχνολογία, την δραστηριότητα, το ποσοστό βελτιστοποίησης. Οι τιμές ισχύος παρουσιάζονται με καλή ακρίβεια και με τις μονάδες τους. Οι τιμές που (στους υποπίνακες Cell Internal Power) είναι με μορφοποίηση *italic* δηλώνουν ότι μόλις παραβιάστηκε το slack. Αυτές που είναι με ***bold italic*** σημαίνει ότι το slack έχει παραβιαστεί αρκετά. Οι υπόλοιπες έχουν slack θετικό ή μηδέν.

Το συνδυαστικό κύκλωμα c432.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες
36	7	160

Cell Internal Power					% Optimization		High Activity		% Optimization	
umc25 Low Activity										
c432	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	1,7001mW	12,9318uW	12,9812uW	10,9017uW	-0,380550334	-16,01932025	1,5650mW	1,0613mW	-32,18530351	
2	1,6397mW	15,2732uW	13,9351uW	13,5971uW	9,602370991	-2,425529777	1,5077mW	1,2598mW	-16,44226305	
2,5	1,6007mW	13,4569uW	13,6233uW	10,7110uW	-1,221436803	-21,37734616	1,4770mW	1,1575mW	-21,63168585	
3	1,2409mW	10,3215uW	10,6806uW	7,0538uW	-3,362170665	-33,95689381	1,1371mW	621,7075uW	-45,32516929	
4	996,7183uW	10,0893uW	9,6246uW	5,8701uW	4,828252603	-39,00941338	877,8115uW	507,5869uW	-42,17586578	
Net Switching Power										
c432	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	1,9701mW	12,0434uW	12,1231uW	8,7277uW	-0,657422606	-28,0076878	1,8324mW	1,0620mW	-42,043222	
2	1,7721mW	13,4369uW	11,8680uW	11,9444uW	13,21958207	0,643747893	1,6463mW	1,3308mW	-19,16418636	
2,5	1,7609mW	11,7686uW	11,8757uW	8,4869uW	-0,901841576	-28,53558106	1,6445mW	1,1971mW	-27,20583764	
3	1,0899mW	7,9486uW	8,4155uW	5,9156uW	-5,548095776	-29,70589983	1,0095mW	619,3598uW	-38,64687469	
4	968,7834uW	7,7742uW	7,5643uW	4,5302uW	2,774876724	-40,11078355	874,6483uW	494,9979uW	-43,4060639	
Total Dynamic Power										
c432	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	3,6703mW	24,9751uW	25,1043uW	19,6294uW	-0,514652868	-21,80861446	3,3974mW	2,1233mW	-37,50220757	
2	3,4118mW	28,7101uW	25,8031uW	25,5415uW	11,26608818	-1,013831671	3,1540mW	2,5906mW	-17,86303107	
2,5	3,3616mW	25,2255uW	25,4991uW	19,1979uW	-1,072979046	-24,7114604	3,1216mW	2,3546mW	-24,57073296	
3	2,3309mW	18,2701uW	19,0961uW	12,9694uW	-4,325490545	-32,08351443	2,1466mW	1,2411mW	-42,18298705	
4	1,9655mW	17,8634uW	17,1889uW	10,4003uW	3,924044005	-39,49409212	1,7525mW	1,0026mW	-42,79029957	
Cell Leakage Power										
c432	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	1,0916uW	951,7556nW	962,3677nW	814,2573nW	-1,102707416	-15,39020896	1,0774uW	805,7034nW	74682,19788	
2	1,0935uW	1,1300uW	994,4185nW	1,0077uW	13,63424956	1,335604678	1,0857uW	980,5919nW	-9,681136594	
2,5	1,0786uW	934,9348nW	935,5488nW	804,7900nW	-0,065629928	-13,97669475	1,0659uW	878,4165nW	-17,58922038	
3	774,6028nW	794,9180nW	795,5882nW	558,5186nW	-0,08423956	-29,79802868	770,0356nW	556,6410nW	-27,71230317	
4	618,3145nW	786,3656nW	775,0862nW	455,6034nW	1,455244591	-41,21900248	623,9944nW	446,1083nW	-28,50764366	

Πίνακας 4-8.Μετρήσεις για το c432 στα 25um.

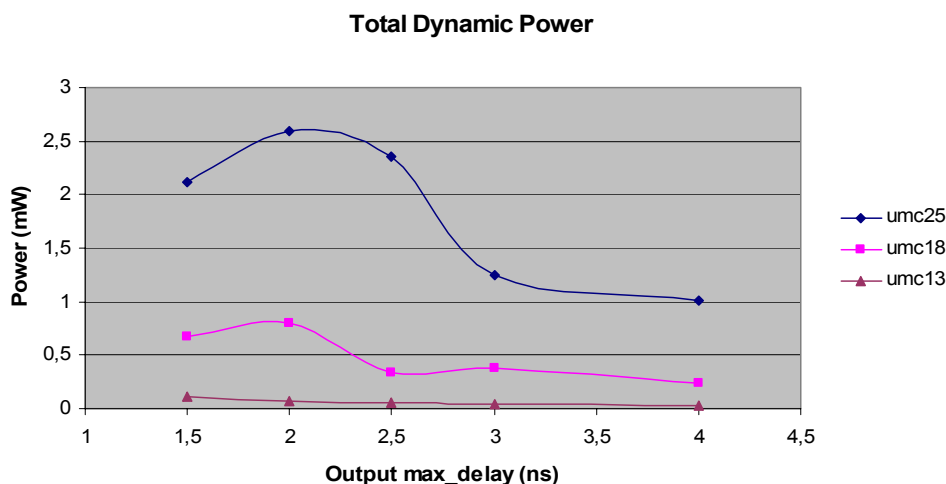
Cell Internal Power		umc18 Low activity			% Optimization		High Activity		% Optimization	
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	602,9678uW	4,5191uW	4,4378uW	3,2353uW	1,831988823	-27,09675966	548,2872 uW	335,8327 uW	-38,7487616	
2	571,0018uW	4,4501uW	4,5270uW	3,6397uW	-1,698696709	-19,60017672	514,3207 uW	399,6466 uW	-22,2962249	
2,5	324,6414uW	2,9093uW	2,8183uW	1,7378uW	3,228896853	-38,33871483	288,4752 uW	161,2707 uW	-44,09547164	
3	329,0385uW	2,8949uW	3,0117uW	1,8973uW	-3,878208321	-37,00235747	295,5862 uW	188,9862 uW	-36,06392991	
4	287,0941uW	2,6732uW	2,7090uW	1,3449uW	-1,321520856	-50,35437431	241,6764 uW	115,8234 uW	-52,07500608	
Net Switching Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	563,7787uW	4,2911uW	4,1800uW	3,1801uW	2,657894737	-23,92105263	504,0381uW	334,3688uW	-33,66199896	
2	541,8487uW	4,2057uW	4,2109uW	3,4752uW	-0,12348904	-17,47132442	482,8137uW	400,8265uW	-16,98112543	
2,5	315,9067uW	2,8882uW	2,8212uW	1,9580uW	2,374875939	-30,59690912	271,1028uW	178,1480uW	-34,28765767	
3	287,5486uW	2,3284uW	2,4071uW	1,7148uW	-3,269494412	-28,76074945	257,9673uW	187,4684uW	-27,32861878	
4	243,2953uW	2,1886uW	2,2106uW	1,4120uW	-0,995204922	-36,12593866	206,4094uW	120,7187uW	-41,51492132	
Total Dynamic Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	1,1667mW	8,8102uW	8,6178uW	6,4153uW	2,232588364	-25,5575669	1,0523mW	670,2015uW	-36,3107954	
2	1,1129mW	8,6557uW	8,7379uW	7,1149uW	-0,940729466	-18,57425697	997,1344uW	800,4731uW	-19,72264722	
2,5	640,5481uW	5,7975uW	5,6395uW	3,6958uW	2,801666814	-34,46582144	559,5779uW	339,4187uW	-39,34379825	
3	616,5870uW	5,2233uW	5,4188uW	3,6122uW	-3,607809847	-33,33948476	553,5535uW	376,4547uW	-31,99307745	
4	530,3893uW	4,8617uW	4,9197uW	2,7569uW	-1,178933675	-43,96203021	448,0858uW	236,5421uW	-47,21053423	
Cell Leakage Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	666,6894nW	670,7467nW	666,6894nW	399,1701nW	0,608574248	-40,12652669	666,6894nW	391,8022nW	-41,231674	
2	602,4499nW	607,4641nW	602,4499nW	420,8480nW	0,832301574	-30,14390076	602,4499nW	416,9487nW	-30,7911413	
2,5	309,0837nW	309,0837nW	309,0837nW	165,7769nW	0	-46,3650461	309,0837nW	178,3026nW	-42,31251923	
3	246,9449nW	246,9449nW	246,9449nW	154,0986nW	0	-37,59798238	246,9449nW	152,6365nW	-38,19005778	
4	213,9547nW	213,9547nW	213,9547nW	112,6309nW	0	-47,35759486	213,9547nW	97,8889nW	-54,24783844	

Πίνακας 4-9.Μετρήσεις για το c432 στα 18um.

Cell Internal Power		umc13 Low activity				% Optimization		High Activity		% Optimization	
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	90,9758uW	820,3434nW	832,0884nW	572,7644nW	-1,411508681	-31,16543867	83,9265uW	54,4741uW	-35,0930874	
	2	63,5462uW	660,9081nW	642,9474nW	474,0282nW	2,79349446	-26,27263132	51,6608uW	36,0875uW	-30,14529392	
	2,5	48,2018uW	524,3841nW	530,2001nW	391,1402nW	-1,096944342	-26,22781474	37,9562uW	26,4593uW	-30,28991311	
	3	38,1981uW	389,1261nW	375,6037nW	221,1754nW	3,600177528	-41,11469083	30,8752uW	19,1346uW	-38,0259885	
	4	38,1981uW	389,1261nW	375,6037nW	165,2975nW	3,600177528	-55,99151446	30,8752uW	12,9009uW	-58,21597917	
NetSwitchingPower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	87,7357uW	683,5251nW	683,3121nW	495,5696nW	0,0311717	-27,47536594	81,2541uW	56,7654uW	-30,13841763	
	2	64,5741uW	555,8096nW	561,1526nW	400,8047nW	-0,952147419	-28,57474063	54,3220uW	36,7970uW	-32,26133058	
	2,5	45,5361uW	411,5014nW	410,3585nW	324,3362nW	0,278512569	-20,96271918	36,9364uW	28,5173uW	-22,79350451	
	3	45,7226uW	402,1331nW	394,9298nW	295,7066nW	1,823944407	-25,12426259	36,9804uW	26,0497uW	-29,55809023	
	4	45,7226uW	402,1331nW	394,9298nW	224,9275nW	1,823944407	-43,0462072	36,9804uW	20,9331uW	-43,39406821	
TotalDynamicPower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	178,7115uW	1,5039uW	1,5154uW	1,0683uW	-0,758875544	-29,50376138	165,1805uW	111,2395uW	-32,65579169	
	2	128,1203uW	1,2167uW	1,2041uW	874,8329nW	1,046424716	-27,34549456	105,9828uW	72,8844uW	-31,22997317	
	2,5	93,7379uW	935,8855nW	940,5586nW	715,4763nW	-0,496843046	-23,93070458	74,8926uW	54,9765uW	-26,59288101	
	3	83,9207uW	791,2592nW	770,5336nW	516,8820nW	2,689772386	-32,91895383	67,8556uW	45,1843uW	-33,4110965	
	4	83,9207uW	791,2592nW	770,5336nW	390,2249nW	2,689772386	-49,35653682	67,8556uW	33,8340uW	-50,13823472	
CellLeakagePower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	2,5467uW	2,5241uW	2,5352uW	1,4766uW	-0,437835279	-41,75607447	2,5504uW	1,3205uW	-48,22380803	
	2	1,6888uW	1,6907uW	1,6927uW	824,6860nW	-0,118154428	-51,27984876	1,6903uW	840,9582nW	-50,24799148	
	2,5	997,8743nW	1,0150uW	1,0188uW	628,9611nW	-0,372987829	-38,26451708	990,7699nW	592,0472nW	-40,24372359	
	3	818,6274nW	846,5303nW	842,7318nW	334,9882nW	0,450736521	-60,24972595	813,6063nW	344,2646nW	-57,68658625	
	4	818,6274nW	846,5303nW	842,7318nW	200,4457nW	0,450736521	-76,21476963	813,6063nW	203,6873nW	-74,96488166	

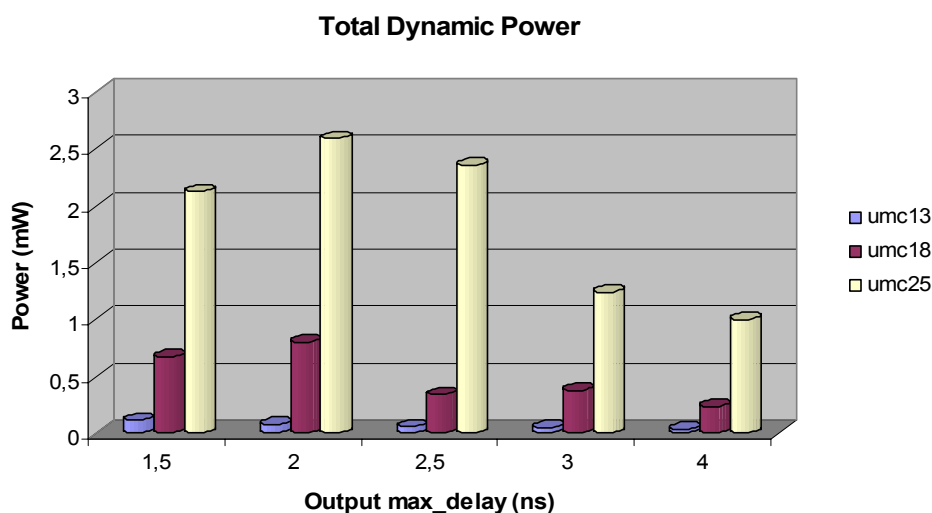
Πίνακας 4-10.Μετρήσεις για το c432 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα c432 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



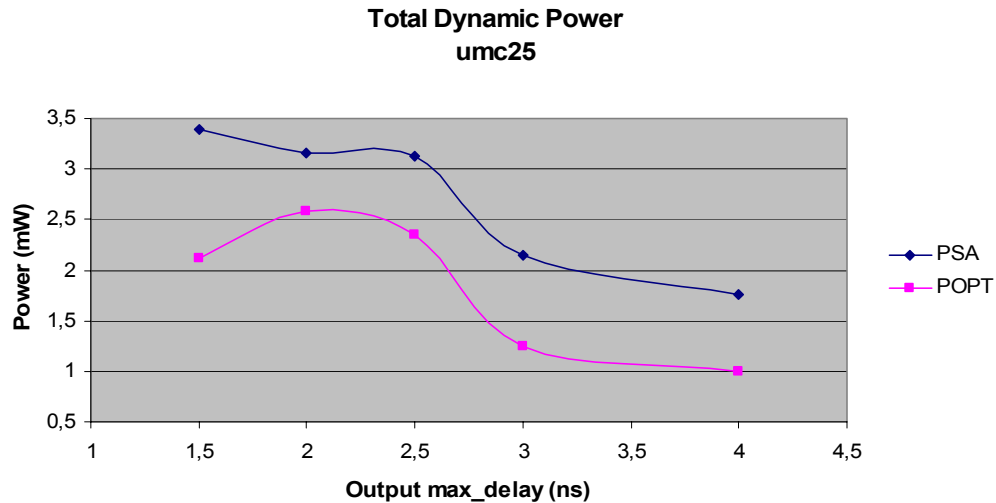
Γράφημα 4-2. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το c432 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



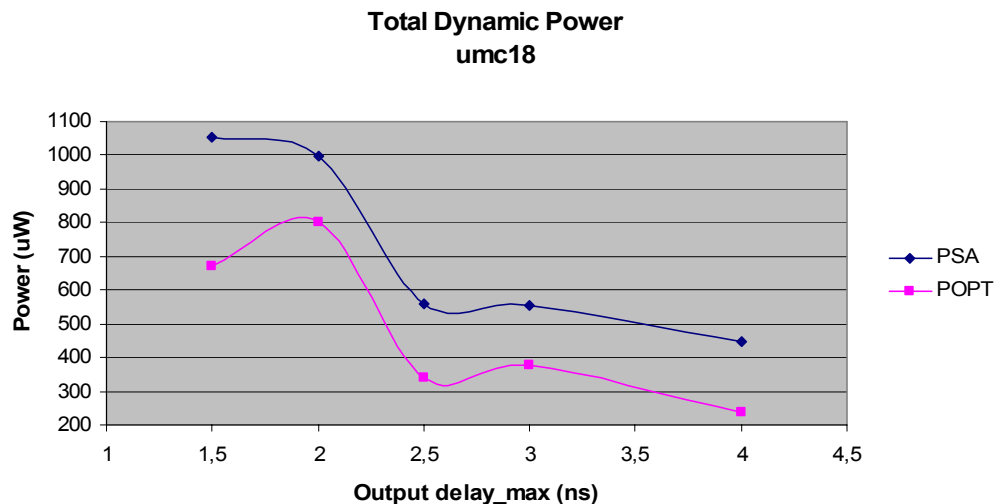
Γράφημα 4-3. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το c432 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c432 στα 25um.



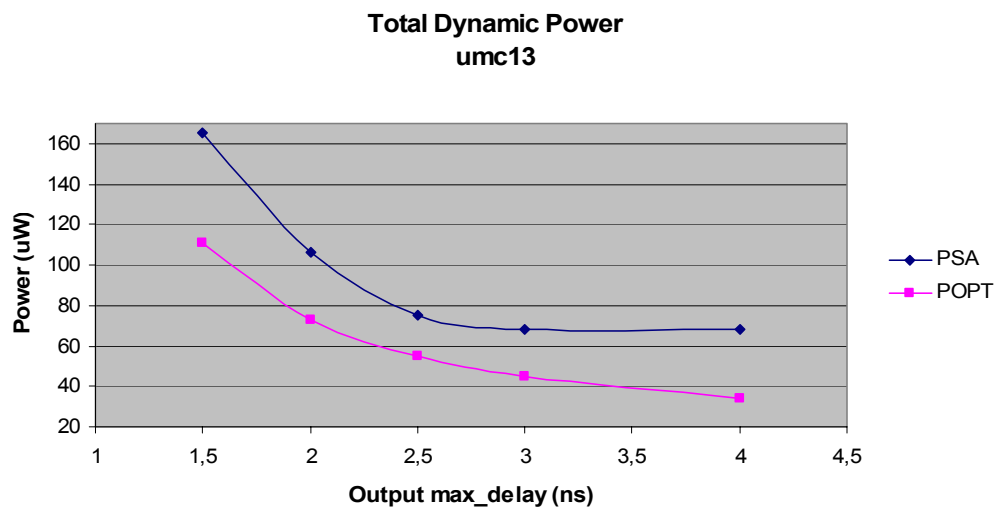
Γράφημα 4-4. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το c432 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c432 στα 18um.



Γράφημα 4-5. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το c432 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c432 στα 13um.



Γράφημα 4-6. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το c432 σε συνάρτηση με το χρόνο max_delay.

Το συνδυαστικό κύκλωμα c2670.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες
233	140	1193

Cell Internal Power		umc25 Low Activity				% Optimization		High Activity		% Optimization	
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	5,9499mW	45,4828uW	44,3361uW	32,3003uW	2,586379948	-27,14672693	5,5500mW	3,7085mW	-33,18018018	
	2	5,7507mW	44,8293uW	43,6294uW	33,1916uW	2,750209721	-23,92377617	5,3071mW	3,4759mW	-34,50472009	
	2,5	4,2517mW	37,5630uW	37,4063uW	28,4563uW	0,418913392	-23,92645089	3,9893mW	2,7853mW	-30,18073346	
	3	4,1906mW	36,5306uW	36,9890uW	25,8301uW	-1,239287356	-30,1681581	3,9298mW	2,7377mW	-30,33487709	
4	3,9600mW	36,3371uW	35,9973uW	24,0695uW	0,943959686	-33,13526292	3,7699mW	2,4684mW	-34,52346216		
Net Switching Power											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	4,1998mW	21,6037uW	21,4885uW	12,9608uW	0,536100705	-39,68494776	3,9439mW	2,2196mW	-43,72068257	
	2	3,8798mW	19,5887uW	19,9028uW	13,0385uW	-1,578169906	-34,48911711	3,6113mW	1,9694mW	-45,4656218	
	2,5	2,3293mW	13,4205uW	13,5478uW	9,4310uW	-0,939635956	-30,38722154	2,1757mW	1,4400mW	-33,81440456	
	3	2,1915mW	12,6503uW	12,7846uW	8,5600uW	-1,050482612	-33,0444441	2,0461mW	1,4003mW	-31,56248473	
4	2,0165mW	12,1073uW	12,0417uW	8,1661uW	0,544773578	-32,1848244	1,8930mW	1,2639mW	-33,23296355		
Total Dynamic Power											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	10,1497mW	67,0865uW	65,8246uW	45,2611uW	1,917064441	-31,23984042	9,4939mW	5,9281mW	-37,55885358	
	2	9,6305mW	64,4180uW	63,5322uW	46,2301uW	1,394253623	-27,23359178	8,9184mW	5,4453mW	-38,94308396	
	2,5	6,5810mW	50,9835uW	50,9541uW	37,8873uW	0,057698988	-25,6442563	6,1650mW	4,2253mW	-31,46309813	
	3	6,3821mW	49,1809uW	49,7736uW	34,3901uW	-1,190791906	-30,90694665	5,9759mW	4,1380mW	-30,75520005	
4	5,9764mW	48,4444uW	48,0390uW	32,2357uW	0,843897666	-32,89681301	5,6629mW	3,7323mW	-34,09207297		
Cell Leakage Power											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	2,6932uW	2,8050uW	2,8494uW	1,9085uW	-1,558222784	-33,02098687	2,7127uW	2,0369uW	-24,91244885	
	2	2,5865uW	2,7093uW	2,6782uW	1,9631uW	1,16122769	-26,70076917	2,5964uW	2,0156uW	-22,3694346	
	2,5	1,9301uW	2,0255uW	2,0186uW	1,7356uW	0,341821064	-14,01961756	1,9464uW	1,6625uW	-14,58590218	
	3	1,8349uW	1,9419uW	1,9384uW	1,6483uW	0,180561288	-14,9659513	1,8467uW	1,6199uW	-12,28136676	
4	1,7186uW	1,8742uW	1,8554uW	1,5683uW	1,013258597	-15,47375229	1,7362uW	1,4855uW	-14,43958069		

Πίνακας 4-11.Μετρήσεις για το c2670 στα 25um.

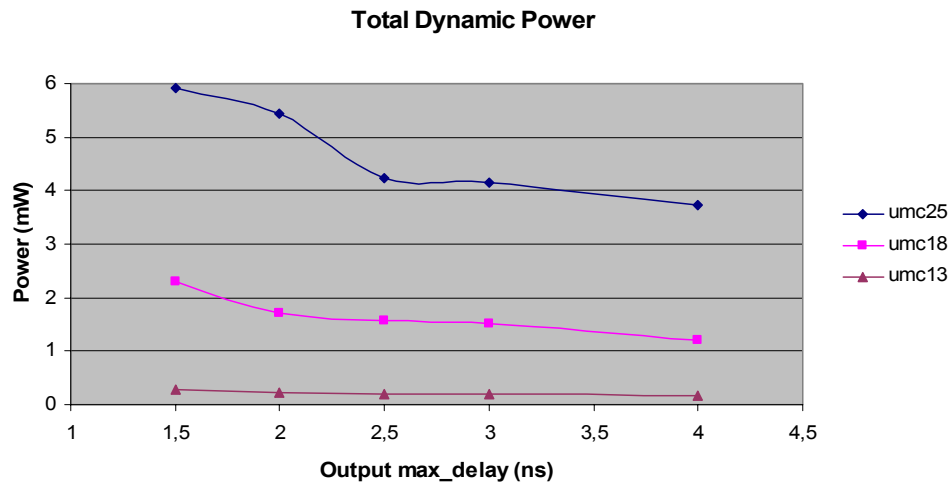
CellInternalPower		umc18 Low Activity				% Optimization		High Activity		% Optimization	
c2670											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	2,1883mW	17,4484uW	17,4272uW	14,1691uW	0,121648917	-18,69548751	2,0328mW	1,4757mW	-27,405549	
	2	1,7960mW	15,0891uW	15,6970uW	11,6251uW	-3,872714531	-25,9406256	1,6823mW	1,2064mW	-28,28865244	
	2,5	1,7103mW	14,9800uW	15,0039uW	10,6172uW	-0,159291917	-29,23706503	1,6114mW	1,1008mW	-31,68673203	
	3	1,6695mW	14,8374uW	14,9513uW	10,5435uW	-0,761806666	-29,48104847	1,5696mW	1,0663mW	-32,06549439	
4	1,6680mW	14,7860uW	14,9776uW	6,2118uW	-1,279243671	-58,52606559	1,5695mW	763,4675uW	-51,3560051		
NetSwitchingPower											
c2670		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	1,2403mW	6,5034uW	6,5544uW	5,0561uW	-0,778103259	-22,85945319	1,1493mW	811,8493uW	-29,36141129	
	2	781,6819uW	4,4517uW	4,5799uW	3,2493uW	-2,799187755	-29,05303609	715,4155uW	502,1862uW	-29,8049595	
	2,5	752,9592uW	4,4118uW	4,3928uW	2,9158uW	0,432525952	-33,6232016	691,0187uW	459,6548uW	-33,48156859	
	3	733,8330uW	4,2796uW	4,3504uW	2,9146uW	-1,627436558	-33,00386171	672,7712uW	446,4926uW	-33,63381191	
	4	731,9415uW	4,2452uW	4,3853uW	2,6531uW	-3,194764326	-39,50014822	670,3677uW	451,7054uW	-32,61826308	
TotalDynamicPower											
c2670		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	3,4287mW	23,9518uW	23,9816uW	19,2251uW	-0,124261934	-19,83395603	3,1820mW	2,2876mW	-28,10810811	
	2	2,5777mW	19,5408uW	20,2769uW	14,8743uW	-3,630239336	-26,64411227	2,3977mW	1,7086mW	-28,74004254	
	2,5	2,4633mW	19,3918uW	19,3967uW	13,5330uW	-0,025262029	-30,23040002	2,3024mW	1,5605mW	-32,22289785	
	3	2,4033mW	19,1170uW	19,3018uW	13,4581uW	-0,95742366	-30,27541473	2,2424mW	1,5128mW	-32,53656796	
	4	2,3999mW	19,0312uW	19,3630uW	8,8648uW	-1,713577442	-54,21783814	2,2399mW	1,2152mW	-45,74757802	
CellLeakagePower											
c2670		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	1,5250uW	1,5161uW	1,5250uW	1,0946uW	-0,583606557	-28,22295082	1,5250uW	1,0162uW	-33,36393443	
	2	912,9758nW	912,9758nW	912,9758nW	662,7492nW	0	-27,40780205	912,9758nW	657,3047nW	-28,00414863	
	2,5	878,2754nW	878,2754nW	878,2754nW	601,0567nW	0	-31,56398323	878,2754nW	608,2158nW	-30,74885167	
	3	841,2338nW	841,2338nW	841,2338nW	576,9930nW	0	-31,41110117	841,2338nW	578,8878nW	-31,18586058	
	4	832,4337nW	832,4337nW	832,4337nW	525,8516nW	0	-36,82961178	832,4337nW	505,5992nW	-39,26252625	

Πίνακας 4-12.Μετρήσεις για το c2670 στα 18um.

CellInternalPower		umc13 Low Activity				% Optimization		High Activity		% Optimization	
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	257,1008uW	2,3718uW	2,5378uW	1,9140uW	-6,541098589	-24,58034518	245,7323uW	177,7811uW	-27,65253082	
	2	231,9965uW	2,3150uW	2,3826uW	1,5174uW	-2,837236632	-36,31327122	221,4601uW	135,1971uW	-38,95193762	
	2,5	221,0170uW	2,3330uW	2,2687uW	1,4437uW	2,834222242	-36,36443778	215,1114uW	116,8725uW	-45,66884879	
	3	221,0551uW	2,3292uW	2,2671uW	1,2773uW	2,739182215	-43,65930043	214,8737uW	113,7126uW	-47,07933079	
4	221,0551uW	2,3292uW	2,2671uW	738,7039nW	2,739182215	32483,64871	214,8737uW	78,1377uW	-63,6355217		
NetSwitchingPower											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	133,6299uW	752,3542nW	790,5479nW	652,4385nW	-4,831294853	-17,47008625	125,2534uW	104,8840uW	-16,26255255	
	2	122,7018uW	744,2376nW	751,0380nW	516,1003nW	-0,905466834	-31,28173275	114,9345uW	82,8559uW	-27,91033154	
	2,5	119,0014uW	745,6230nW	718,3842nW	479,5531nW	3,791675819	-33,24559477	112,3823uW	81,6187uW	-27,37406157	
	3	118,9386uW	738,9922nW	714,4305nW	463,3241nW	3,437941129	-35,14777155	112,3954uW	77,4212uW	-31,11710977	
4	118,9386uW	738,9922nW	714,4305nW	488,1891nW	3,437941129	-31,66737702	112,3954uW	82,1392uW	-26,91942909		
TotalDynamicPower											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	390,7307uW	3,1242uW	3,3284uW	2,5664uW	-6,135079918	-22,89388295	370,9857uW	282,6651uW	-23,80700927	
	2	354,6983uW	3,0592uW	3,1336uW	2,0335uW	-2,37426602	-35,10658667	336,3947uW	218,0529uW	-35,17944843	
	2,5	340,0184uW	3,0786uW	2,9871uW	1,9232uW	3,063171638	-35,61648422	327,4937uW	198,4912uW	-39,39083408	
	3	339,9937uW	3,0682uW	2,9815uW	1,7407uW	2,907932249	-41,61663592	327,2691uW	191,1339uW	-41,5973277	
4	339,9937uW	3,0682uW	2,9815uW	1,2269uW	2,907932249	-58,84957236	327,2691uW	160,2769uW	-51,02595998		
CellLeakagePower											
c2670											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	2,9873uW	2,9961uW	3,0011uW	1,7814uW	-0,166605578	-40,64176469	2,9976uW	1,7632uW	-41,17961035	
	2	2,7318uW	2,7579uW	2,7587uW	1,1254uW	-0,028999166	-59,20542284	2,7394uW	1,1564uW	-57,78637658	
	2,5	2,5715uW	2,6157uW	2,6179uW	943,6800nW	-0,084036823	35947,21342	2,5824uW	959,6071nW	-62,84049334	
	3	2,5516uW	2,5966uW	2,5983uW	898,7473nW	-0,065427395	-65,41017973	2,5611uW	881,2056nW	-65,59269064	
4	2,5516uW	2,5966uW	2,5983uW	629,7419nW	-0,065427395	-75,76331063	2,5611uW	699,4332nW	-72,69012534		

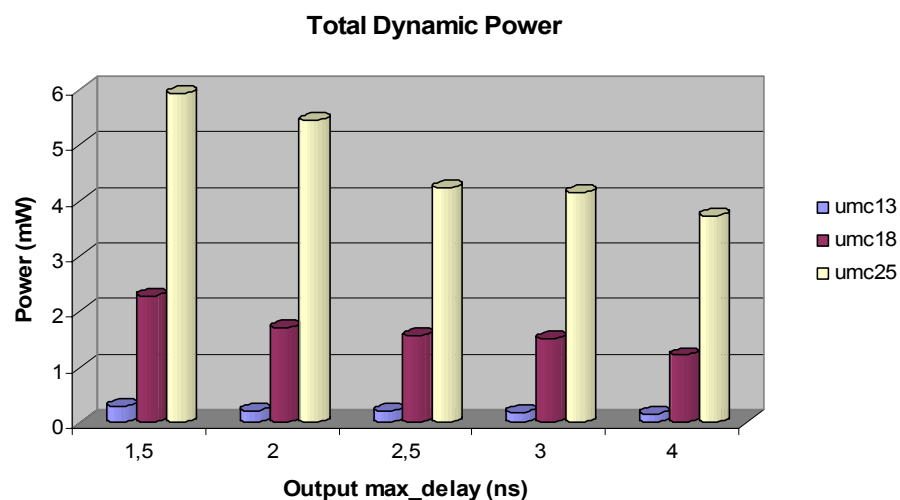
Πίνακας 4-13.Μετρήσεις για το c2670 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα c2670 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



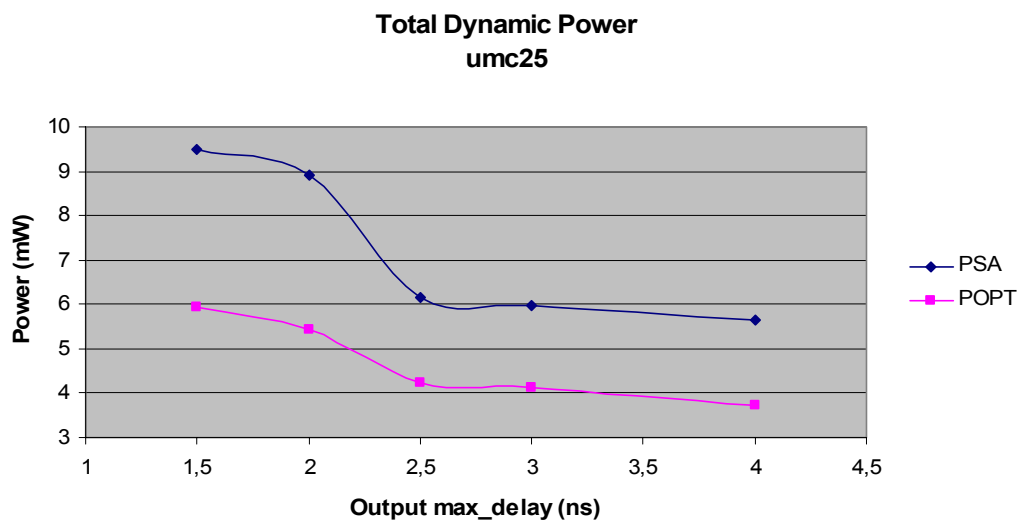
Γράφημα 4-7. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το c2670 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



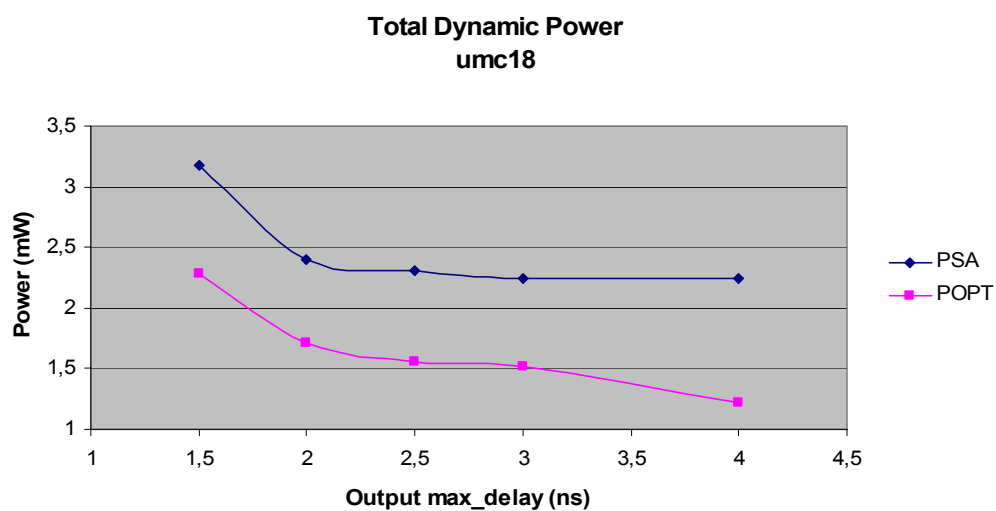
Γράφημα 4-8. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το c2670 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c2670 στα 25um.



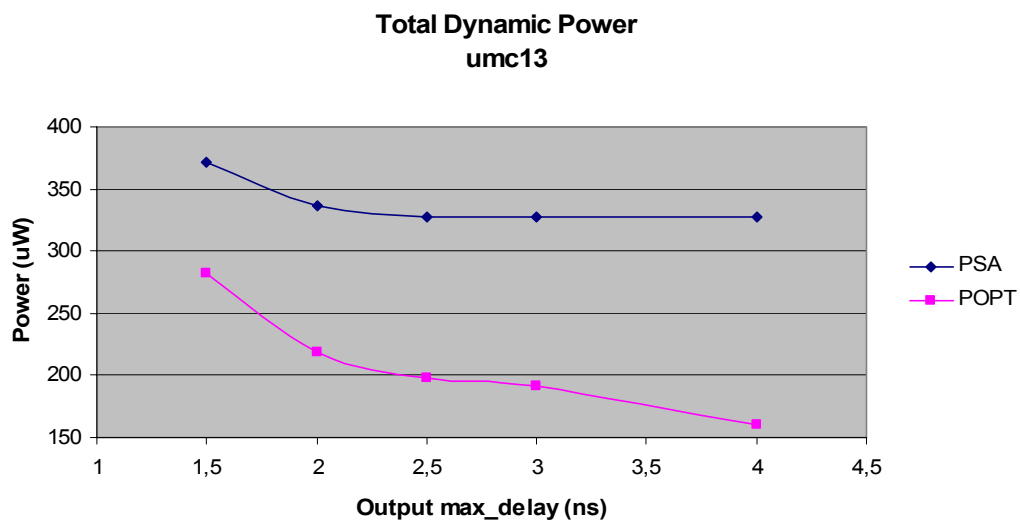
Γράφημα 4-9. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το c2670 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c2670 στα 18um.



Γράφημα 4-10. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το c2670 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το c432 στα 13um.



Γράφημα 4-11. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το c2670 σε συνάρτηση με το χρόνο max_delay.

Το συνδυαστικό κύκλωμα S1423.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες
17	5	490

Επίσης, διαθέτει:

167 inverters

490 πύλες (197 ANDs + 64 NANDs + 137 ORs + 92 NORs)

CellInternalPower		umc25 Low Activity				% Optimization		High Activity		% Optimization	
S1423		PWSA	PPO	PSA	POPT	(PPO-PSA)%	(POPT-PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		4,1051mW	27,6604uW	23,1741uW	14,8442uW	19,35911211	-35,94486949	3,8595mW	2,8111mW	-27,16414043	
2		3,9963mW	25,3160uW	22,0427uW	15,8317uW	14,84981422	-28,17712894	3,7537mW	2,4111mW	-35,76737619	
2,5		3,8475mW	21,6688uW	22,2962uW	14,0149uW	-2,813932419	-37,1422036	3,5868mW	2,3309mW	-35,0144976	
3		3,6341mW	20,6347uW	20,5615uW	11,4361uW	0,356005155	-44,38100333	3,3919mW	1,8119mW	-46,58156196	
4		2,5791mW	14,1847uW	14,3164uW	7,5283uW	-0,919924003	-47,4148529	2,3675mW	1,1523mW	-51,32840549	
NetSwitchingPower		PWSA	PPO	PSA	POPT	(PPO-PSA)%	(POPT-PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		3,3603mW	21,8323uW	16,9248uW	12,7859uW	28,99591133	-24,45464644	3,2088mW	2,6013mW	-18,93231114	
2		3,3776mW	19,6329uW	16,5680uW	11,9423uW	18,49891357	-27,91948334	3,2446mW	2,2400mW	-30,96221414	
2,5		3,0219mW	15,2137uW	15,4302uW	11,6649uW	-1,403092637	-24,40214644	2,8794mW	1,9944mW	-30,73556991	
3		2,8320mW	13,9814uW	14,1830uW	9,7982uW	-1,42142001	-30,91588521	2,7119mW	1,8060mW	-33,40462406	
4		2,1543mW	10,5262uW	10,5113uW	6,9721uW	0,14175221	-33,67043087	2,0571mW	1,3482mW	-34,46113461	
TotalDynamicPower		PWSA	PPO	PSA	POPT	(PPO-PSA)%	(POPT-PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		7,4654mW	49,4927uW	40,0989uW	27,6301uW	23,42657779	-31,09511732	7,0683mW	5,4124mW	-23,42713241	
2		7,3739mW	44,9489uW	38,6107uW	27,7740uW	16,4156568	-28,06657222	6,9983mW	4,6511mW	-33,5395739	
2,5		6,8693mW	36,8824uW	37,7264uW	25,6798uW	-2,237160185	-31,93148564	6,4662mW	4,3253mW	-33,10909035	
3		6,4661mW	34,6160uW	34,7444uW	21,2343uW	-0,369555957	-38,88425185	6,1038mW	3,6180mW	-40,72544972	
4		4,7335mW	24,7109uW	24,8277uW	14,5003uW	-0,470442288	-41,59628157	4,4246mW	2,5006mW	-43,48415676	
CellLeakagePower		PWSA	PPO	PSA	POPT	(PPO-PSA)%	(POPT-PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		2,4027uW	3,1761uW	2,4541uW	2,1772uW	29,42015403	-11,2831588	2,4098uW	2,3380uW	-2,979500373	
2		2,3576uW	2,8137uW	2,3888uW	2,0246uW	17,78717348	-15,24614869	2,3765uW	1,9030uW	-19,92425836	
2,5		2,3169uW	2,2701uW	2,3047uW	1,8565uW	-1,501279993	-19,44721656	2,3199uW	1,8853uW	-18,7335661	
3		2,1648uW	2,1476uW	2,1679uW	1,6306uW	-0,936390055	-24,78435352	2,1707uW	1,6702uW	-23,05707836	
4		1,5989uW	1,6818uW	1,6929uW	1,2778uW	-0,655679603	-24,52005434	1,5928uW	1,2328uW	-22,60170768	

Πίνακας 4-14.Μετρήσεις για το S1423 στα 25um.

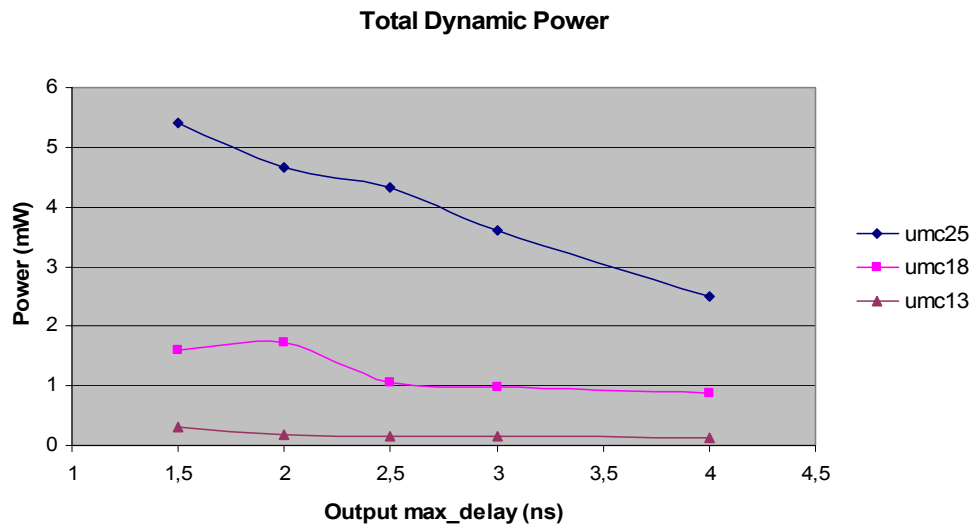
CellInternalPower		umc18 Low Activity				% Optimization		High Activity		% Optimization	
S1423		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,8053mW	9,3095uW	9,3715uW	5,4221uW	-0,661580323	-42,1426666	1,7010mW	889,6241uW	-47,69993533	
2		1,4562mW	8,3713uW	7,5800uW	5,3003uW	10,43931398	-30,07519789	1,3682mW	970,2667uW	-29,08443941	
2,5		1,1751mW	6,0964uW	6,3173uW	3,0950uW	-3,496747028	-51,00755069	1,0935mW	560,0427uW	-48,78438957	
3		1,0721mW	5,7440uW	5,6652uW	3,0508uW	1,390948245	-46,14841488	992,8832uW	515,3751uW	-48,09307882	
4		1,0326mW	5,3391uW	5,3681uW	2,5370uW	-0,540228386	-52,73933049	952,8283uW	457,0850uW	-52,02860788	
NetSwitchingPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,2526mW	6,3608uW	6,1535uW	3,9431uW	3,368814496	-35,92102056	1,1957mW	712,3445uW	-40,42447938	
2		994,0610uW	5,4215uW	4,8828uW	3,7952uW	11,03260424	-22,27410502	950,5859uW	746,4160uW	-21,47832195	
2,5		808,0963uW	4,0005uW	4,1045uW	2,5530uW	-2,533804361	-37,79997564	773,6367uW	505,7043uW	-34,63284511	
3		683,1487uW	3,3776uW	3,4209uW	2,4085uW	-1,26574878	-29,59455114	650,9679uW	458,7437uW	-29,52898292	
4		653,3515uW	3,1343uW	3,1739uW	2,1342uW	-1,24767636	-32,75780585	622,1080uW	422,7641uW	-32,04329473	
TotalDynamicPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		3,0579mW	15,6704uW	15,5250uW	9,3651uW	0,936553945	-39,67729469	2,8966mW	1,6020mW	-44,69377891	
2		2,4503mW	13,7928uW	12,4628uW	9,0955uW	10,67175916	-27,01880797	2,3188mW	1,7167mW	-25,96601691	
2,5		1,9832mW	10,0968uW	10,4218uW	5,6480uW	-3,118463221	-45,80590685	1,8672mW	1,0657mW	-42,92523565	
3		1,7553mW	9,1216uW	9,0861uW	5,4593uW	0,390706684	-39,91591552	1,6439mW	974,1189uW	-40,74342113	
4		1,6860mW	8,4734uW	8,5420uW	4,6712uW	-0,803090611	-45,31491454	1,5749mW	879,8491uW	-44,13301797	
CellLeakagePower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,6307uW	1,6253uW	1,6307uW	883,9652nW	-0,331146134	-45,79228552	1,6307uW	847,4547nW	-48,03123199	
2		1,2130uW	1,3190uW	1,2130uW	816,8571nW	8,738664468	-32,65811212	1,2130uW	846,6426nW	-30,20258862	
2,5		950,8907nW	950,8907nW	950,8907nW	548,0455nW	0	-42,36503733	950,8907nW	543,9363nW	-42,79717953	
3		774,2441nW	774,2441nW	774,2441nW	495,0182nW	0	-36,0643239	774,2441nW	475,6944nW	-38,56015177	
4		755,2731nW	755,2731nW	755,2731nW	444,2303nW	0	-41,18282513	755,2731nW	437,0915nW	-42,12801965	

Πίνακας 4-15.Μετρήσεις για το S1423 στα 18um.

CellInternalPower		umc13 Low Activity				% Optimization		High Activity		% Optimization	
S1423											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	251,4746uW	1,4224uW	1,3601uW	1,0667uW	4,580545548	-21,57194324	235,2233uW	170,8840uW	-27,3524349	
	2	157,0751uW	929,4262nW	921,9363nW	518,0275nW	0,812409708	-43,81092273	142,4256uW	82,3908uW	-42,15169183	
	2,5	140,4224uW	776,2318nW	789,6785nW	491,1983nW	-1,702806902	-37,79768602	126,4340uW	77,6720uW	-38,56715757	
	3	134,4571uW	738,6783nW	731,4579nW	438,7660nW	0,987124481	-40,0148662	121,2762uW	72,0823uW	-40,56352359	
	4	123,1425uW	680,4277nW	672,4303nW	401,1450nW	1,189327727	-40,34400294	109,7137uW	63,7835uW	-41,86368703	
NetSwitchingPower											
S1423											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	202,2982uW	982,6031nW	990,5975nW	804,1027nW	-0,807028082	-18,82649613	194,7087uW	145,9960uW	-25,0182452	
	2	139,9269uW	711,3907nW	711,8276nW	531,4303nW	-0,061377221	-25,34283582	133,2205uW	103,7227uW	-22,14208774	
	2,5	128,3575uW	620,1123nW	633,0587nW	434,2159nW	-2,045055222	-31,40985188	122,2797uW	81,0686uW	-33,70232344	
	3	122,5490uW	584,3201nW	586,4082nW	402,9150nW	-0,356083015	-31,29103583	116,6101uW	75,5529uW	-35,20895703	
	4	115,7208uW	550,5629nW	546,2900nW	377,6225nW	0,782166981	-30,87508466	109,9926uW	72,7255uW	-33,88146112	
TotalDynamicPower											
S1423											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	453,7728uW	2,4050uW	2,3507uW	1,8708uW	2,309950228	-20,41519547	429,9319uW	316,8800uW	-26,29530398	
	2	297,0020uW	1,6408uW	1,6338uW	1,0495uW	0,428449015	-35,76325132	275,6461uW	186,1135uW	-32,48099647	
	2,5	268,7798uW	1,3963uW	1,4227uW	925,4141nW	-1,855626625	-34,95367259	248,7137uW	158,7406uW	-36,17536951	
	3	257,0060uW	1,3230uW	1,3179uW	841,6810nW	0,386979285	-36,13468397	237,8862uW	147,6352uW	-37,93872869	
	4	238,8632uW	1,2310uW	1,2187uW	778,7675nW	1,009272175	-36,09850661	219,7063uW	136,5090uW	-37,86750767	
CellLeakagePower											
S1423											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	5,6004uW	5,2694uW	5,7548uW	3,4416uW	-8,434697991	-40,19601029	5,6049uW	3,1645uW	-43,54047351	
	2	2,9284uW	2,9806uW	2,9703uW	1,4754uW	0,34676632	-50,32824967	2,9224uW	1,4494uW	-50,40377772	
	2,5	2,6220uW	2,6540uW	2,6697uW	1,1012uW	-0,588081058	-58,75191969	2,6122uW	1,0558uW	-59,58196156	
	3	2,5734uW	2,6024uW	2,6073uW	945,4618nW	-0,187933878	-63,73789744	2,5715uW	922,7823nW	-64,11501847	
	4	2,2648uW	2,2895uW	2,2764uW	846,4738nW	0,57547004	-62,81524337	2,2567uW	783,8618nW	-65,2651305	

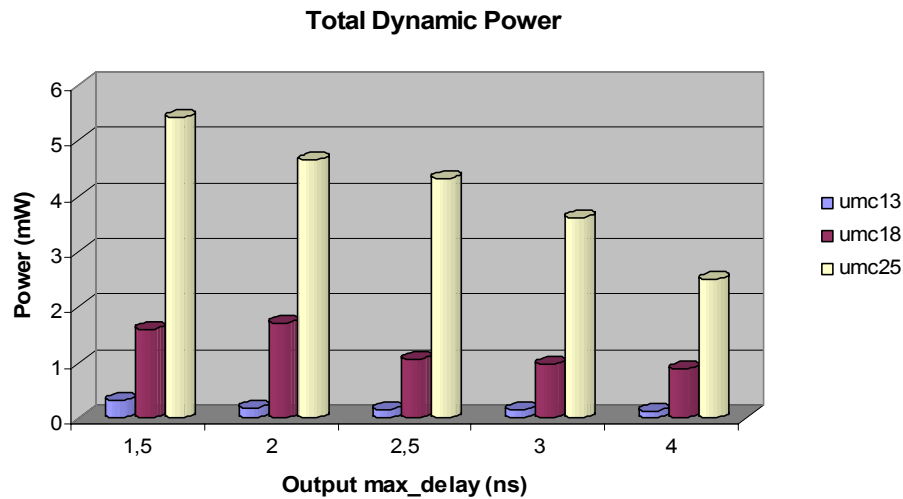
Πίνακας 4-16.Μετρήσεις για το S1423 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα S1423 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



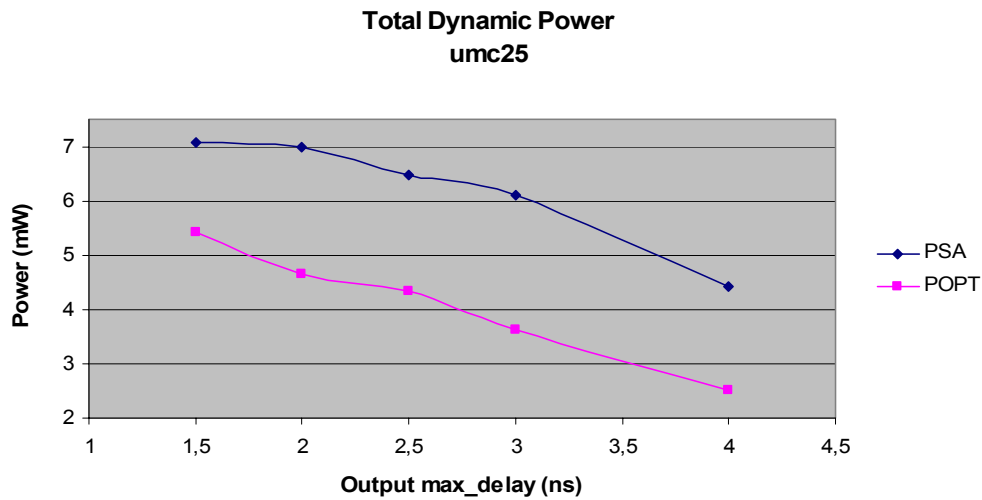
Γράφημα 4-12. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το S1423 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



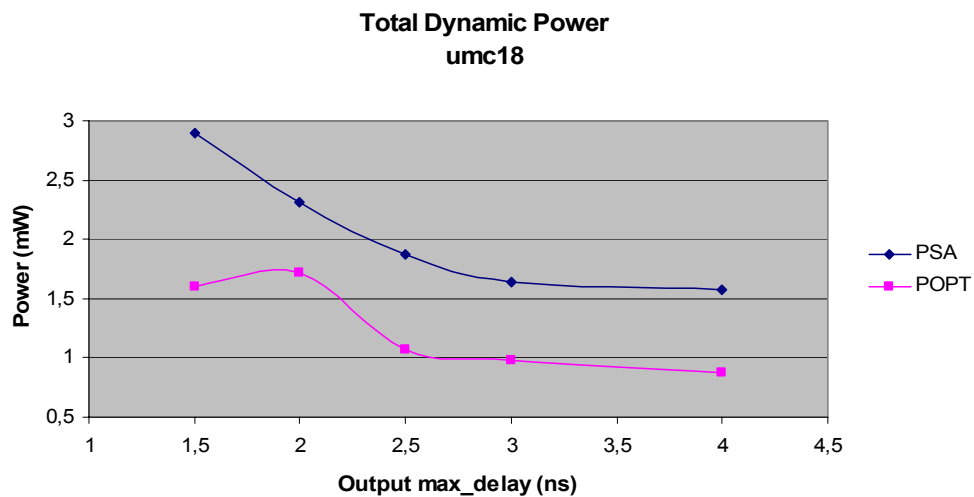
Γράφημα 4-13. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το S1423 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το S1423 στα 25um.



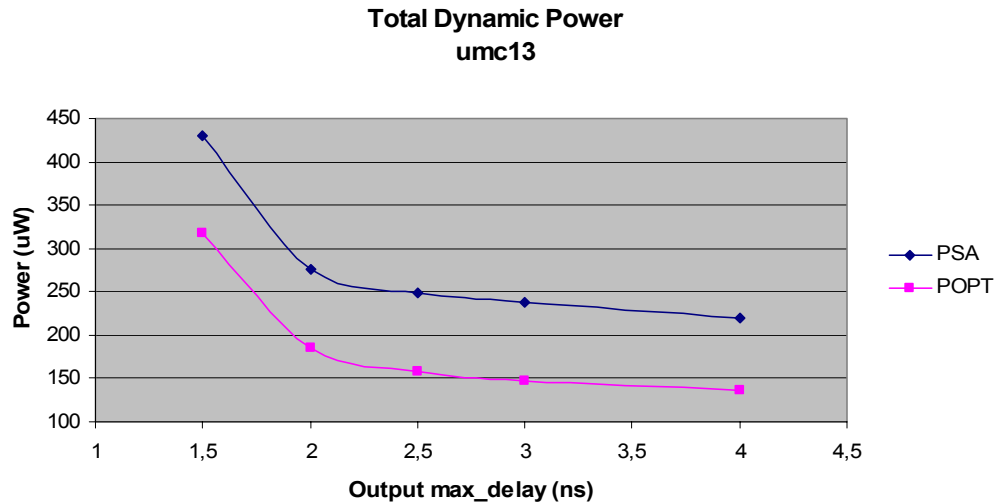
Γράφημα 4-14. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το S1423 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το S1423 στα 18um.



Γράφημα 4-15. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το S1423 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το S1423 στα 13um.



Γράφημα 4-16. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το S1423 σε συνάρτηση με το χρόνο max_delay.

Πειραματικές μετρήσεις με ακολουθιακά κυκλώματα.

Συνολικά προσομοιώθηκαν 21 ακολουθιακά κυκλώματα με τα εργαλεία Design Compiler και Power Compiler. Παρακάτω θα παρουσιαστούν 3 αντιπροσωπευτικά κυκλώματα. Η μετρήσεις έγιναν και στις τρεις διαθέσιμες τεχνολογίες και για τιμές της παραμέτρου max_delay = [4, 3, 2.5, 2, 1.5] σε ns. Στην συνέχεια παρατίθενται πίνακες με τις μετρήσεις που έγιναν:

Το ακολουθιακό κύκλωμα Sdff420.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες	D flipflops
19	2	122	16

Επίσης, διαθέτει:

74 inverters
122 πύλες (28 ANDs + 46 NANDs + 9 ORs + 39 NORs)

CellInternalPower		umc25 Low Activity				% Optimization		High Activity		% Optimization	
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		433,0149uW	28,2535uW	24,6614uW	18,1100uW	14,56567754	-26,5654018	214,9548uW	165,2917uW	-23,10397349	
2		343,7259uW	16,6836uW	16,8305uW	9,9076uW	-0,872820178	-41,133062	132,3221uW	67,2560uW	-49,17251162	
2,5		288,6284uW	15,1896uW	15,0835uW	9,1995uW	0,703417642	-39,00951371	104,5821uW	46,1120uW	-55,90832466	
3		288,5113uW	15,1883uW	15,0822uW	9,1980uW	0,703478272	-39,01420217	104,5820uW	35,4939uW	-66,06117688	
4		288,5113uW	15,1883uW	15,0822uW	4,6532uW	0,703478272	-69,14773707	104,5820uW	30,3151uW	-71,01308064	
NetSwitchingPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		576,2921uW	292,0686uW	287,7671uW	282,8220uW	1,494785193	-1,718438279	494,8812uW	427,5910uW	-13,59724314	
2		451,5595uW	283,8163uW	283,8420uW	279,7804uW	-0,009054333	-1,43093693	394,2058uW	359,5104uW	-8,801341837	
2,5		415,8051uW	283,4881uW	283,5085uW	278,8698uW	-0,007195551	-1,636176693	368,7804uW	343,2648uW	-6,918914346	
3		413,9759uW	283,4716uW	283,4920uW	278,8683uW	-0,00719597	-1,630980768	368,7804uW	341,1573uW	-7,490392656	
4		413,9759uW	283,4716uW	283,4920uW	278,7154uW	-0,00719597	-1,684915271	368,7804uW	340,4253uW	-7,688884767	
TotalDynamicPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,0093mW	320,3221uW	312,4285uW	300,9320uW	2,52653007	-3,67972192	709,8359uW	592,8828uW	-16,47607567	
2		795,2854uW	300,4998uW	300,6725uW	289,6880uW	-0,05743791	-3,653310496	526,5279uW	426,7664uW	-18,94704915	
2,5		704,4335uW	298,6777uW	298,5920uW	288,0693uW	0,028701372	-3,524106473	473,3625uW	389,3769uW	-17,74234334	
3		702,4872uW	298,6599uW	298,5742uW	288,0663uW	0,028703083	-3,519359677	473,3624uW	376,6512uW	-20,43068905	
4		702,4872uW	298,6599uW	298,5742uW	283,3686uW	0,028703083	-5,092737417	473,3624uW	370,7404uW	-21,67937293	
CellLeakagePower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,5066uW	1,3794uW	1,3621uW	1,4506uW	1,270097643	6,497320314	1,3604uW	1,4263uW	4,844163481	
2		1,3081uW	1,1732uW	1,1738uW	1,3824uW	-0,051116033	17,77134094	1,1760uW	1,3728uW	16,73469388	
2,5		1,2695uW	1,1774uW	1,1781uW	1,4451uW	-0,059417706	22,6636109	1,1818uW	1,4398uW	21,83110509	
3		1,2645uW	1,1761uW	1,1768uW	1,4453uW	-0,059483345	22,81611149	1,1805uW	1,4548uW	23,23591698	
4		1,2645uW	1,1761uW	1,1768uW	1,4501uW	-0,059483345	23,22399728	1,1805uW	1,4678uW	24,33714528	

Πίνακας 4-17. Μετρήσεις για το Sdff420 στα 25um.

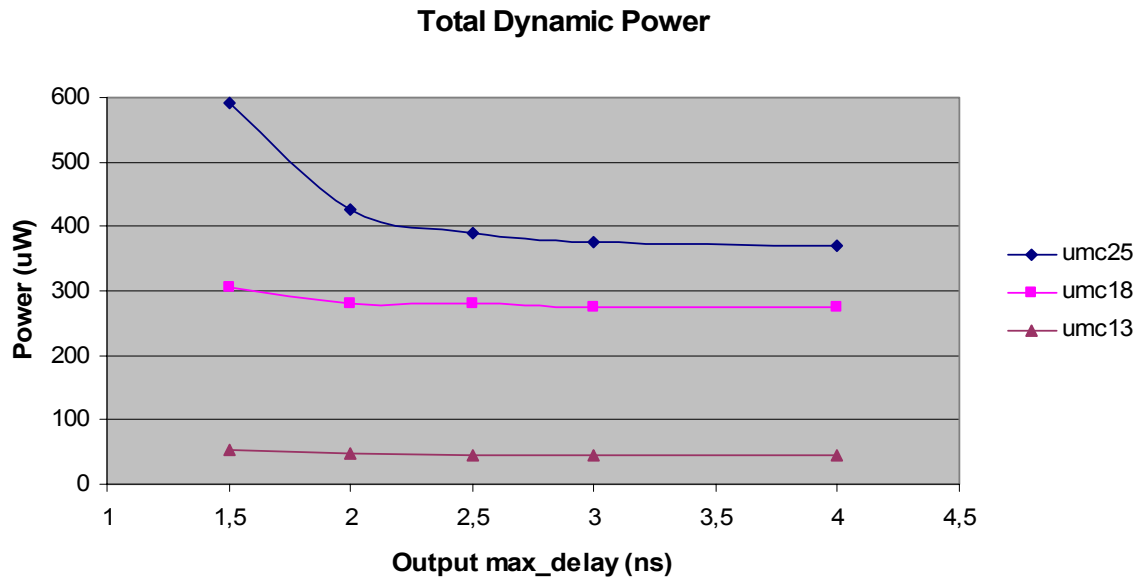
CellInternalPower		umc18 Low Activity				% Optimization		High Activity		% Optimization	
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		315,8738uW	236,5376uW	236,6389uW	187,8420uW	-0,042807839	-20,62082777	278,2169uW	210,0523uW	-24,50052459	
2		297,7625uW	236,4322uW	236,3948uW	172,2445uW	0,015820991	-27,13693364	272,6084uW	195,0590uW	-28,44717918	
2,5		297,7625uW	236,4322uW	236,3948uW	172,1651uW	0,015820991	-27,17052152	272,6084uW	194,8373uW	-28,52850462	
3		297,7625uW	236,4322uW	236,3948uW	170,8462uW	0,015820991	-27,72844411	272,6084uW	190,4713uW	-30,13006936	
4		297,7625uW	236,4322uW	236,3948uW	170,8462uW	0,015820991	-27,72844411	272,6084uW	190,7699uW	-30,02053495	
NetSwitchingPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		139,6705uW	81,7172uW	81,7376uW	69,8540uW	-0,024957914	-14,53871902	116,9194uW	94,9079uW	-18,82621703	
2		129,5229uW	81,6398uW	81,6404uW	65,7358uW	-0,00073493	-19,48128623	110,4604uW	86,4437uW	-21,74236197	
2,5		129,5229uW	81,6398uW	81,6404uW	65,6440uW	-0,00073493	-19,59373055	110,4604uW	86,2336uW	-21,93256588	
3		129,5229uW	81,6398uW	81,6404uW	65,3724uW	-0,00073493	-19,92640898	110,4604uW	84,1112uW	-23,85397844	
4		129,5229uW	81,6398uW	81,6404uW	65,3724uW	-0,00073493	-19,92640898	110,4604uW	84,0905uW	-23,87271819	
TotalDynamicPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		455,5443uW	318,2547uW	318,3765uW	257,6961uW	-0,038256592	-19,05932128	395,1363uW	304,9602uW	-22,82151754	
2		427,2853uW	318,0720uW	318,0351uW	237,9803uW	0,011602493	-25,17168702	383,0688uW	281,5027uW	-26,51380118	
2,5		427,2853uW	318,0720uW	318,0351uW	237,8091uW	0,011602493	-25,22551756	383,0688uW	281,0709uW	-26,62652244	
3		427,2853uW	318,0720uW	318,0351uW	236,2186uW	0,011602493	-25,72561959	383,0688uW	274,5826uW	-28,32029129	
4		427,2853uW	318,0720uW	318,0351uW	236,2186uW	0,011602493	-25,72561959	383,0688uW	274,8604uW	-28,24777168	
CellLeakagePower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		312,0635nW	312,0635nW	312,0635nW	277,0185nW	0	-11,23008618	312,0635nW	268,1125nW	-14,08399252	
2		283,0043nW	283,0043nW	283,0043nW	273,2106nW	0	-3,460618796	283,0043nW	268,1116nW	-5,262358204	
2,5		283,0043nW	283,0043nW	283,0043nW	275,8860nW	0	-2,515262136	283,0043nW	265,5160nW	-6,179517414	
3		283,0043nW	283,0043nW	283,0043nW	284,3061nW	0	0,459993011	283,0043nW	273,2564nW	-3,444435297	
4		283,0043nW	283,0043nW	283,0043nW	284,3061nW	0	0,459993011	283,0043nW	280,9575nW	-0,723239894	

Πίνακας 4-18. Μετρήσεις για το Sdff420 στα 18um.

CellInternalPower		umc13 Low Activity				% Optimization		High Activity		% Optimization	
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		57,2272uW	42,5120uW	42,5206uW	31,5323uW	-0,020225491	-25,84229762	48,1947uW	35,0773uW	-27,21751562	
2		57,2272uW	42,5120uW	42,5206uW	26,5972uW	-0,020225491	-37,44867194	48,1947uW	30,1160uW	-37,51180109	
2,5		57,2272uW	42,5120uW	42,5206uW	26,5972uW	-0,020225491	-37,44867194	48,1947uW	29,5126uW	-38,76380598	
3		57,2272uW	42,5120uW	42,5206uW	26,5972uW	-0,020225491	-37,44867194	48,1947uW	29,5126uW	-38,76380598	
4		57,2272uW	42,5120uW	42,5206uW	26,5972uW	-0,020225491	-37,44867194	48,1947uW	29,5126uW	-38,76380598	
NetSwitchingPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		24,7582uW	15,7313uW	15,7359uW	13,5640uW	-0,029232519	-13,80219752	21,8884uW	18,0808uW	-17,39551543	
2		24,7582uW	15,7313uW	15,7359uW	12,6281uW	-0,029232519	-19,74974422	21,8884uW	16,6154uW	-24,09038578	
2,5		24,7582uW	15,7313uW	15,7359uW	12,6284uW	-0,029232519	-19,74783775	21,8884uW	16,4837uW	-24,69207434	
3		24,7582uW	15,7313uW	15,7359uW	12,6284uW	-0,029232519	-19,74783775	21,8884uW	16,4837uW	-24,69207434	
4		24,7582uW	15,7313uW	15,7359uW	12,6284uW	-0,029232519	-19,74783775	21,8884uW	16,4837uW	-24,69207434	
TotalDynamicPower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		81,9854uW	58,2433uW	58,2564uW	45,0963uW	-0,0224868	-22,58996436	70,0831uW	53,1581uW	-24,14990204	
2		81,9854uW	58,2433uW	58,2564uW	39,2253uW	-0,0224868	-32,66782705	70,0831uW	46,7314uW	-33,32001581	
2,5		81,9854uW	58,2433uW	58,2564uW	39,2256uW	-0,0224868	-32,66731209	70,0831uW	45,9963uW	-34,36891348	
3		81,9854uW	58,2433uW	58,2564uW	39,2256uW	-0,0224868	-32,66731209	70,0831uW	45,9963uW	-34,36891348	
4		81,9854uW	58,2433uW	58,2564uW	39,2256uW	-0,0224868	-32,66731209	70,0831uW	45,9963uW	-34,36891348	
CellLeakagePower											
Sdff420		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,0651uW	1,0211uW	1,0226uW	482,2065nW	-0,146684921	-52,84505183	1,0122uW	487,7701nW	-51,81089706	
2		1,0651uW	1,0211uW	1,0226uW	358,9389nW	-0,146684921	-64,89938392	1,0122uW	360,6792nW	-64,36680498	
2,5		1,0651uW	1,0211uW	1,0226uW	348,6455nW	-0,146684921	-65,90597497	1,0122uW	350,4950nW	-65,37295001	
3		1,0651uW	1,0211uW	1,0226uW	348,6455nW	-0,146684921	-65,90597497	1,0122uW	350,4950nW	-65,37295001	
4		1,0651uW	1,0211uW	1,0226uW	348,6455nW	-0,146684921	-65,90597497	1,0122uW	350,4950nW	-65,37295001	

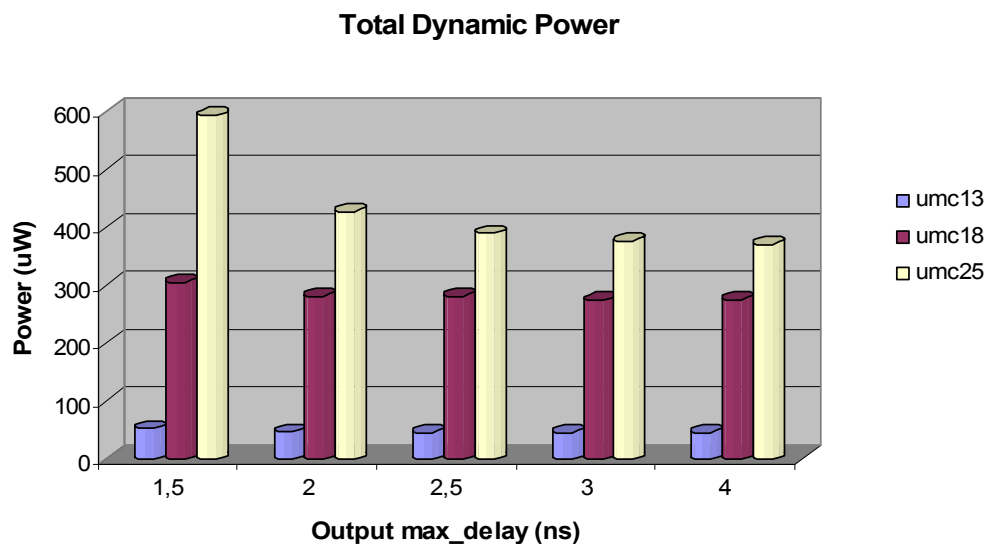
Πίνακας 4-19. Μετρήσεις για το Sdff420 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα Sdff420 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



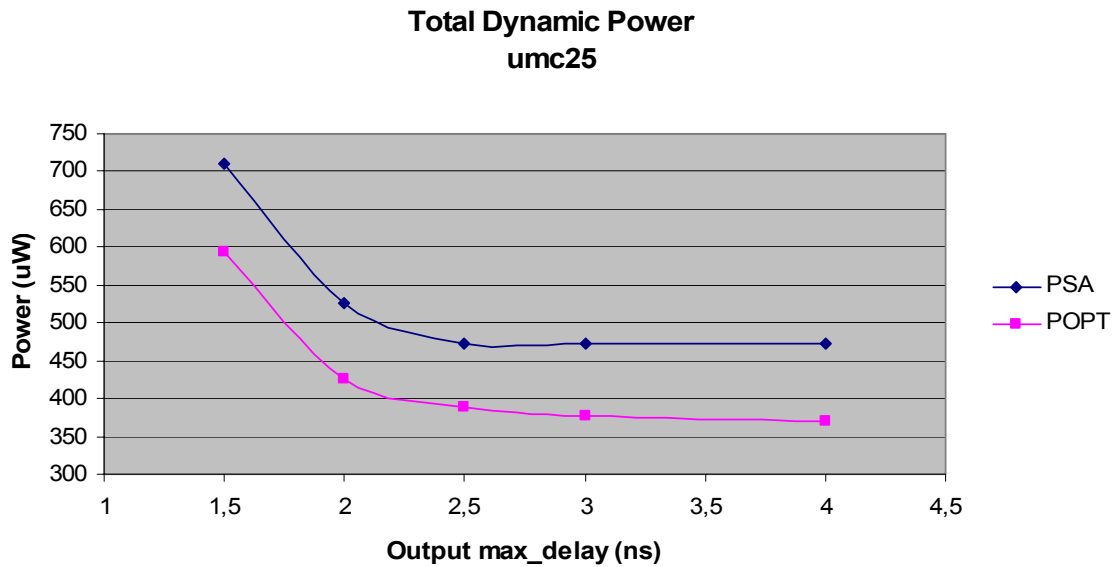
Γράφημα 4-17. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff420 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



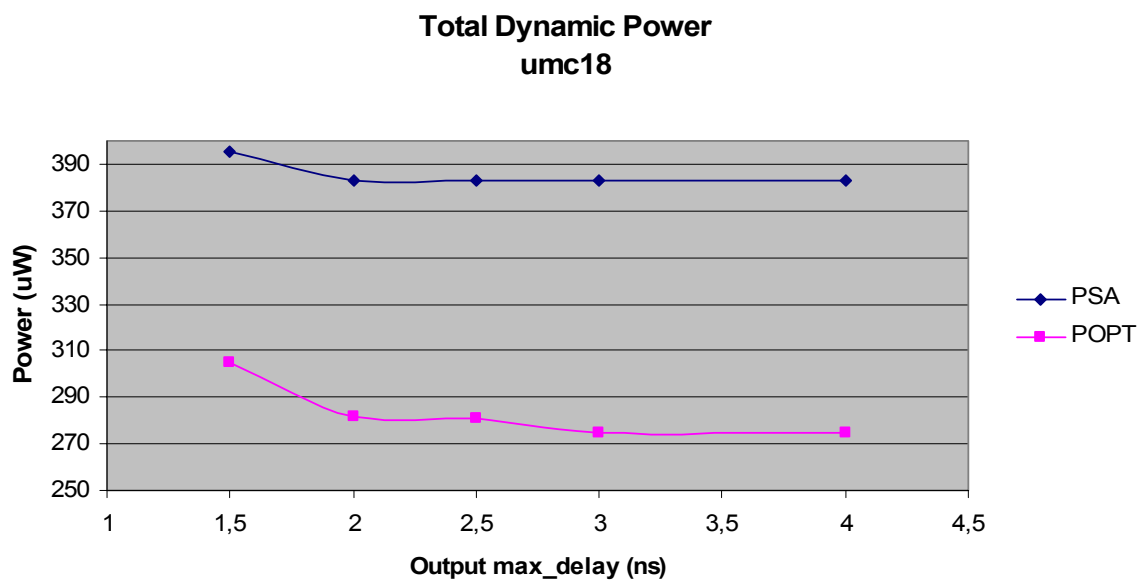
Γράφημα 4-18. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff420 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff420 στα 25um.



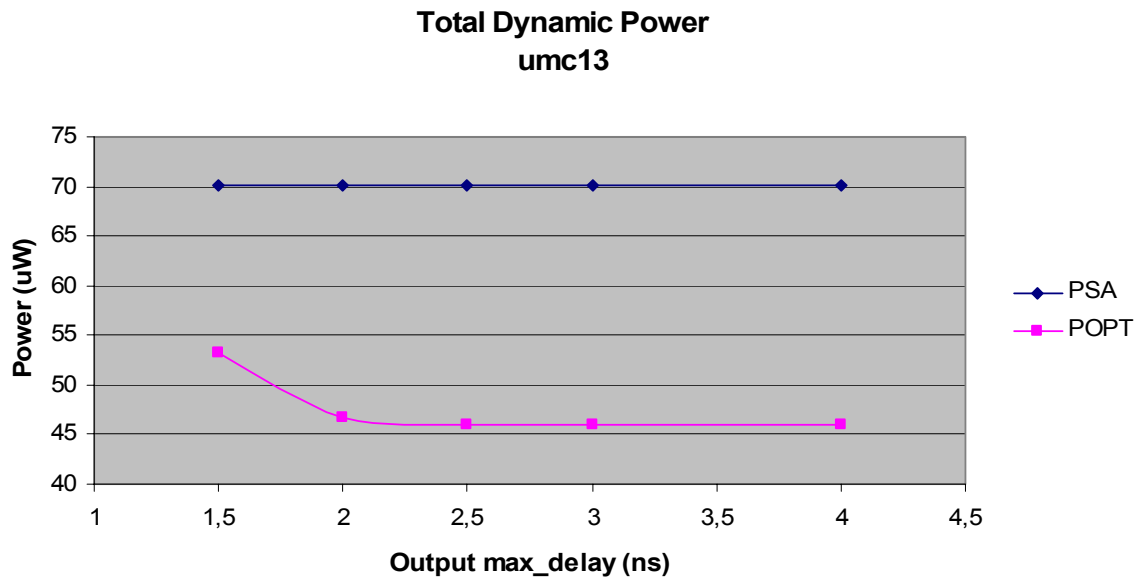
Γράφημα 4-19. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το Sdff420 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff420 στα 18um.



Γράφημα 4-20. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το Sdff420 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff420 στα 13um.



Γράφημα 4-21. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το Sdff420 σε συνάρτηση με το χρόνο max_delay.

Το ακολουθιακό κύκλωμα Sdff713.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες	D flipflops
35	23	139	19

Επίσης, διαθέτει:

254 inverters

139 πύλες (94 ANDs + 28 NANDs + 17 ORs + 0 NORs)

CellInternalPower		umc25	Low Activity		% Optimization		High Activity		% Optimization	
Sdff713										
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%
	1,5	942,2144uW	75,3817uW	75,4980uW	13,0831uW	-0,154043816	-82,67093168	677,9589uW	376,0179uW	-44,53677059
	2	726,8797uW	66,8306uW	66,9386uW	4,7856uW	-0,161341886	-92,85076174	504,6050uW	236,0975uW	-53,2114228
	2,5	587,5159uW	64,1924uW	64,1065uW	2,8179uW	0,133995773	-95,60434589	375,5855uW	135,8873uW	-63,8198759
	3	609,8367uW	63,9447uW	63,7999uW	3,1084uW	0,226959603	-95,12789205	349,9128uW	151,3719uW	-56,74010782
4	497,9872uW	63,5390uW	63,4059uW	2,2634uW	0,209917374	-96,43030065	324,7669uW	107,1284uW	-67,01375664	
NetSwitchingPower										
Sdff713										
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%
	1,5	1,0813mW	327,1783uW	327,3392uW	322,7795uW	-0,049153905	-1,392958741	964,8291uW	751,3024uW	-22,13103854
	2	905,6689uW	327,8179uW	327,8568uW	323,3402uW	-0,011864936	-1,377613641	784,4282uW	628,6443uW	-19,85954865
	2,5	821,1099uW	326,9533uW	326,8843uW	322,2802uW	0,021108386	-1,408480003	733,0687uW	574,0678uW	-21,68976796
	3	798,2072uW	326,5570uW	326,4846uW	322,0657uW	0,022175625	-1,353478847	698,0117uW	562,1010uW	-19,47112061
4	755,9993uW	326,1941uW	326,1053uW	321,5103uW	0,027230468	-1,409054069	666,8778uW	528,1661uW	-20,80016759	
TotalDynamicPower										
Sdff713										
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%
	1,5	2,0235mW	402,5600uW	402,8371uW	335,8625uW	-0,06878711	-16,62572787	1,6428mW	1,1273mW	-31,37935233
	2	1,6325mW	394,6485uW	394,7954uW	328,1258uW	-0,037209147	-16,88712685	1,2890mW	864,7418uW	-32,91374709
	2,5	1,4086mW	391,1457uW	390,9908uW	325,0981uW	0,0396173	-16,85274948	1,1087mW	709,9551uW	-35,96508523
	3	1,4080mW	390,5017uW	390,2845uW	325,1741uW	0,05565171	-16,68280447	1,0479mW	713,4729uW	-31,91402806
4	1,2540mW	389,7331uW	389,5111uW	323,7737uW	0,056994525	-16,8769003	991,6448uW	635,2946uW	-35,93526634	
CellLeakagePower										
Sdff713										
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%
	1,5	1,7940uW	1,8603uW	1,8599uW	2,2054uW	0,021506533	18,57626754	1,8494uW	2,0276uW	9,635557478
	2	1,7083uW	1,7614uW	1,7573uW	1,9869uW	0,233312468	13,06549821	1,7448uW	1,8376uW	5,318661165
	2,5	1,6346uW	1,5239uW	1,5190uW	1,8511uW	0,322580645	21,86306781	1,5205uW	1,6517uW	8,628740546
	3	1,5989uW	1,5286uW	1,5255uW	1,8386uW	0,203212062	20,52441822	1,5266uW	1,7083uW	11,90226647
4	1,5361uW	1,4211uW	1,4210uW	1,7620uW	0,007037298	23,99718508	1,4043uW	1,6453uW	17,16157516	

Πίνακας 4-20. Μετρήσεις για το Sdff713 στα 25um.

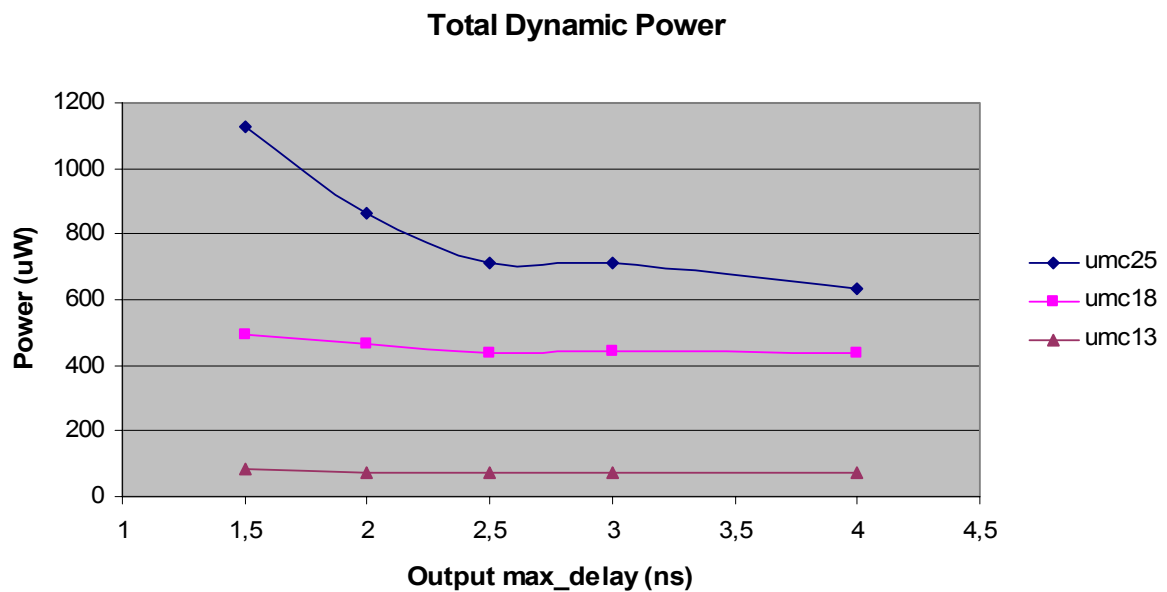
CellInternalPower		umc18 Low Activity				% Optimization		High Activity		% Optimization	
Sdff713											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	518,0212uW	276,7727uW	276,7976uW	212,5631uW	-0,008995743	-23,2063067	459,0473uW	318,1082uW	-30,70252238	
	2	467,4570uW	276,1458uW	276,1908uW	200,8924uW	-0,016293084	-27,26318183	439,0196uW	304,8611uW	-30,55865843	
	2,5	470,3754uW	276,1845uW	276,1871uW	204,5510uW	-0,000941391	-25,93752568	438,2242uW	288,5671uW	-34,15080682	
	3	469,7801uW	276,1789uW	276,1952uW	200,7808uW	-0,005901623	-27,30474679	439,5228uW	289,6284uW	-34,10389632	
	4	454,1713uW	275,9987uW	276,0266uW	200,5755uW	-0,010107722	-27,33472064	429,1185uW	286,3970uW	-33,25922793	
NetSwitchingPower											
Sdff713											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	313,5008uW	92,8514uW	92,8611uW	76,6588uW	-0,010445709	-17,44788722	260,3521uW	173,4110uW	-33,39366189	
	2	254,7034uW	92,1208uW	92,1259uW	73,7400uW	-0,005535902	-19,9573627	222,5061uW	159,2729uW	-28,41863661	
	2,5	254,7747uW	92,0996uW	92,1029uW	74,5638uW	-0,003582949	-19,04294002	221,1506uW	150,5137uW	-31,94063231	
	3	244,5450uW	92,0028uW	92,0067uW	73,7039uW	-0,004238822	-19,8928991	213,5086uW	151,5831uW	-29,00374973	
	4	240,5919uW	91,9520uW	91,9735uW	73,5587uW	-0,023376299	-20,02185412	211,2799uW	148,3960uW	-29,76331397	
TotalDynamicPower											
Sdff713											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	831,5220uW	369,6241uW	369,6587uW	289,2219uW	-0,009359985	-21,75974757	719,3994uW	491,5192uW	-31,67645122	
	2	722,1604uW	368,2665uW	368,3167uW	274,6324uW	-0,013629575	-25,43580022	661,5257uW	464,1339uW	-29,83887096	
	2,5	725,1501uW	368,2841uW	368,2900uW	279,1149uW	-0,001601998	-24,21328301	659,3748uW	439,0808uW	-33,40952672	
	3	714,3251uW	368,1816uW	368,2019uW	274,4847uW	-0,00551328	-25,45266605	653,0313uW	441,2115uW	-32,43639317	
	4	694,7632uW	367,9507uW	368,0001uW	274,1342uW	-0,013423909	-25,50703111	640,3985uW	434,7930uW	-32,10586846	
CellLeakagePower											
Sdff713											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
	1,5	405,3908nW	405,3908nW	405,3908nW	312,1248nW	0	-23,00644218	405,3908nW	254,3340nW	-37,26201976	
	2	286,5426nW	286,5426nW	286,5426nW	281,9748nW	0	-1,59410852	286,5426nW	192,4612nW	-32,83330297	
	2,5	293,3255nW	293,3255nW	293,3255nW	258,8680nW	0	-11,7471887	293,3255nW	182,7083nW	-37,71141616	
	3	275,1652nW	275,1652nW	275,1652nW	252,8202nW	0	-8,120576294	275,1652nW	182,5438nW	-33,66028844	
	4	261,3413nW	261,3413nW	261,3413nW	250,7771nW	0	-4,042300241	261,3413nW	167,7702nW	-35,80417638	

Πίνακας 4-21. Μετρήσεις για το Sdff713 στα 18um.

CellInternalPower		umc13Low Activity				% Optimization		High Activity		% Optimization	
Sdff713		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		86,5133uW	54,8366uW	54,8175uW	38,8737uW	0,034842888	-29,08523738	75,4621uW	51,2824uW	-32,04217746	
2		80,6398uW	54,7519uW	54,7400uW	36,0052uW	0,02173913	-34,22506394	71,1222uW	45,8371uW	-35,55162804	
2,5		76,6040uW	54,7287uW	54,7261uW	36,0032uW	0,004750932	-34,21201218	70,7582uW	45,8478uW	-35,20496564	
3		76,0642uW	54,7241uW	54,7174uW	35,9988uW	0,012244734	-34,20959329	70,4343uW	45,3775uW	-35,57471289	
4		76,0642uW	54,7241uW	54,7174uW	35,0395uW	0,012244734	-35,96278332	70,4343uW	43,9902uW	-37,54434984	
NetSwitchingPower											
Sdff713		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		49,9321uW	17,9691uW	17,9542uW	15,1170uW	0,082988939	-15,80243063	44,4190uW	32,3461uW	-27,17958531	
2		45,8165uW	17,9057uW	17,8919uW	14,5304uW	0,077129874	-18,78783137	40,0467uW	28,6880uW	-28,36363546	
2,5		44,2065uW	17,8855uW	17,8864uW	14,5234uW	-0,005031756	-18,80199481	39,4290uW	28,4635uW	-27,81074843	
3		44,2325uW	17,8896uW	17,8782uW	14,5180uW	0,063764809	-18,79495699	39,2017uW	27,8973uW	-28,83650454	
4		44,2325uW	17,8896uW	17,8782uW	14,3317uW	0,063764809	-19,8370082	39,2017uW	27,2461uW	-30,49765699	
TotalDynamicPower											
Sdff713		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		136,4454uW	72,8057uW	72,7718uW	53,9907uW	0,046583979	-25,80821142	119,8812uW	83,6285uW	-30,24052145	
2		126,4563uW	72,6576uW	72,6318uW	50,5356uW	0,035521631	-30,42221176	111,1689uW	74,5251uW	-32,96227632	
2,5		120,8105uW	72,6142uW	72,6125uW	50,5266uW	0,002341195	-30,41611293	110,1872uW	74,3113uW	-32,55904497	
3		120,2967uW	72,6137uW	72,5956uW	50,5168uW	0,024932641	-30,41341349	109,6359uW	73,2748uW	-33,16532267	
4		120,2967uW	72,6137uW	72,5956uW	49,3712uW	0,024932641	-31,99147056	109,6359uW	71,2363uW	-35,02465889	
CellLeakagePower											
Sdff713		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,2967uW	1,2900uW	1,2869uW	661,6251nW	0,240888958	-48,58768358	1,2665uW	596,2233nW	-52,9235452	
2		1,1080uW	1,0790uW	1,0766uW	453,1487nW	0,22292402	-57,90927921	1,0513uW	460,6785nW	-56,18011034	
2,5		1,0305uW	989,3361nW	988,3561nW	415,5635nW	0,099154546	-57,95407141	962,2842nW	411,1657nW	-57,27190574	
3		1,0293uW	997,2889nW	995,7295nW	433,9776nW	0,156608798	-56,41611502	969,3100nW	396,2659nW	-59,11876489	
4		1,0293uW	997,2889nW	995,7295nW	361,9934nW	0,156608798	-63,64540771	969,3100nW	358,5607nW	-63,00866596	

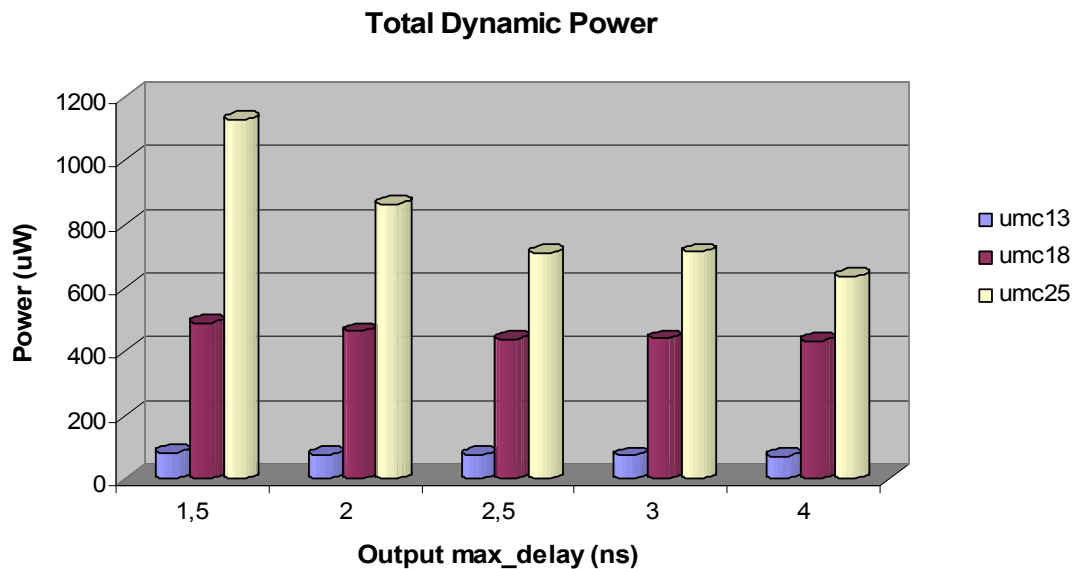
Πίνακας 4-22. Μετρήσεις για το Sdff713 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα Sdff713 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



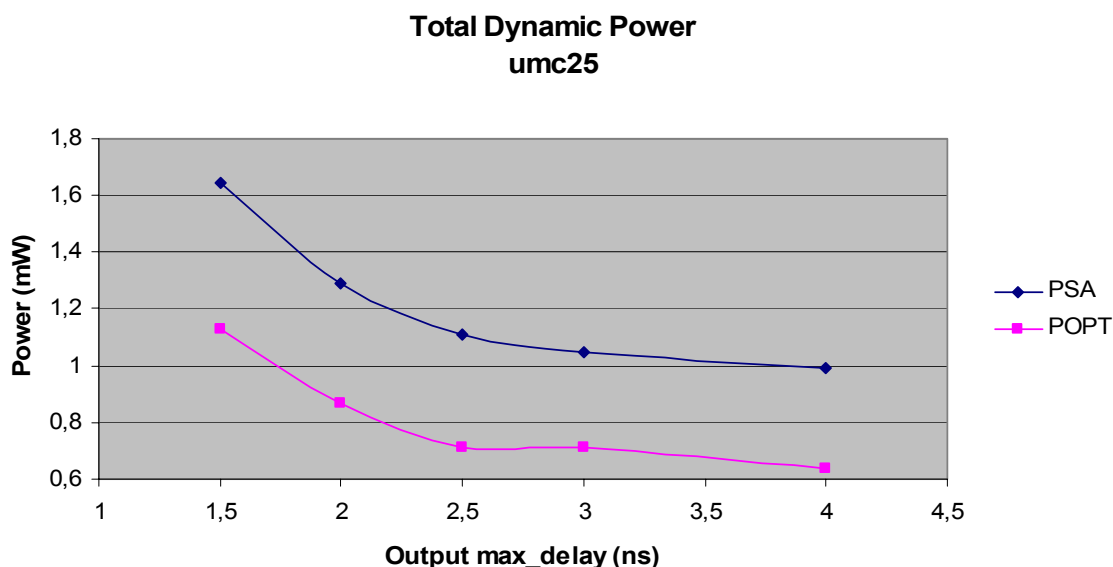
Γράφημα 4-22. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff713 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



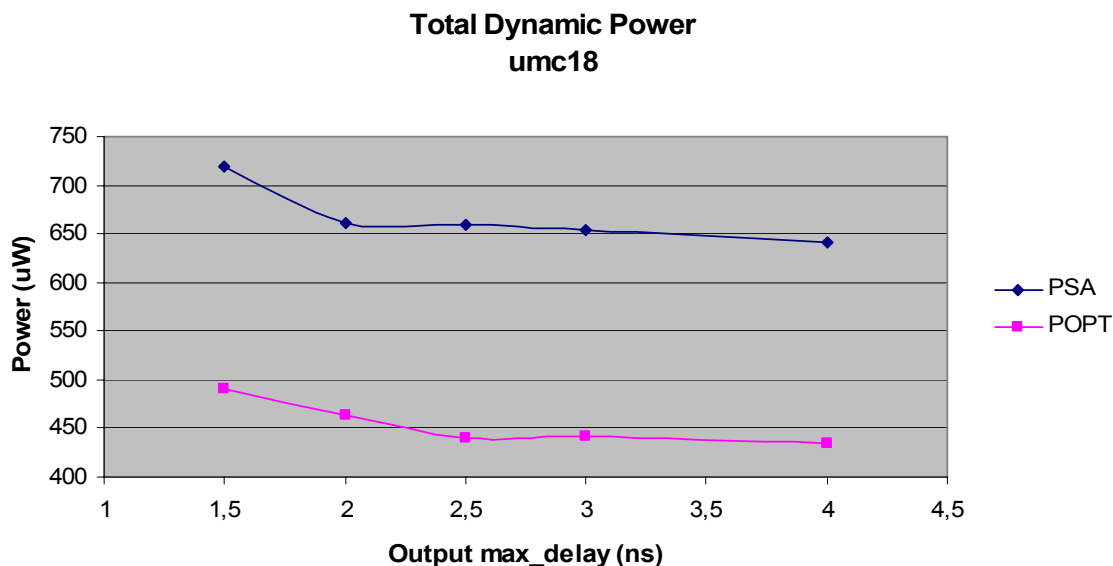
Γράφημα 4-23. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff713 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff713 στα 25um.



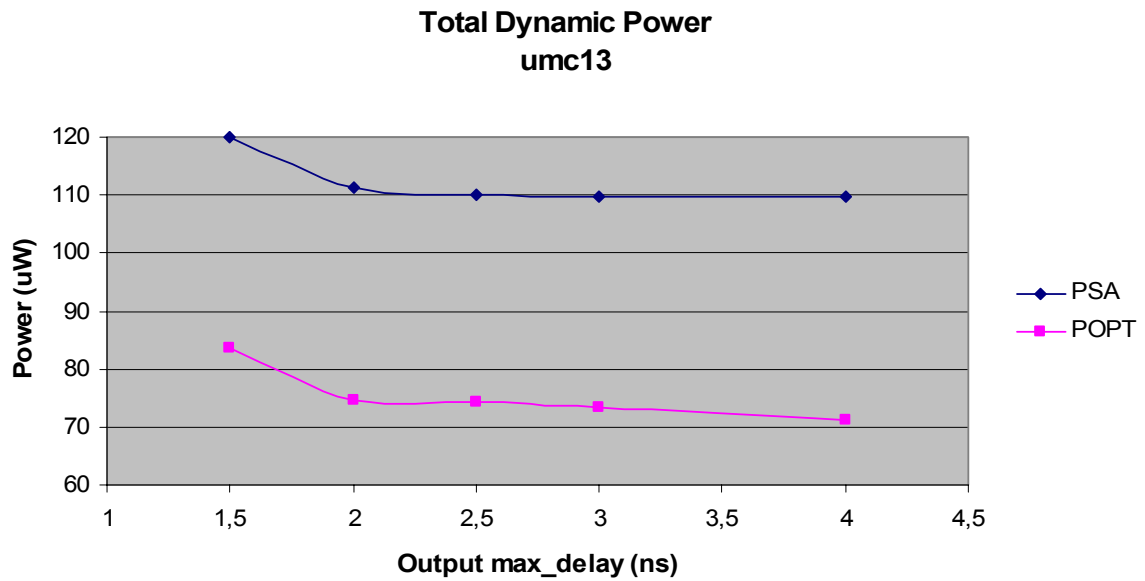
Γράφημα 4-24. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το Sdff713 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff713 στα 18um.



Γράφημα 4-25. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το Sdff713 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff713 στα 13um.



Γράφημα 4-26. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το Sdff713 σε συνάρτηση με το χρόνο max_delay.

Το ακολουθιακό κύκλωμα Sdff820.

Το κύκλωμα αυτό έχει:

Είσοδοι	Έξοδοι	Πύλες	D flipflops
18	29	256	5

Επίσης, διαθέτει:

33 inverters

256 πύλες (76 ANDs + 54 NANDs + 60 ORs + 66 NORs)

CellInternalPower		umc25 Low Activity				% Optimization		High Activity		% Optimization	
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		359,5677uW	14,4565uW	13,7514uW	9,4028uW	5,12747793	-31,62296203	539,4982uW	326,7406uW	-39,43620201	
2		287,5362uW	11,6702uW	11,6965uW	6,5145uW	-0,224853589	-44,30385158	435,8095uW	267,8502uW	-38,53961421	
2,5		311,2937uW	11,3874uW	11,4185uW	4,8637uW	-0,272365022	-57,40508823	452,8494uW	199,3481uW	-55,97916217	
3		323,5786uW	11,2303uW	11,2748uW	5,2797uW	-0,394685493	-53,17256182	446,7994uW	171,9105uW	-61,52400831	
4		323,5719uW	11,0121uW	11,0337uW	5,3594uW	-0,195763887	-51,42699185	441,4945uW	171,0180uW	-61,2638436	
NetSwitchingPower											
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		472,3889uW	74,0082uW	73,6573uW	70,2485uW	0,476395415	-4,627918753	632,6321uW	457,8968uW	-27,62036577	
2		479,0582uW	73,7727uW	73,7992uW	69,1506uW	-0,035908248	-6,298984271	637,9550uW	424,5076uW	-33,45806522	
2,5		484,4285uW	73,7726uW	73,8000uW	68,3623uW	-0,037127371	-7,368157182	632,8116uW	417,7891uW	-33,97891252	
3		476,4787uW	73,6191uW	73,6452uW	68,3358uW	-0,035440192	-7,209431165	619,1041uW	405,2944uW	-34,53533905	
4		475,3116uW	73,4987uW	73,5188uW	68,4624uW	-0,027339946	-6,877696589	614,5758uW	408,7395uW	-33,49241867	
TotalDynamicPower											
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		831,9566uW	88,4647uW	87,4087uW	79,6512uW	1,208117727	-8,874974688	1,1721mW	784,6374uW	-33,05712823	
2		766,5943uW	85,4428uW	85,4957uW	75,6651uW	-0,061874457	-11,49835606	1,0738mW	692,3578uW	-35,52264854	
2,5		795,7222uW	85,1600uW	85,2185uW	73,2259uW	-0,068647066	-14,07276589	1,0857mW	617,1371uW	-43,15767707	
3		800,0573uW	84,8493uW	84,9200uW	73,6154uW	-0,083254828	-13,31205841	1,0659mW	577,2049uW	-45,84811896	
4		798,8835uW	84,5107uW	84,5525uW	73,8218uW	-0,04943674	-12,69116821	1,0561mW	579,7576uW	-45,10391061	
CellLeakagePower											
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5		1,0595uW	882,0637nW	883,8490nW	769,1476nW	-0,201991517	-12,97748824	908,5858nW	786,0181nW	-13,48994228	
2		945,8851nW	943,2645nW	944,8280nW	856,7624nW	-0,165479855	-9,320807597	904,1709nW	815,6509nW	-9,790184577	
2,5		885,8710nW	911,0024nW	913,2695nW	884,1724nW	-0,248239977	-3,186036542	865,5584nW	838,6633nW	-3,10725423	
3		865,7130nW	890,3029nW	892,5666nW	851,8879nW	-0,253616929	-4,557497446	845,0771nW	809,1971nW	-4,245766451	
4		864,7377nW	887,4062nW	889,5829nW	862,6838nW	-0,244687707	-3,02378789	842,5942nW	810,7508nW	-3,779209494	

Πίνακας 4-23. Μετρήσεις για το Sdff820 στα 25um.

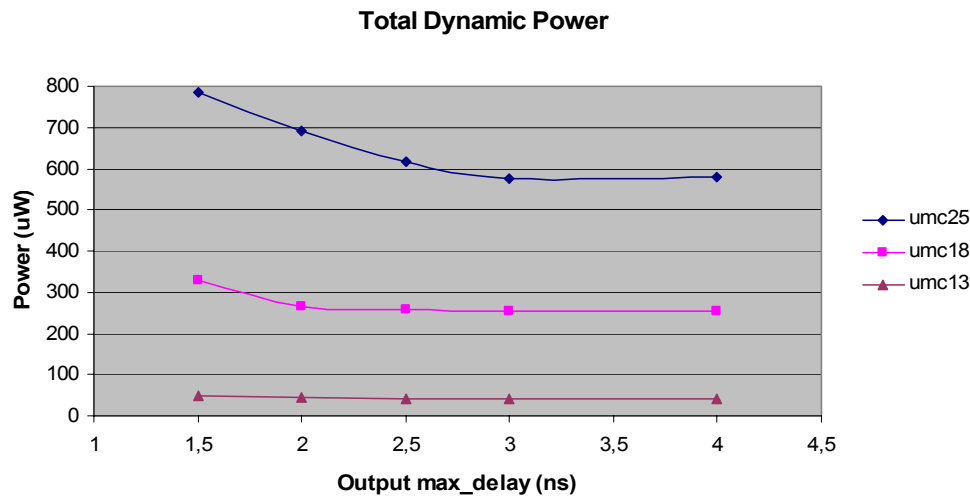
CellInternalPower		umc18 Low Activity				% Optimization		High Activity		% Optimization	
Sdff820											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
1,5	208,0210uW	76,1966uW	76,1404uW	66,9341uW	0,073811012	-12,0912157	264,0484 uW	185,1288 uW	-29,88830836		
2	209,8676uW	76,1369uW	75,9684uW	54,4271uW	0,22180275	-28,35560575	262,9319 uW	132,6224 uW	-49,56017128		
2,5	212,2695uW	76,1641uW	75,9997uW	54,2225uW	0,216316643	-28,65432364	264,1566 uW	126,9008 uW	-51,9600116		
3	212,2695uW	76,1641uW	75,9997uW	54,0943uW	0,216316643	-28,82300851	264,1566 uW	127,2147 uW	-51,84118057		
4	212,2695uW	76,1641uW	75,9997uW	54,0943uW	0,216316643	-28,82300851	264,1566 uW	127,2147 uW	-51,84118057		
NetSwitchingPower											
Sdff820											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
1,5	154,7516uW	22,8551uW	22,7826uW	19,9610uW	0,318225312	-12,38489022	204,1382 uW	143,4980 uW	-29,70546424		
2	156,7376uW	22,8730uW	22,7061uW	17,1942uW	0,735044768	-24,27497457	202,0925 uW	131,5827 uW	-34,88986479		
2,5	159,0728uW	22,9543uW	22,7848uW	16,8353uW	0,743916997	-26,11170605	205,5193 uW	130,1017 uW	-36,69611564		
3	159,0728uW	22,9543uW	22,7848uW	16,6769uW	0,743916997	-26,80690636	205,5193 uW	128,7559 uW	-37,35094466		
4	159,0728uW	22,9543uW	22,7848uW	16,6769uW	0,743916997	-26,80690636	205,5193 uW	128,7559 uW	-37,35094466		
TotalDynamicPower											
Sdff820											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
1,5	362,7726uW	99,0516uW	98,9230uW	86,8951uW	0,130000101	-12,15885082	468,1866 uW	328,6268 uW	-29,80858487		
2	366,6052uW	99,0099uW	98,6745uW	71,6213uW	0,339905447	-27,41660713	465,0244 uW	264,2050 uW	-43,18470171		
2,5	371,3423uW	99,1184uW	98,7845uW	71,0578uW	0,338008493	-28,0678649	469,6759 uW	257,0026 uW	-45,28086282		
3	371,3423uW	99,1184uW	98,7845uW	70,7712uW	0,338008493	-28,35799139	469,6759 uW	255,9706 uW	-45,50058881		
4	371,3423uW	99,1184uW	98,7845uW	70,7712uW	0,338008493	-28,35799139	469,6759 uW	255,9706 uW	-45,50058881		
CellLeakagePower											
Sdff820											
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%		
1,5	312,4783nW	312,4783nW	312,4783nW	224,1781nW	0	-28,25802624	312,4783 nW	222,9986 nW	-28,63549245		
2	295,2076nW	295,2076nW	295,2076nW	198,6517nW	0	-32,70779614	295,2076 nW	211,6072 nW	-28,31918961		
2,5	291,7024nW	291,7024nW	291,7024nW	207,1528nW	0	-28,98488322	291,7024 nW	200,0944 nW	-31,40460963		
3	291,7024nW	291,7024nW	291,7024nW	217,9968nW	0	-25,26739581	291,7024 nW	201,7863 nW	-30,82460069		
4	291,7024nW	291,7024nW	291,7024nW	217,9968nW	0	-25,26739581	291,7024 nW	201,7863 nW	-30,82460069		

Πίνακας 4-24. Μετρήσεις για το Sdff820 στα 18um.

CellInternalPower		umc13 Low Activity				% Optimization		High Activity		% Optimization	
Sdff820											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	34,6917uW	13,4900uW	13,5637uW	11,9948uW	-0,543362062	-11,56690284	40,8591uW	24,5630uW	-39,88364893	
	2	34,6922uW	13,4906uW	13,5643uW	11,8360uW	-0,543338027	-12,74153476	40,9001uW	21,8292uW	-46,62800335	
	2,5	34,6922uW	13,4906uW	13,5643uW	9,2512uW	-0,543338027	-31,79743887	40,9001uW	18,4702uW	-54,84069721	
	3	34,6922uW	13,4906uW	13,5643uW	8,3927uW	-0,543338027	-38,12655279	40,9001uW	18,5915uW	-54,54412092	
	4	34,6922uW	13,4906uW	13,5643uW	8,3927uW	-0,543338027	-38,12655279	40,9001uW	18,5915uW	-54,54412092	
NetSwitchingPower											
Sdff820											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	28,6533uW	3,7604uW	3,8000uW	3,2968uW	-1,042105263	-13,24210526	37,3749uW	23,8066uW	-36,30324095	
	2	28,6532uW	3,7600uW	3,7996uW	3,2897uW	-1,04221497	-13,41983367	37,3670uW	22,9328uW	-38,62820135	
	2,5	28,6532uW	3,7600uW	3,7996uW	2,7378uW	-1,04221497	-27,94504685	37,3670uW	22,1628uW	-40,6888431	
	3	28,6532uW	3,7600uW	3,7996uW	2,5563uW	-1,04221497	-32,72186546	37,3670uW	22,0810uW	-40,90775283	
	4	28,6532uW	3,7600uW	3,7996uW	2,5563uW	-1,04221497	-32,72186546	37,3670uW	22,0810uW	-40,90775283	
TotalDynamicPower											
Sdff820											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	63,3450uW	17,2504uW	17,3637uW	15,2916uW	-0,652510698	-11,93351647	78,2341uW	48,3696uW	-38,17325182	
	2	63,3454uW	17,2506uW	17,3639uW	15,1257uW	-0,652503182	-12,88996136	78,2671uW	44,7620uW	-42,80866418	
	2,5	63,3454uW	17,2506uW	17,3639uW	11,9890uW	-0,652503182	-30,95445148	78,2671uW	40,6330uW	-48,08418863	
	3	63,3454uW	17,2506uW	17,3639uW	10,9490uW	-0,652503182	-36,94388933	78,2671uW	40,6725uW	-48,03372043	
	4	63,3454uW	17,2506uW	17,3639uW	10,9490uW	-0,652503182	-36,94388933	78,2671uW	40,6725uW	-48,03372043	
CellLeakagePower											
Sdff820											
		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
	1,5	1,1133uW	1,1848uW	1,1873uW	400,1500nW	-0,210561779	-66,29748168	1,1529uW	431,0812nW	-62,60896869	
	2	1,1109uW	1,1793uW	1,1818uW	319,6564nW	-0,211541716	-72,95173464	1,1474uW	318,3008nW	-72,25895067	
	2,5	1,1109uW	1,1793uW	1,1818uW	290,1714nW	-0,211541716	-75,44665764	1,1474uW	279,3351nW	-75,65495032	
	3	1,1109uW	1,1793uW	1,1818uW	277,6825nW	-0,211541716	-76,50342698	1,1474uW	279,9374nW	-75,60245773	
	4	1,1109uW	1,1793uW	1,1818uW	277,6825nW	-0,211541716	-76,50342698	1,1474uW	279,9374nW	-75,60245773	

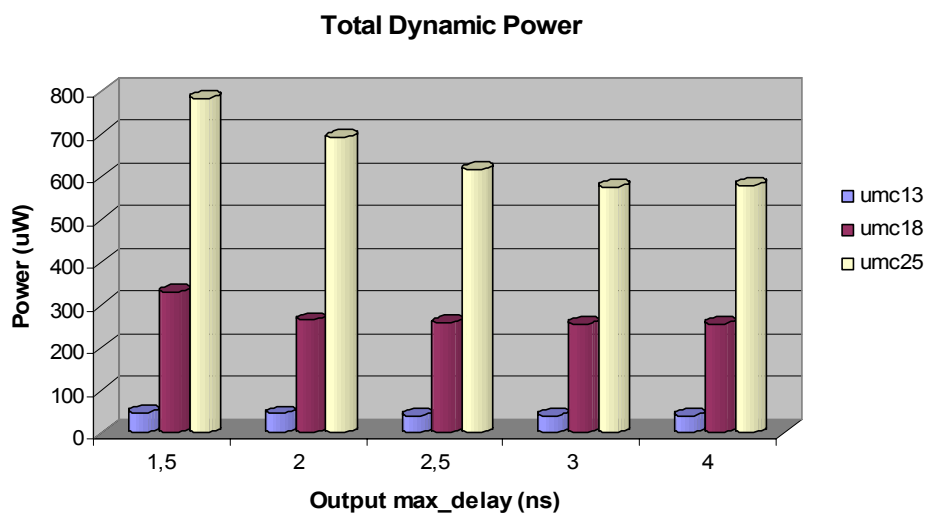
Πίνακας 4-25. Μετρήσεις για το Sdff820 στα 13um.

Στο παρακάτω διάγραμμα απεικονίζεται η βελτιστοποιημένη συνολική κατανάλωση δυναμικής ισχύος για το κύκλωμα Sdff820 με αυξημένη δραστηριότητα και για τις τρεις διαθέσιμες τεχνολογίες:



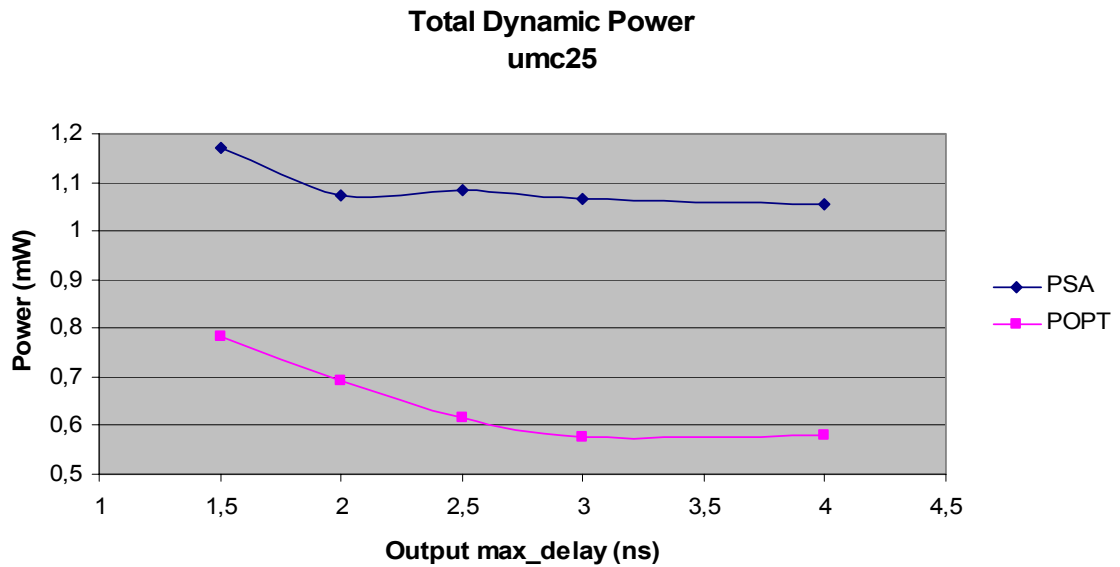
Γράφημα 4-27. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff820 σε συνάρτηση με το χρόνο max_delay.

Τα ίδια μεγέθη παρουσιάζονται και με το παρακάτω διάγραμμα με ράβδους όπου γίνεται καλύτερα αντιληπτό η ραγδαία μείωση της κατανάλωσης ισχύος ανάλογα με την τεχνολογία.



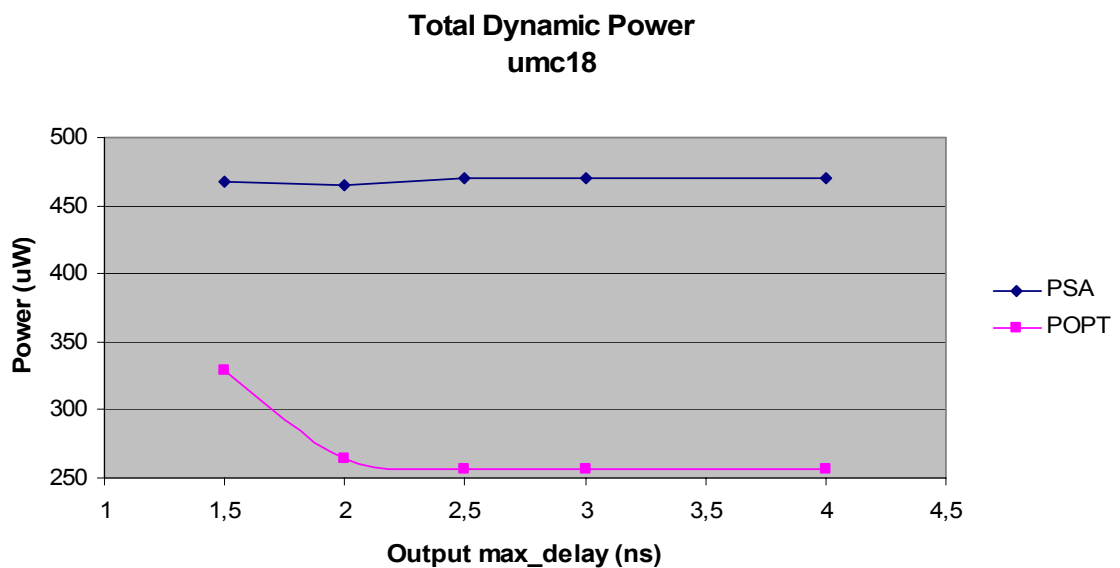
Γράφημα 4-28. Η κατανάλωση Δυναμικής Ισχύος στα 25,18,13um για το Sdff820 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff820 στα 25um.



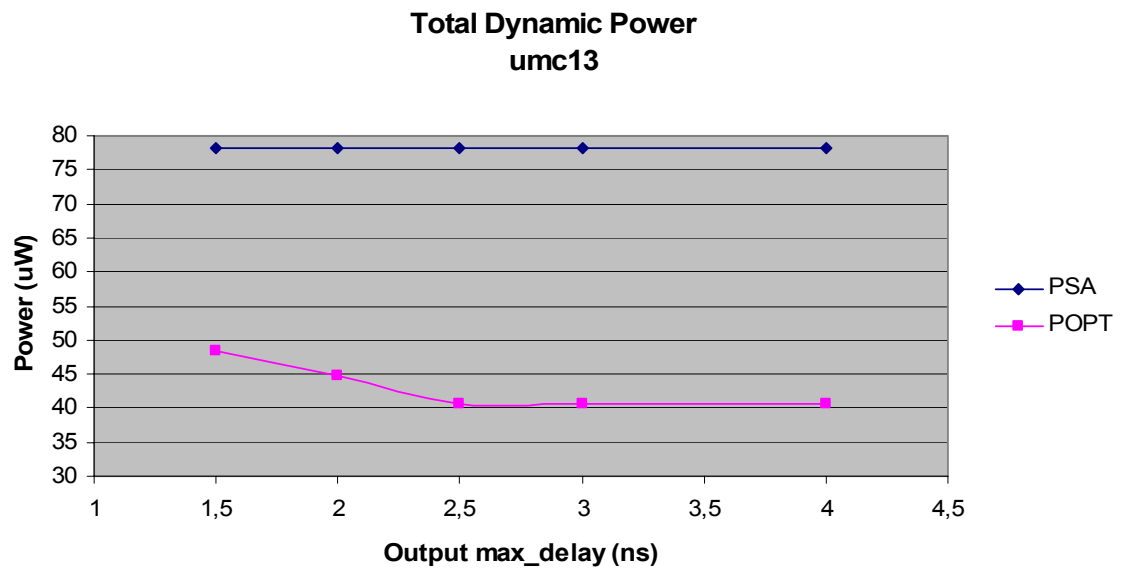
Γράφημα 4-29. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 25um για το Sdff820 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff820 στα 18um.



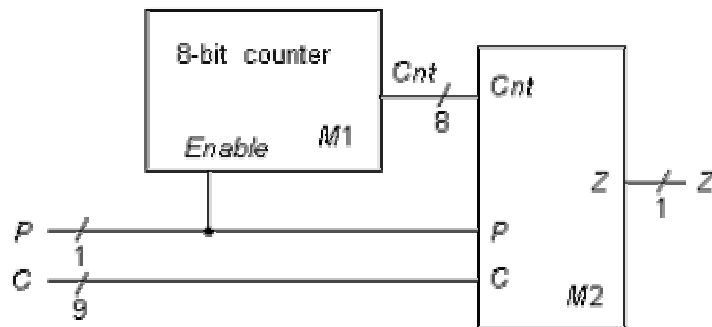
Γράφημα 4-30. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 18um για το Sdff820 σε συνάρτηση με το χρόνο max_delay.

Το παρακάτω γράφημα απεικονίζει την κατανάλωση Δυναμικής Ισχύος πριν (PSA) και μετά (POPT) την βελτιστοποίηση με τον Power Compiler για το Sdff820 στα 13um.



Γράφημα 4-31. Η βελτιστοποιημένη κατανάλωση Δυναμικής Ισχύος στα 13um για το Sdff820 σε συνάρτηση με το χρόνο max_delay.

5



s208.1 – Frequency Divider - ISCAS 89

Συμπεράσματα και επισημάνσεις για τις μετρήσεις.

Στο παρών κεφάλαιο θα εξηγήσουμε τις μετρήσεις που παρουσιάσαμε στο κεφάλαιο 4. Αυτό θα γίνει για να μπορέσουμε να ανακτήσουμε από το μεγάλο αυτό πλήθος μετρήσεων την χρήσιμη πληροφορία που θα μας οδηγήσει σε ουσιαστικά συμπεράσματα.

Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον *Design Compiler*.

Στις μετρήσεις αυτές σκοπός μας ήταν να δούμε πως αυξάνεται το μέγεθος του ολοκληρωμένου με την μείωση της τιμής της παραμέτρου `max_delay`. Οι μετρήσεις έγιναν στα 18um και για 45 συνδυαστικά κυκλώματα. Η παράμετρος `map_effort` ήταν `high` και ο χρόνος προσομοίωσης διέφερε ανάλογα με το μέγεθος του κυκλώματος και την τιμή της παραμέτρου `max_delay`.

Όπως, γίνεται αντιληπτό από τα γραφήματα το μέγεθος του ολοκληρωμένου αυξάνεται όσο μειώνουμε το χρόνο `max_delay`. Αυτό παρατηρήθηκε με όλα τα κυκλώματα και ήταν αναμενόμενο. Αυτό που πρέπει να επισημανθεί είναι το γεγονός ότι όταν το κύκλωμα «πιέζεται» να ανταποκριθεί στην τιμή της παραμέτρου `max_delay` αυξάνει κατακόρυφα το μέγεθος του για το λόγω αυτό είναι φανερό ότι θα καταναλώνει και περισσότερη ισχύ.

Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον *Power Estimator*.

Ο *Power Estimator* και τα συνδυαστικά κυκλώματα.

Με την βοήθεια του *Power Estimator* κάναμε τις πειραματικές μετρήσεις για να αποκτήσουμε μια αρχική εικόνα της κατανάλωσης ισχύος των κυκλωμάτων. Οι μετρήσεις αυτές έγιναν με την πρώτη μεθοδολογία για χαμηλή δραστηριότητα (με `.do` αρχεία). Τα συμπεράσματα εδώ είναι αποδεκτά στις περισσότερες περιπτώσεις.

Οι προσομοιώσεις αυτές αν και είναι σε επίπεδο RTL είναι τεχνολογικά εξαρτημένες και ο *Power estimator* απλά εφαρμόζει διάφορες μεθόδους για να υπολογίσει προσεγγιστικά την κατανάλωση ισχύος. Συγκρίναμε τις τιμές που έχουμε στους πίνακες με τις τιμές που μας έδωσε ο *Design Compiler* για σύνθεση (με τιμή της παραμέτρου `map_effort` ίση με `high` και με πληροφρία δραστηριότητας μεταγωγής τα ίδια αρχεία `.SAIF`). Σαν πρώτο συμπέρασμα έχουμε ότι η ανάλυση είναι πολύ κοντά με τις μετρήσεις με τον DC. Είναι φυσικά της ίδιας τάξης μεγέθους και με διαφορές σε τιμές ιδιαίτερα ικανοποιητικές. Δηλαδή, σε κάποια κυκλώματα έχει υπολογίσει πολύ κοντά την τιμή, με απόκλιση +/- 10 -20% και σε άλλες περιπτώσεις είδαμε τιμές που άγγιζαν το διπλάσιο (συγκρίναμε τιμές ισχύος για τιμές της παραμέτρου `max_delay` όπου το `slack` ήταν 0 ή αρνητικό). Σε γενικές γραμμές μπορούμε να πούμε ότι το εργαλείο αυτό μπορεί προσεγγιστικά να μας δώσει μια εικόνα της αναμενόμενης κατανάλωσης ισχύος ενός κυκλώματος. Η δεύτερη μέθοδος δίνει ακριβώς τα ίδια αποτελέσματα για το ίδιο αρχείο `.SAIF`.

Ο *Power Estimator* και τα ακολουθιακά κυκλώματα.

Στις μετρήσεις αυτές δοκιμάστηκε η δεύτερη μέθοδος. Η δεύτερη μέθοδος δίνει τα ίδια αποτελέσματα με την πρώτη για το ίδιο αρχείο `.SAIF` για τον λόγω αυτό δοκιμάστηκαν δύο διαφορετικά αρχεία `.SAIF` για 5 ακολουθιακά κυκλώματα. Με το ίδιο μοντέλο για την ισχύ δοκιμάσαμε να καταγράψουμε την ανάλυση των κυκλωμάτων.

Φυσιολογικά η ισχύς είναι μεγαλύτερη όσο αυξάνει η δραστηριότητα του κυκλώματος και θα μπορούσαμε να ισχυριστούμε ότι ο Power Estimator προέβλεψε πολύ καλά την κατανάλωση ισχύος των ακολουθιακών κυκλωμάτων. Στις μετρήσεις αυτές οι αποκλίσεις είναι ανεκτές και συγκρίθηκαν με αντίστοιχες του Design Compiler.

Σχολιασμός αποτελεσμάτων από τις μετρήσεις με τον Power Compiler και Design Compiler.

Οι μετρήσεις αυτές έγιναν με την χρήση του Design Compiler και του Power Compiler και για ένα μεγάλο αριθμό κυκλωμάτων και αρχείων .SAIF. Οι πίνακες παρέχουν τις πληροφορίες για όλες τις μετρήσεις. Οι βελτιστοποιήσεις που παρατηρήθηκαν ήταν φυσιολογικές και σε κάποιες περιπτώσεις αρκετά μεγάλες. Η προσπάθειά μας είναι να επεξηγήσουμε κάποια βασικά πράγματα από τους πίνακες και να δώσουμε διάφορα άλλα στοιχεία που θα μας βοηθήσουν να καταλάβουμε τα γραφήματα.

Σαν παράδειγμα το κύκλωμα c432 είχε φυσιολογικές βελτιστοποιήσεις. Αξίζει να παρατηρήσουμε την βελτιστοποίηση που επιφέρει ο Power Compiler σε τιμές όπου το slack είναι οριακά μηδέν. Για παράδειγμα το συγκεκριμένο κύκλωμα έχει προβλήματα χρονισμού στα 25um και 18um για max_delay ίσο με 2 και 1.5 . Εκεί η βελτιστοποίηση είναι γύρω στο 20% με μεγάλη δραστηριότητα (αρχεία testbench σε vhdl όπου εφαρμόζονται τυχαία vectors σε κάθε περίοδο ρολογιού) πράγμα που είναι φυσιολογικό γιατί ο Power Compiler στο netlist που παραδίδει μετά την προσομοίωση έχει αλλάξει τα κελιά και από τα κλασσικά έχει τοποθετήσει κελιά χαμηλής κατανάλωσης. Επίσης, σχεδόν πάντα έχουμε και ταυτόχρονη μείωση του αριθμού των κελιών, συνεπώς του μεγέθους του ολοκληρωμένου πράγμα που συνεπάγεται χαμηλότερη κατανάλωση.

Παρατηρώντας το Γράφημα 4-4 βλέπουμε ότι μετά τις κρίσιμες τιμές max_delay η κατανάλωση ισχύος μειώνεται αντί να αυξάνεται όπως θα έπρεπε φυσιολογικά. Η γραφική είναι Ισχύς σε συνάρτηση με το χρόνο της παραμέτρου Output max_delay και όχι με τον χρόνο Output Delay. Έτσι από την αναφορά του Power Compiler βλέπουμε ότι για max_delay = 2 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 2+0.55 = 2.55 ns και το netlist έχει 225 κελιά με συνολικό area = 8553.60 micron squares. Ενώ για max_delay = 1.5 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 1.5+1.13 = 2.63 ns και το netlist έχει 205 κελιά με συνολικό area = 7333.13 micron squares. Άρα, είναι αναμενόμενη η συμπεριφορά της κατανάλωσης ισχύος.

Στο Γράφημα 4-5 παρατηρούμε το ίδιο, για max_delay = 2 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 2+0.01 = 2.01 ns (οριακά παραβιάζεται) και το netlist έχει 233 κελιά με συνολικό area = 4086.00 micron squares. Ενώ, για max_delay = 1.5 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 1.5+0.63 = 2.13 ns και το netlist έχει 209 κελιά με συνολικό area = 3675.39 micron squares. Το Γράφημα 4-3 θέλει να μας δείξει την τάξη μεγέθους διαφορά που μπορεί να έχουν οι τεχνολογίες μεταξύ τους. Στα 25um είναι mW, στα 18um κάποιες εκατοντάδες uW και στα 13um κάποιες δεκάδες uW. Στο γράφημα 4-6 φαίνεται ότι η τεχνολογία στα 13um δεν έχει προβλήματα χρονισμού και για το λόγω αυτό η ισχύς αυξάνεται φυσιολογικά.

Ας υποθέσουμε τώρα ότι συνθέτουμε το κύκλωμα c432 στα 25um, με map_effort = high και για max_delay = 3 ns. Αν ζητήσουμε την αναφορά ισχύος για το κύκλωμα με

αυξημένη δραστηριότητα θα πάρουμε πριν την βελτιστοποίηση 2.0807 mW και μετά 1.2608 mW. Επομένως, η βελτιστοποίηση είναι της τάξης του 39.4 %, δηλαδή 2.7% μικρότερη από αυτή που είχαμε με netlist που προέκυψε αρχικά με map_effort = medium. Στη συνέχεια να γίνεται σύνθεση του κυκλώματος με με map_effort = high και για max_delay = 2.1 ns (δηλαδή, στο critical path). Η αναφορά ισχύος δίνει πριν την βελτιστοποίηση 3.0774 mW και μετά 2.8677 mW. Η βελτιστοποίηση είναι της τάξης του 6.8%. Το συμπέρασμα είναι πως τα μεγάλα ποσοστά που βλέπουμε είναι αποδεκτά γιατί πρώτον όταν δεν τίθεται θέμα χρονισμού τα εργαλεία βελτιστοποιούν αρκετά καλά και αποδοτικά την netlist και δεύτερον είναι ποσοστά που δείχνουν βελτιστοποιήσεις από αρχικές netlist που δημιουργήθηκαν με map_effort = medium.

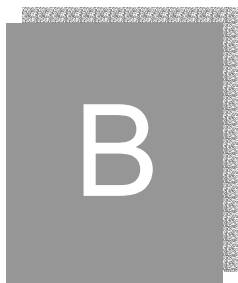
Το κύκλωμα c2670 είναι φυσιολογικό και τα αποτελέσματα των μετρήσεων δείχνουν όλα αυτά που περιμέναμε. Αυτό που αρκεί να παρατηρηθεί στο κύκλωμα αυτό είναι η διαφορά στην κατανάλωση ισχύος για τις τρεις διαθέσιμες τεχνολογίες (Γράφημα 4-8). Ας υποθέσουμε τώρα ότι συνθέτουμε το κύκλωμα c2670 στα 25um, με map_effort = high και για max_delay = 3 ns. Αν ζητήσουμε την αναφορά ισχύος για το κύκλωμα με αυξημένη δραστηριότητα θα πάρουμε πριν την βελτιστοποίηση 5.9289 mW και μετά 4.0874 mW. Επομένως, η βελτιστοποίηση είναι της τάξης του 31%, δηλαδή 0.25% μεγαλύτερη από αυτή που είχαμε με netlist που προέκυψε αρχικά με map_effort = medium. Στη συνέχεια να γίνεται σύνθεση του κυκλώματος με με map_effort = high και για max_delay = 2.1 ns (δηλαδή, κοντά στο critical path). Η αναφορά ισχύος δίνει πριν την βελτιστοποίηση 6.7920 mW και μετά 5.3139 mW. Η βελτιστοποίηση είναι της τάξης του 21.7% ενώ για 2ns με την αρχική netlist (medium) η βελτιστοποίηση είναι 38.9%.

Το κύκλωμα S1423 παρατηρούμε ότι στα 13um ενώ η αρχική netlist παραβίαζε το slack, αυτές που προέκυψαν αργότερα ήταν βελτιωμένες και χρονικά. Στο Γράφημα 4-15 έχουμε για max_delay = 2 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 2 ns (άρα έχουμε slack MET) και το netlist έχει 506 κελιά με συνολικό area = 8932.21 micron squares. Ενώ, για max_delay = 1.5 ns για την βελτιστοποιημένη netlist ο χρόνος output_delay = 1.5+0.55 = 2.05 ns και το netlist έχει 532 κελιά με συνολικό area = 8813.13 micron squares.

Τα ακολουθιακά κυκλώματα συμπεριφέρονται φυσιολογικά και δεν παρουσιάζουν κάποια απόκλιση από τα αναμενόμενα. Οι μετρήσεις έγιναν με περίοδο ρολογιού 6.67 ns , δηλαδή συχνότητα 150Mhz. Στο Γράφημα 4-31 γίνεται αντιληπτό ότι κατά την αρχική σύνθεση η netlist ήταν η ίδια για όλες τις τιμές της παραμέτρου max_delay. Μετά την διαδικασία της βελτιστοποίησης η κατανάλωση ισχύος για χαμηλές τιμές max_delay παρουσίασε την λογική και αναμενόμενη αύξηση.

Επίλογος.

Ο σκοπός της εργασίας, η ανάλυση και βελτιστοποίηση ψηφιακών κυκλωμάτων με τη χρήση ειδικού λογισμικού, καλύφθηκε σε ένα μεγάλο ποσοστό. Σαν περαιτέρω ενασχόληση θα ήταν ωφέλιμο να γίνουν πειραματικές μετρήσεις με άλλα εργαλεία για να συγκριθούν τα αποτελέσματα. Τέτοια εργαλεία είναι το PowerMill και το PathMill. Επίσης, ενδιαφέρον θα είχε η συμπεριφορά των κυκλωμάτων και των βελτιστοποιήσεων που επιφέρουν τα εργαλεία με την αύξηση της συχνότητας του ρολογιού.



Βιβλιογραφία

Βιβλία:

- [1]. **VHDL for Designers**, Stefan Sjöholm and Lennart Lindh.

E-books:

- [2]. **ModelSIM SE** Tutorial.
[3]. **ModelSIM SE** Manual.
[4]. **Design Compiler™**, Reference Manual: Constraints and Timing, Version 2001.08, August 2001.
[5]. **Design Compiler™**, Command-Line Interface Guide, Version 2001.08, August 2001.
[6]. **Design Compiler™**, Tutorial, Version 2001.08, August 2001.
[7]. **Design Compiler™**, User Guide, Version 2001.08, August 2001.
[8]. **Power Compiler™**, Quick Reference, Version 2001.08, August 2001.
[9]. **Power Compiler™**, User Guide, Version 2001.08, August 2001.
[10]. **Power Compiler™**, Reference Manual, Version 2001.08, August 2001.
[11]. **DesignWare™**, User Guide, Version 2001.00, August 2001.
[12]. **UMC eSi-Route/9™ High Density Standard Cell Library Datasheet**, Part Number: UMCL13U210T3, Revision 2.5, May, 2002.
[13]. **UMC eSi-Route/11™ Standard Cell Library Datasheet**, Part Number: UMCL25U250T3, Revision 1.2, February, 2002.
[14]. **UMC eSi-Route/11™ High Performance 0.18μ Standard Cell Library**, Part Number: UMCL18U250, Rev. 2.1, January, 2001.
[15]. **O'REILLY – Perl IN A NUTSHELL**, Ellen Siever, Stephen Spainhour & Nathan Patwardhan, First Edition, December 1998.
[16]. **O'REILLY – Learning Perl**, By Randal Schwartz, Tom Christiansen & Larry Wall; Second Edition, July 1997.
[17]. **O'REILLY – Perl Cookbook**, By Tom Christiansen & Nathan Torkington; First Edition, August 1998.

Internet:

- [18]. <http://solvnnet.synopsys.com/login/designsphere>
[19]. <http://www.sun.com>
[20]. <http://www.google.com>



VLSI/TUC

Thesis:

Power Consumption
Analysis & Optimization for
Combinational & Sequential
Digital Circuits.

Supervisor: George Stamoulis
Student: Dimitris Karampatzakis

December 2002



Thesis Project Scopes

- Digital Circuit Synthesis
- Power Consumption Analysis
- Power Consumption Optimization

with

Synopsys Synthesis & Power Tools :

Design Compiler™

Power Compiler™



Presentation flow

- Tech Choices
- Design Compiler
- UMC/Virtual Silicon CMOS cell Libs
- Basic Power Concepts
- Power Compiler
- Capturing switching activity
- Simulations



Tech Choices

- Synopsys Design Compiler for Synthesis(32bit)
- Synopsys Power Estimator for RTL Power Analysis
- Synopsys Power Compiler for Gate-Level Analysis & Optimization
- MTI ModelSim SE 5.5a for Solaris
- UMC/Virtual Silicon CMOS cell Libraries (25um, 18um, 13um)
- Sun Blade100 64bit W/S, 500MHz CPU, 2GB RAM
- Sun Solaris 5.8 64bit Operating System
- Perl & dcsh scripting Languages

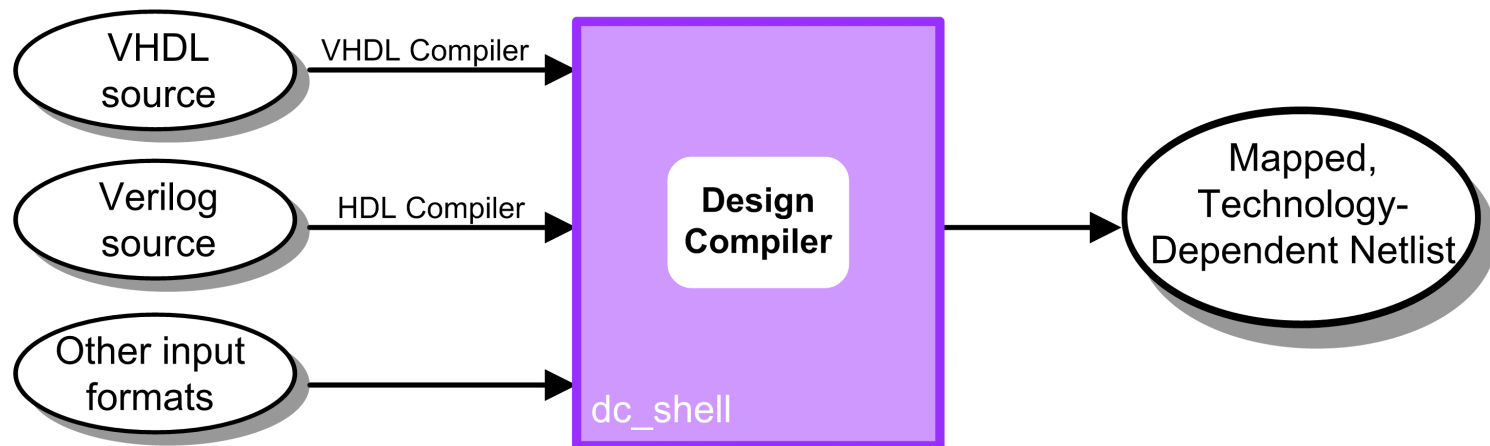
Synopsys Tools

○ Design Compiler™

Version 2001.08 SunOS 5 (32bit)

Circuit Synthesis →

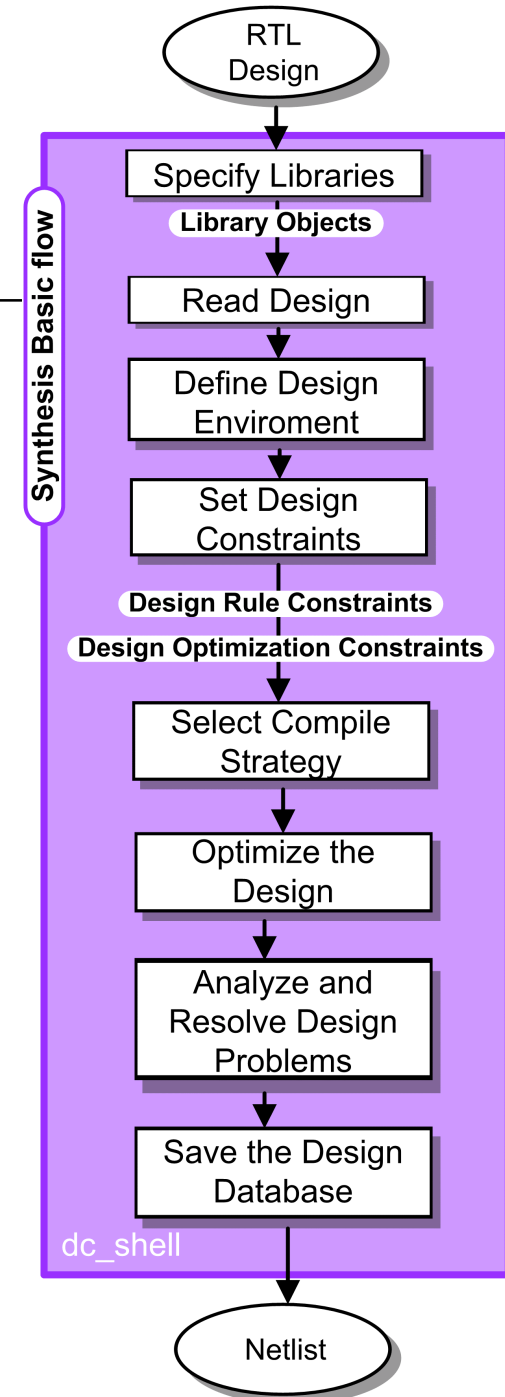
Technology Mapped Gate-Level Netlist



Design Compiler Synthesis Flow (1)

1. RTL Design - HDL Coding Styles
2. Specify Libraries
3. Setting Design Constraints
4. Design Optimization - Compile
5. check_design
6. Technology mapped netlist

Optimization Constraints for
Timing and **Area**.

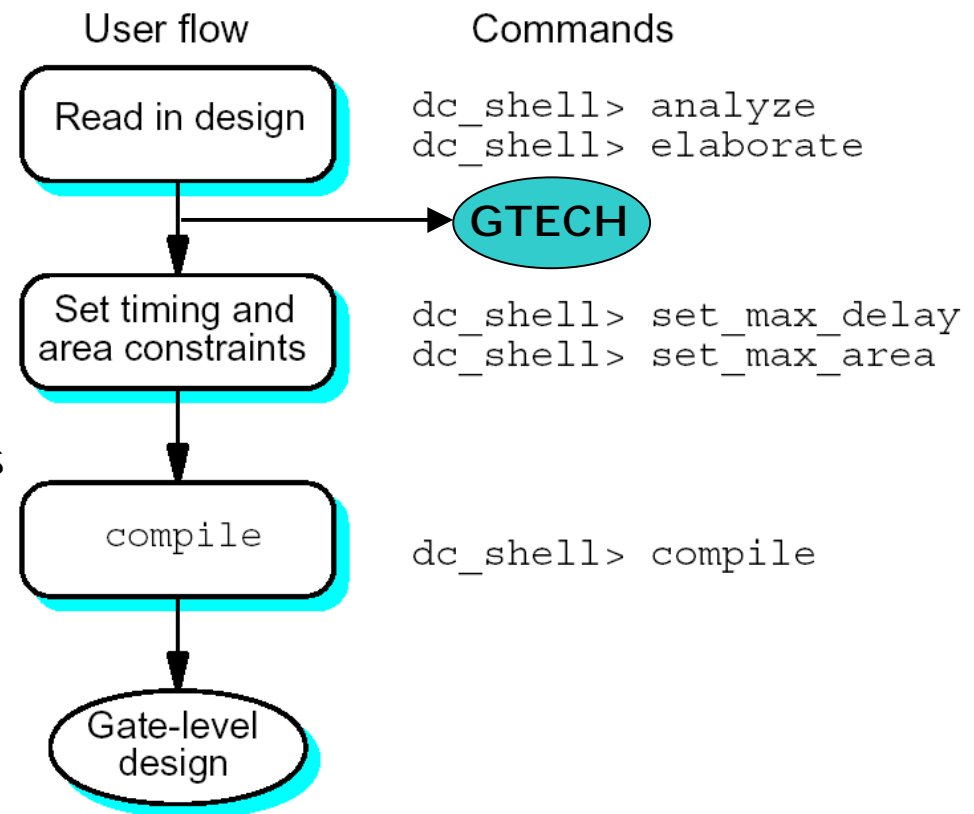


Design Compiler Synthesis Flow (2)

GTECH

Technology independent
Design.

Use of DesignWare Libraries

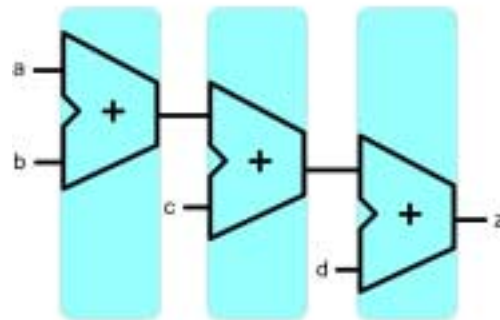


DesignWare Libraries (1)

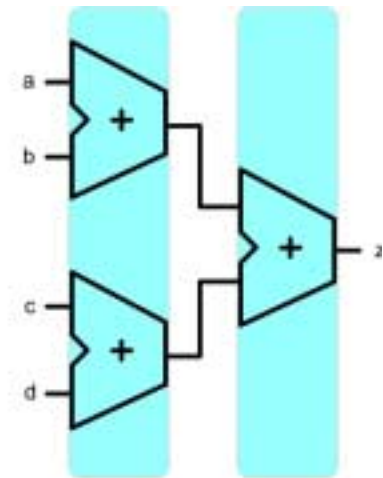
- Use of standard.sldb

Three optimizations:

- Arithmetic
- Resource Sharing
- Pin permutation



Circuit without optimization

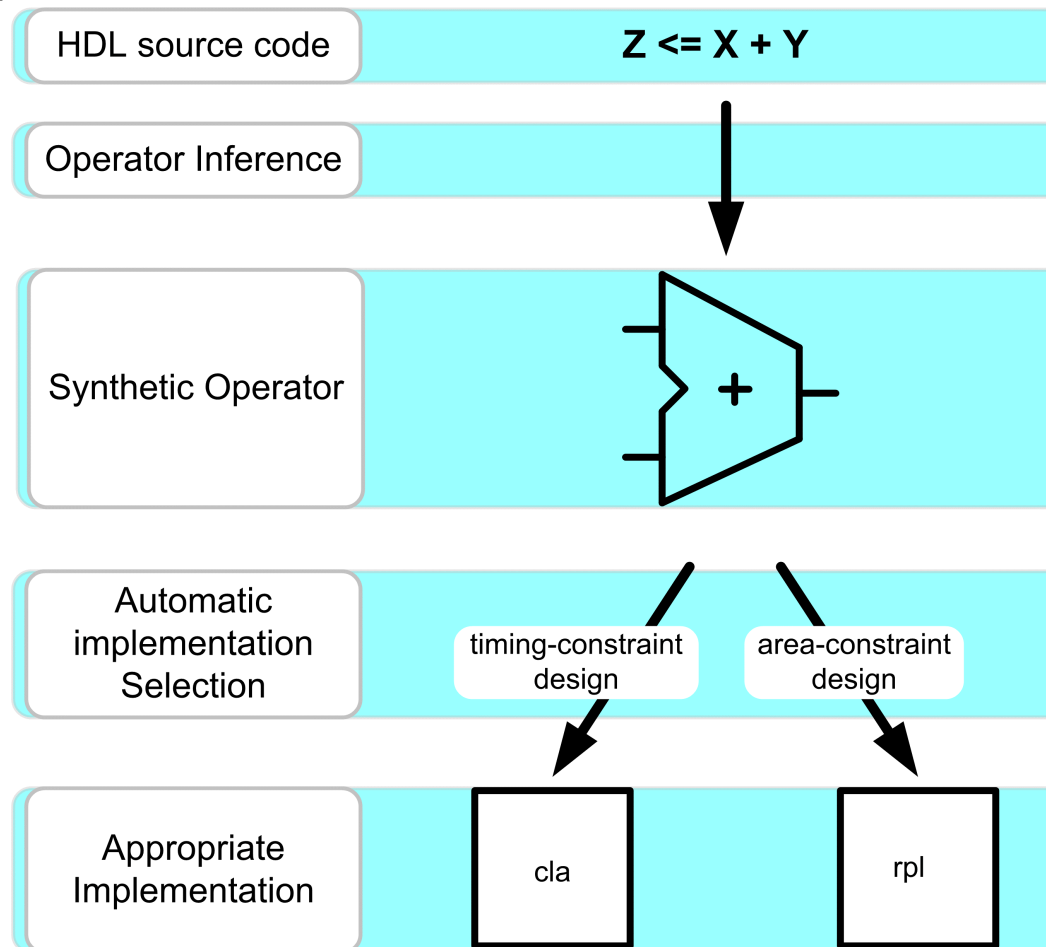


Circuit after optimization

$$a+b+c+d \longrightarrow (a+b) + (c+d)$$

DesignWare Libraries (2)

○ Implementation Selection





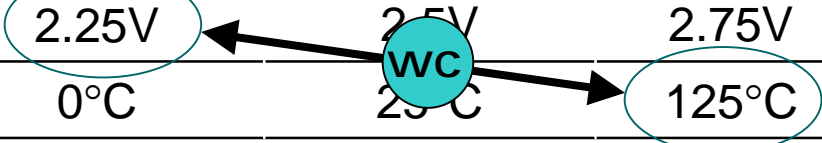
UMC/Virtual Silicon CMOS Libraries (1)

- UMC eSi-Route/11TM Standard Cell Library *.25um*
 - *510 standard and special cells*
- UMC eSi-Route/11TM High Performance Standard Cell Library *.18um*
 - *502 standard and special cells*
- UMC eSi-Route/9TM High Density Standard Cell Library *.13um*
 - *557 standard and special cells*

UMC/Virtual Silicon CMOS Libraries (2)

UMCL25U250T3

Operating Condition	Minimum	Typical	Maximum
Power Supply	2.25V	2.5V	2.75V
Junction Temperature	0°C	25°C	125°C



UMCL18U250

Operating Condition	Minimum	Typical	Maximum
Power Supply	1.62V	1.8V	1.98V
Junction Temperature	0°C	25°C	125°C

UMCL13U210T3

Operating Condition	Minimum	Typical	Maximum
Power Supply	1.08V	1.20V	1.32V
Junction Temperature	0°C	25°C	125°C

Low Power Cells (L)

AND – OR Gate cell



25um

Area	Static power (uW)	VDD	Temp	Process
63.36	0.003	2.5V	25°C	Typical

(S)

Area	Static power (uW)	VDD	Temp	Process
63.36	0.003	2.5V	25°C	Typical

(L)

13um

Area	Static power (uW)	VDD	Temp	Process
12.1	0.004	1.2V	25°C	Typical

(S)

Area	Static power (uW)	VDD	Temp	Process
10.37	0.001	1.2V	25°C	Typical

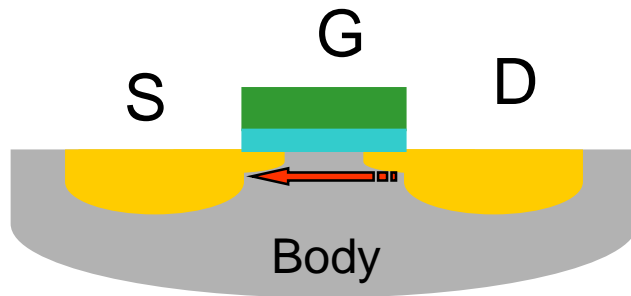
(L)



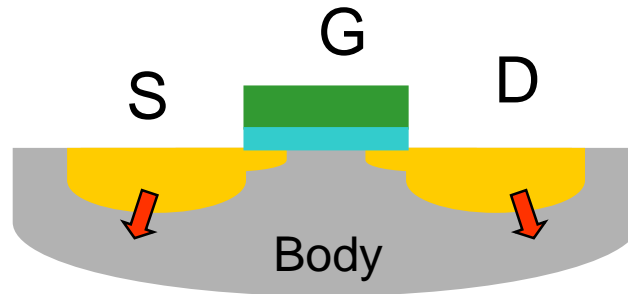
Basic Power Concepts

- Static Power or Leakage Power
- Dynamic Power

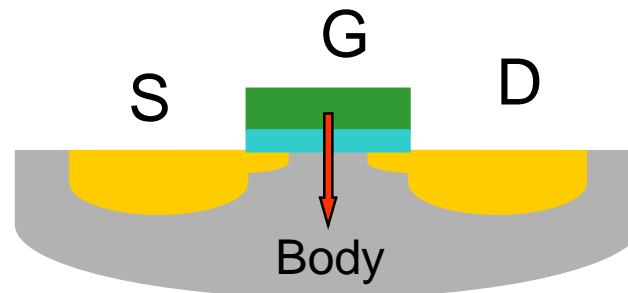
Leakage Power (1)



Drain leakage



Diode leakage



Gate leakage



Leakage Power (2)

- Leakage Power Calculation

$$P_{\text{LeakageTotal}} = \sum_{\forall \text{cells}(i)} P_{\text{CellLeakage}i}$$

$P_{\text{LeakageTotal}}$ = Total leakage power dissipation of the design

$P_{\text{CellLeakage}}$ = Leakage power dissipation of each cell i



Dynamic Power

- Switching Power
- Internal power

$$\text{Dynamic Power} = \text{Switching Power} + \text{Internal power}$$



Switching Power

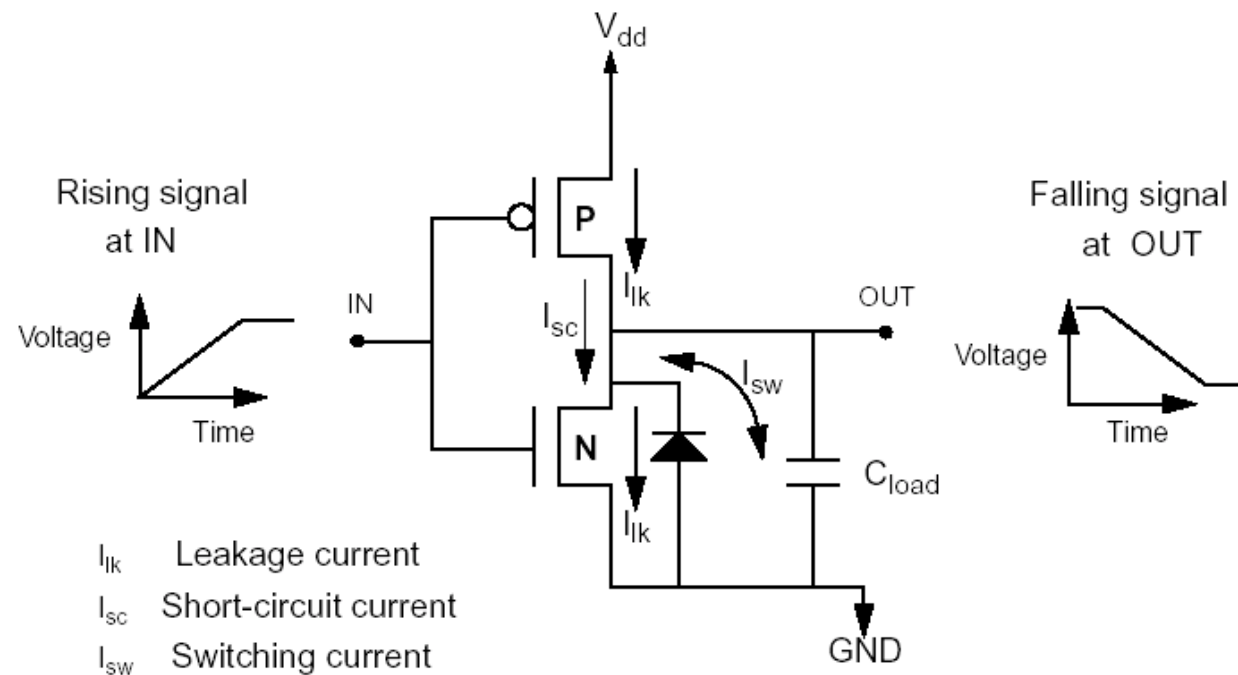
- Power Consumption – Output Capacitance
 - Power Consumption – Output Switching activity
 - An active cell - > high % of the total
-
- Switching Power Calculation

$$P_C = \frac{V_{dd}^2}{2} \sum_{\forall \text{nets}(i)} (C_{\text{Load}_i} \times TR_i)$$

P_C	Switching power of the design
C_{Load_i}	Capacitive load of net i
TR_i	Toggle rate of net i, transitions per second
V_{dd}	Supply voltage

Internal Power (1)

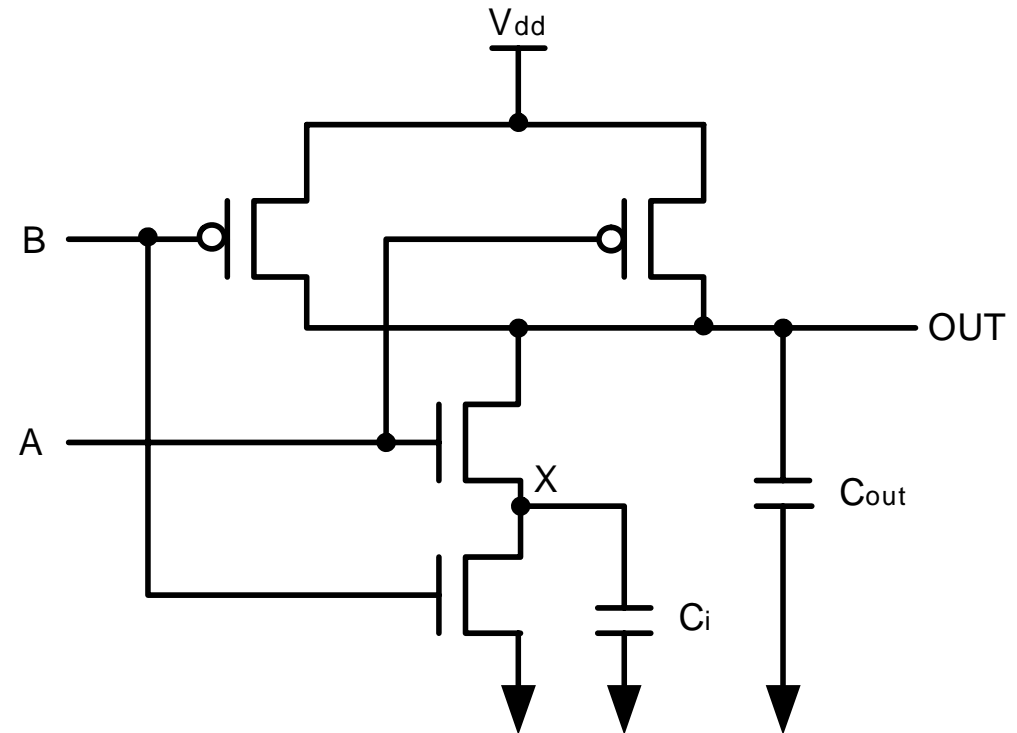
- Internal power is any power dissipated within the boundary of a cell.
- State Dependent and Path Dependent Internal Power
- Short Circuit Power.



Internal Power (2)

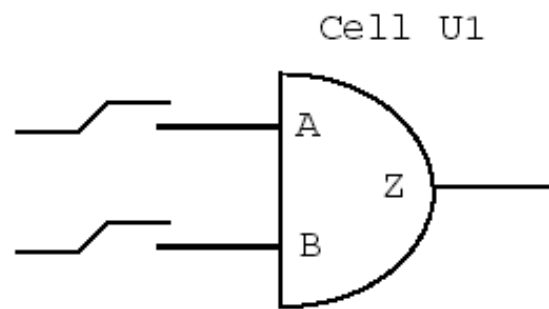
- The example of NAND CMOS gate.

A	1	0	0	0	1
B	0	0	1	0	0
OUT	1	1	1	1	1
X	1	1	0	0	1



Internal Power (3)

Internal Power Calculation



$$P_{Int} = E_Z \times TR_Z$$

$$E_Z = f[C_{Load}, \text{WeightAvg}_{(Trans)}]$$

$$\text{WeightAvg}_{(Trans)} = \frac{\sum_{i=A,B} TR_i \times \text{Trans}_i}{\sum_{i=A,B} TR_i}$$

P_{Int}

Total internal power of the cell

E_Z

Internal energy for output Z as a function of input transitions and output load (defined in the technology library)

TR_Z

Toggle rate of output pin Z

TR_i

Toggle rate of input pin i, transitions per second

Trans_i

Transition time of input i

$\text{WeightAvg}_{(Trans)}$

Weighted average transition time for output Z



Power Compiler

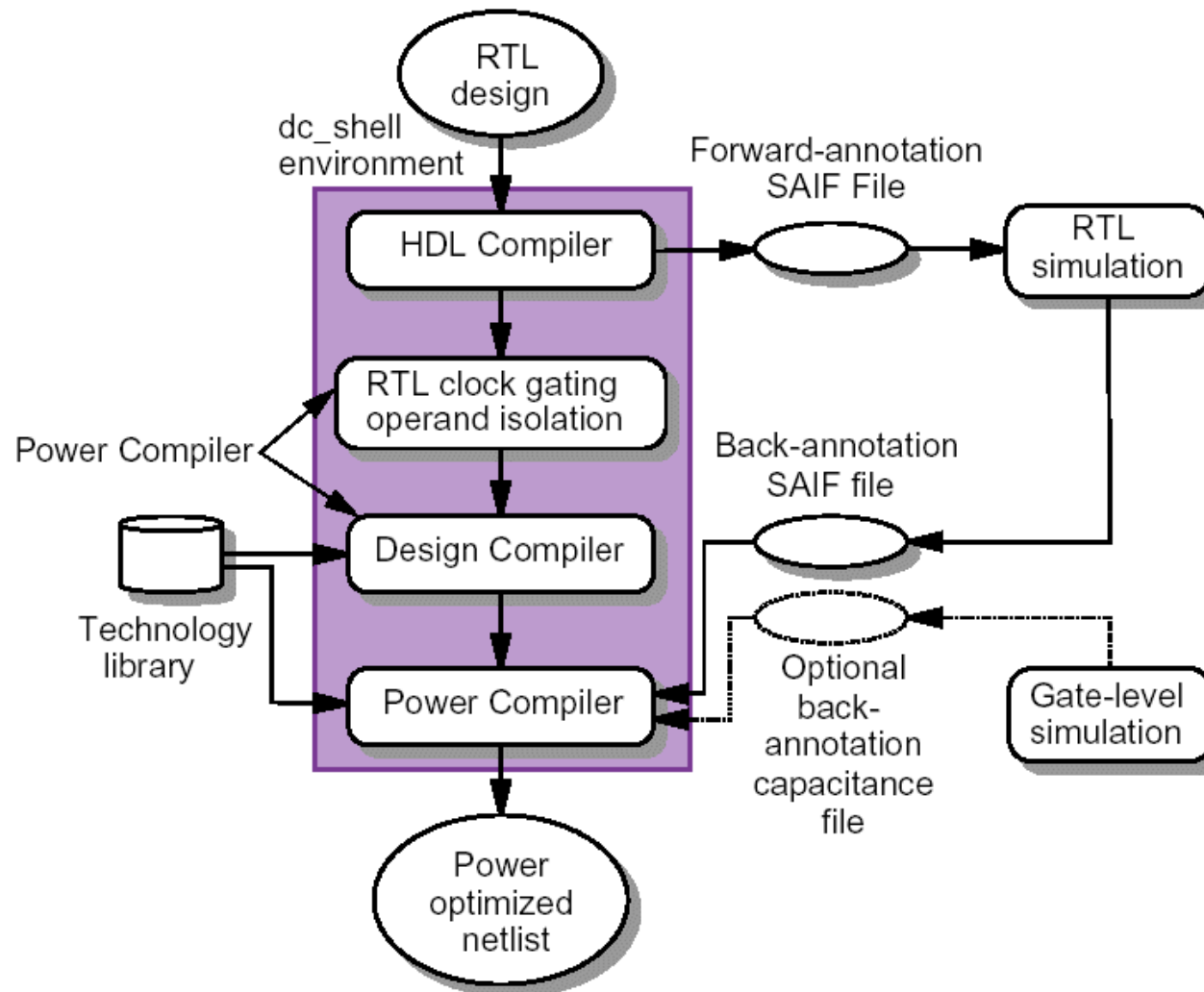
- **Power Compiler™**

Version 2001.08 SunOS 5 (32bit)

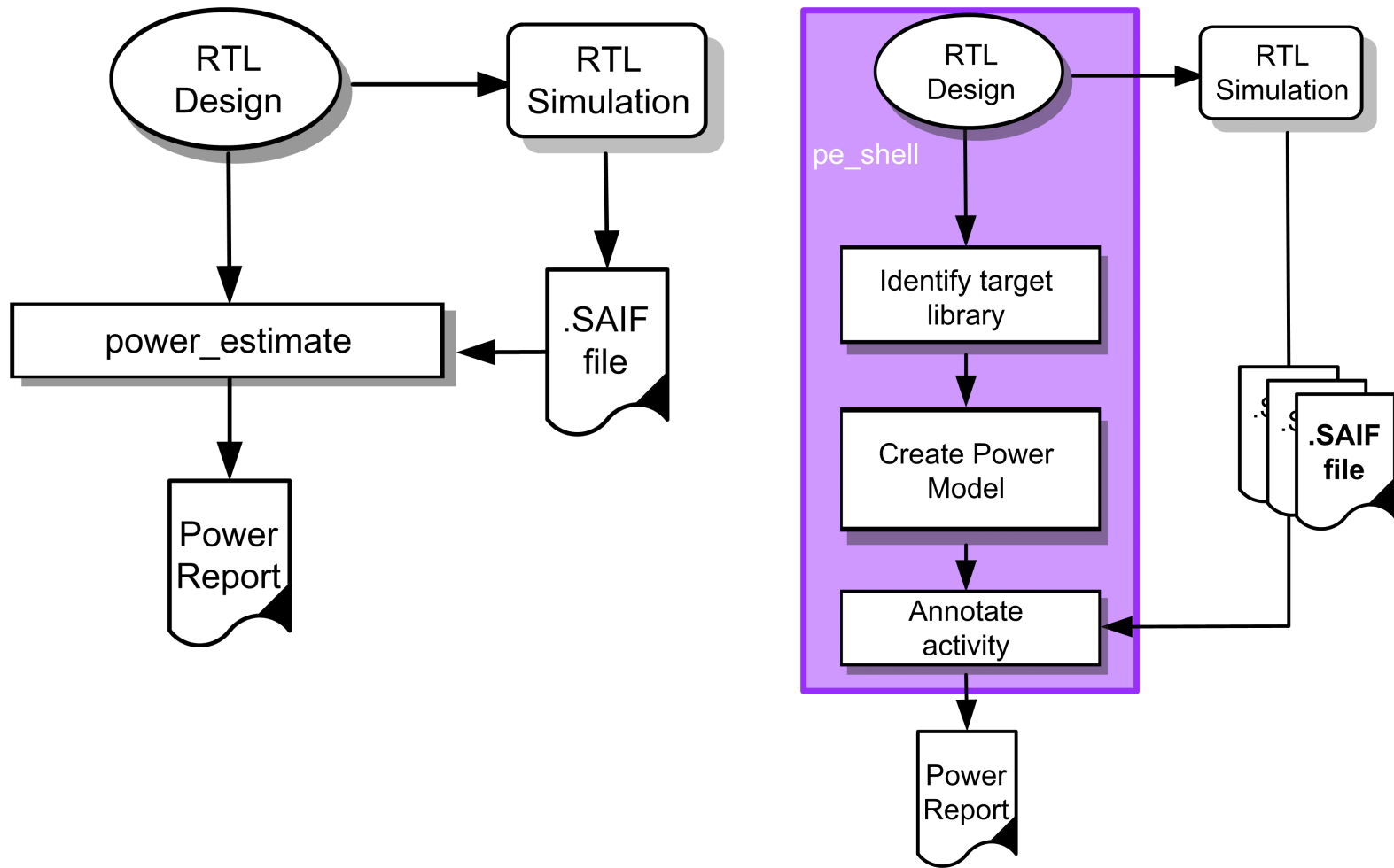
Power Analysis & Optimization

- RTL Level Power Estimation
- Gate-Level Power analysis & Optimization

Power Compiler Methodology Flow



RTL Power Estimator

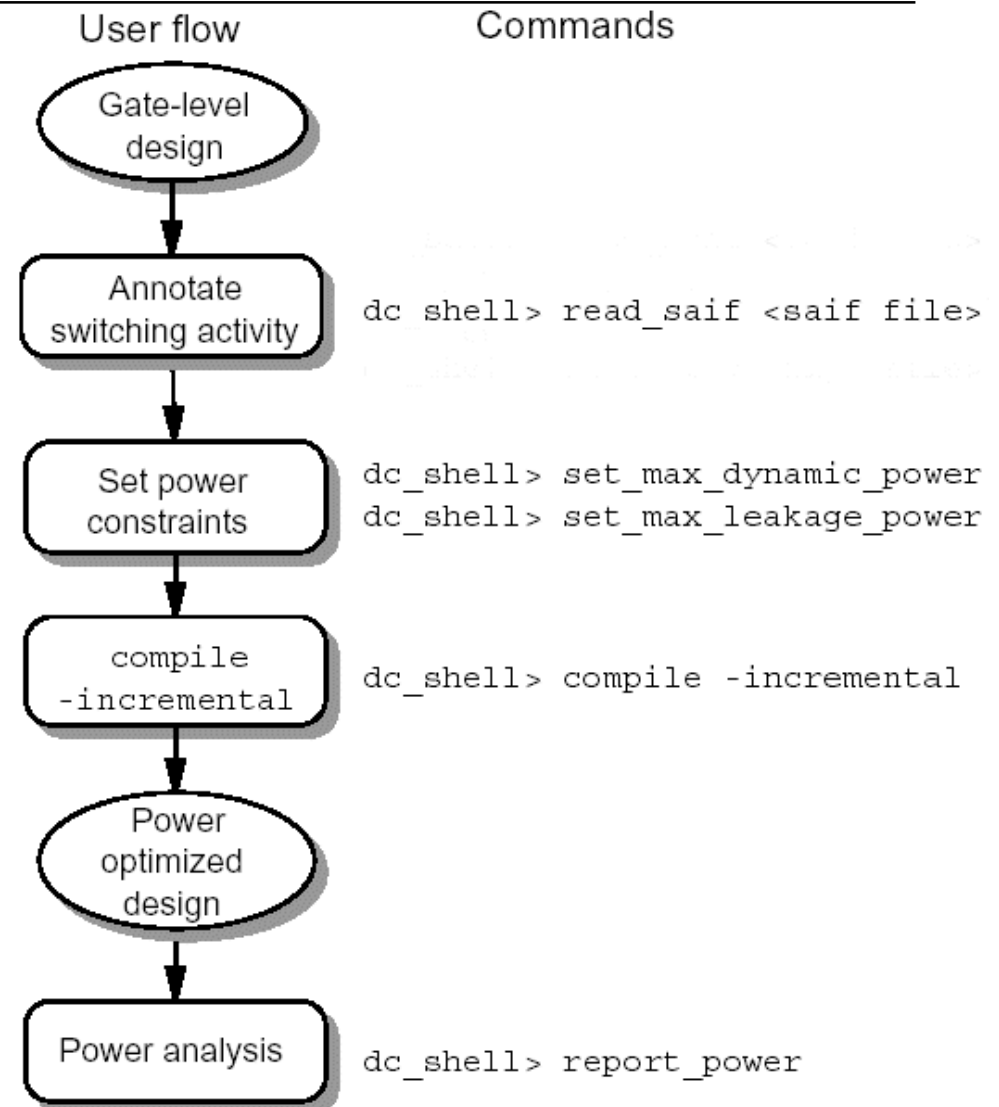


One step analysis approach

Interactive analysis approach

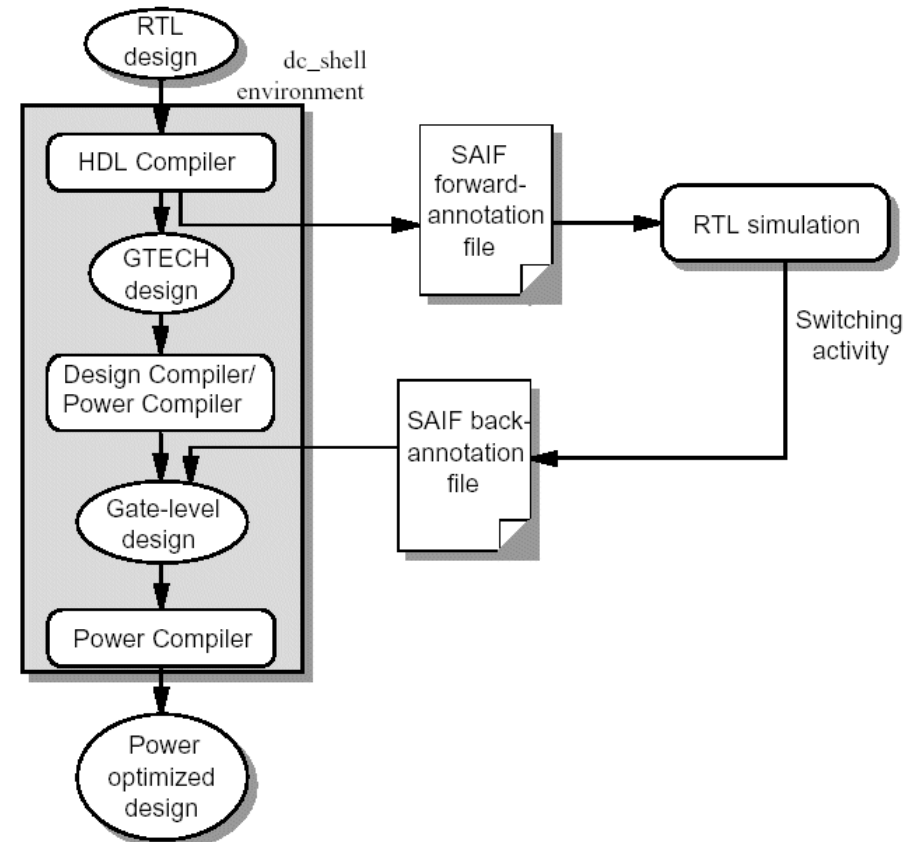
Gate Level Power Methodology

- Two Compiles
 - Timing and Area Optimization
 - Power Consumption Optimization



Capturing Switching Activity

- ModelSim 5.5a for Solaris.
- RTL level simulation
- Gate Level simulation

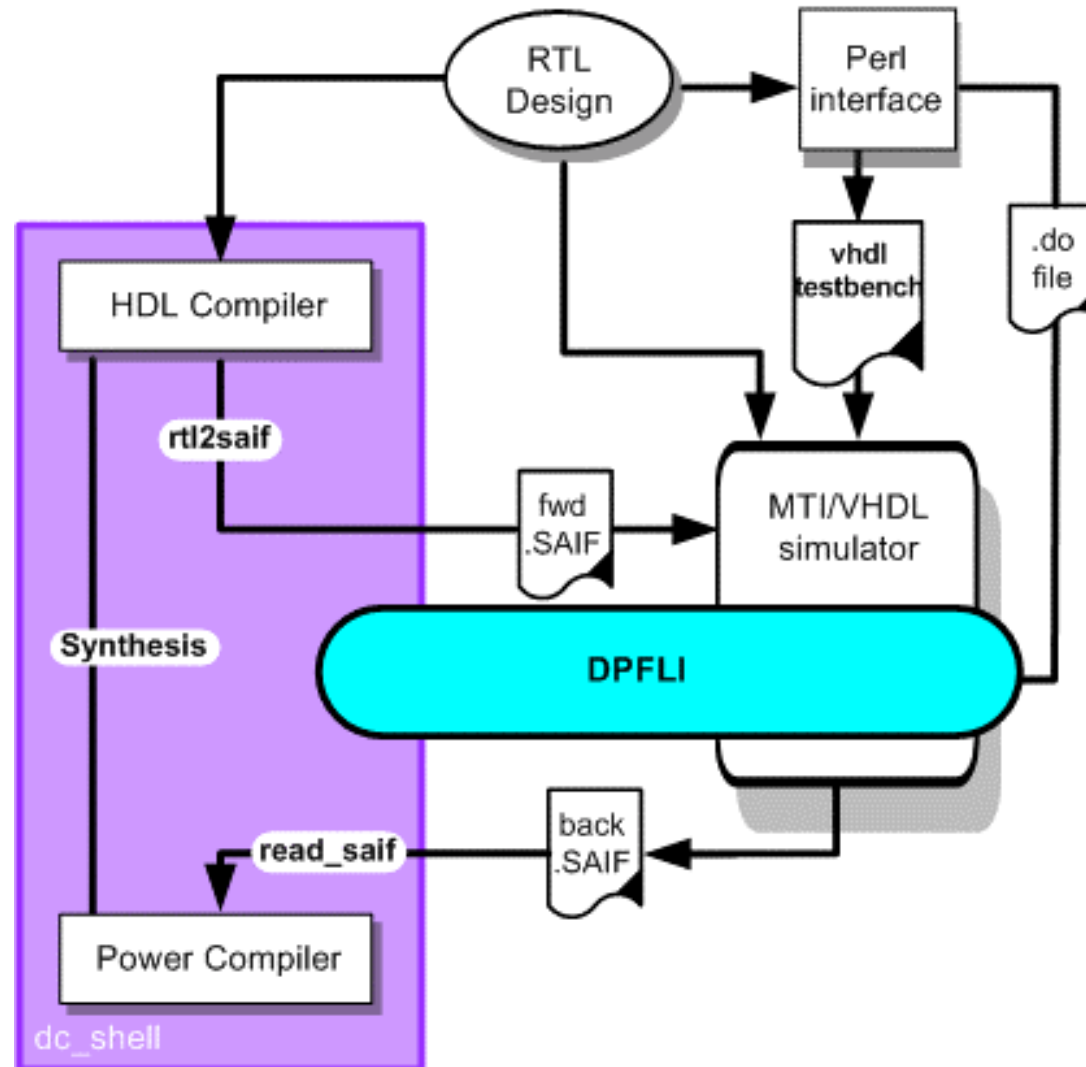




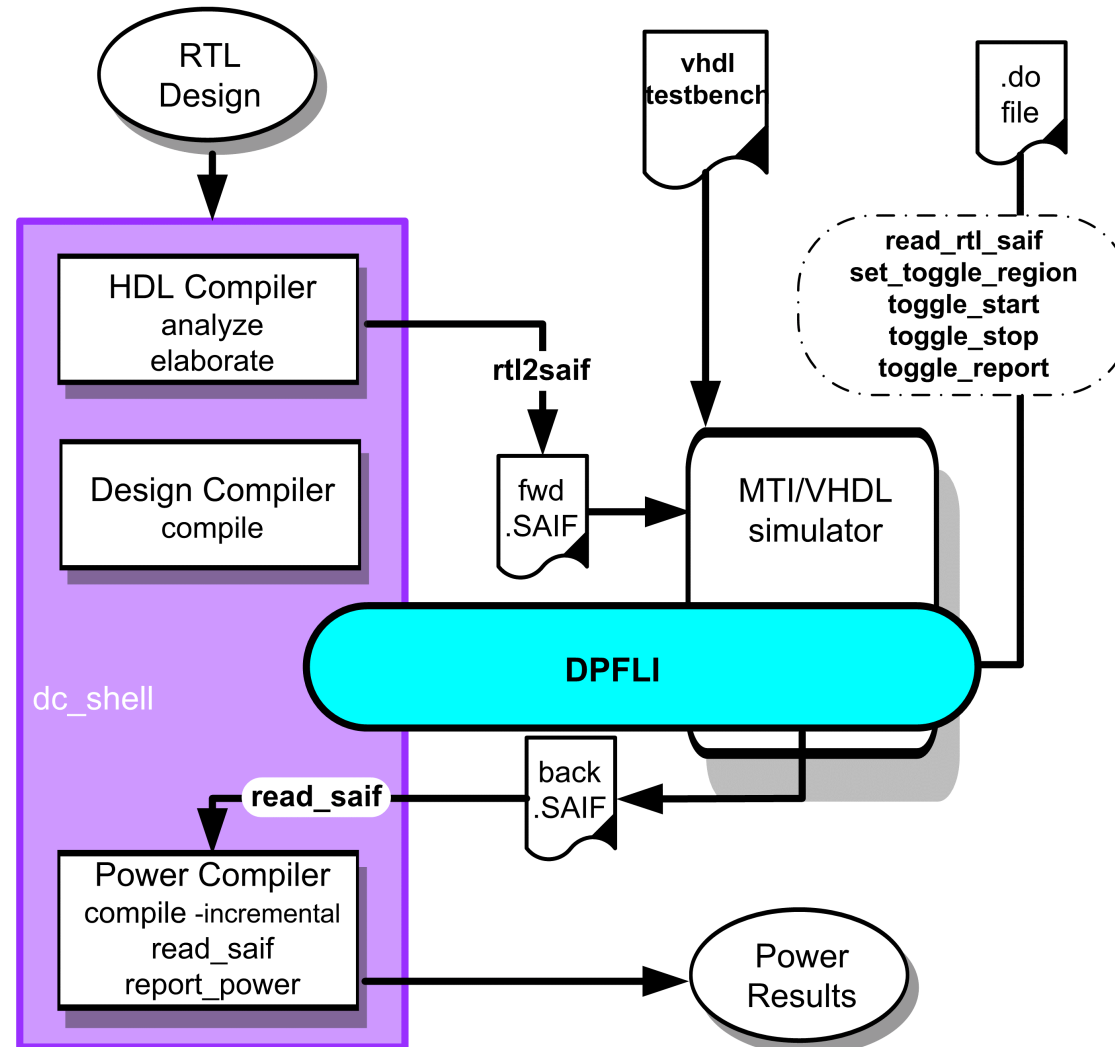
DPFLI interface

- Communication interface between SYNOPSYS library and MTI
- dpfli.so library (unix folder)
- Inserts toggle commands to Modelsim
- BACK .saif file creation:
 - Vhdl source code.
 - Vhdl testbench
 - .do macro file
 - FWD .saif file

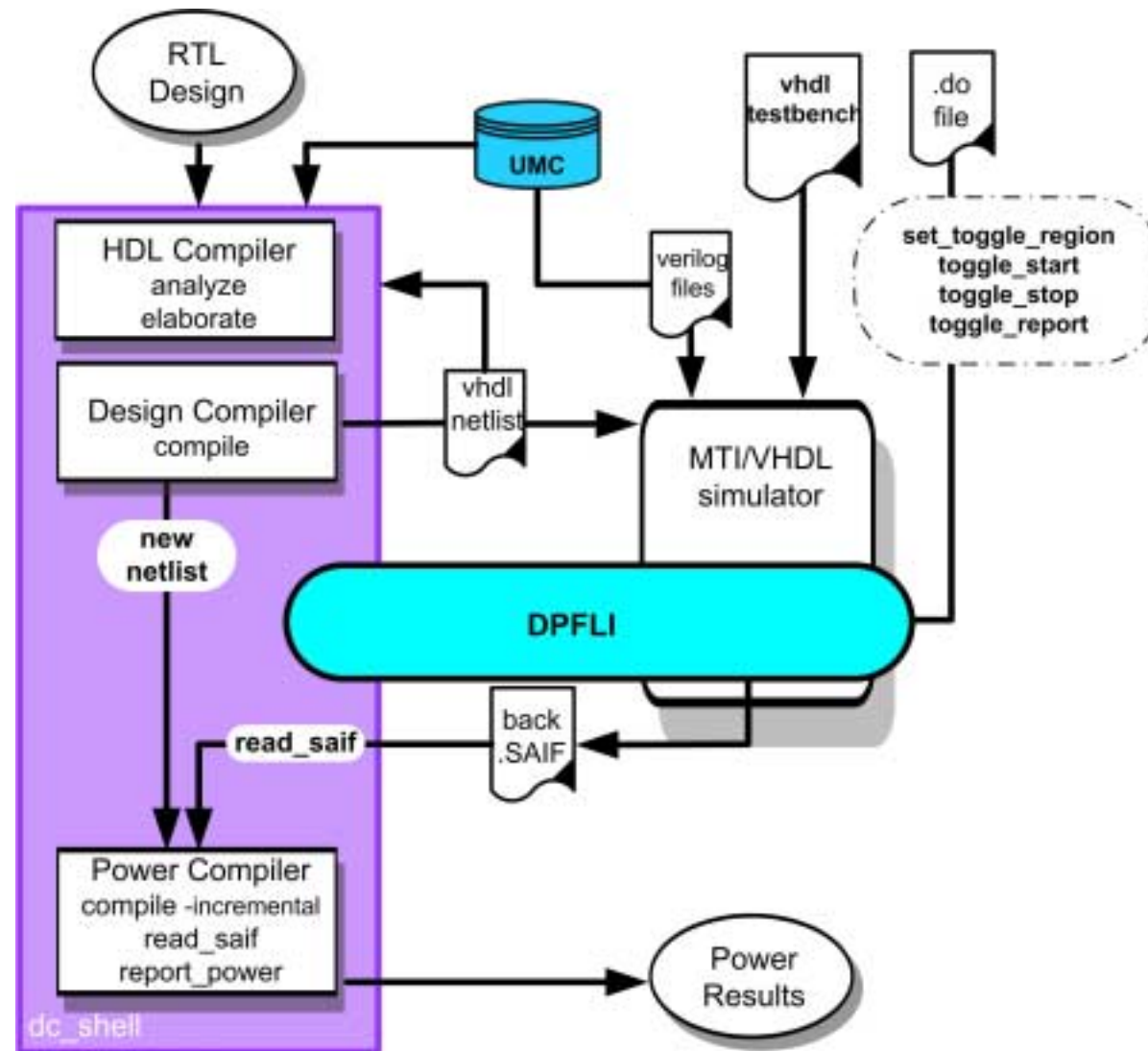
BACK .saif file from RTL Simulation (1)



BACK .saif file from RTL Simulation (2)



BACK .saif file from Gate Level Sim





MTI RTL simulation sample

```
> vsim -c
Reading /usr/model/modeltech/sunos5/./tcl/vsim/pref.tcl
# 5.5a
ModelSim> do S38417_do.do
# Copying /usr/model/modeltech/sunos5/./modelsim.ini to modelsim.ini
# Modifying modelsim.ini
# Model Technology ModelSim SE vcom 5.5a Compiler 2001.04 Apr 6 2001
# -- Loading package standard
# -- Compiling entity s38417
# -- Compiling architecture s38417_architecture of s38417
# Model Technology ModelSim SE vcom 5.5a Compiler 2001.04 Apr 6 2001
# -- Loading package standard
# -- Loading package std_logic_1164
# -- Loading package numeric_std
# -- Compiling entity testbench
# -- Compiling architecture behavior of testbench
# -- Loading entity s38417
# -- Loading package standard
# vsim -foreign {dpfli_init /export/home/synopsys/auxx/syn/power/dpfli/lib-sparcOS5/dpfli.so} testbench
# Loading /usr/model/modeltech/sunos5/./std.standard
# Loading /usr/model/modeltech/sunos5/./ieee.std_logic_1164(body)
# Loading /usr/model/modeltech/sunos5/./ieee.numeric_std(body)
# Loading work.testbench(behavior)
# Loading work.s38417(s38417_architecture)
# Loading /export/home/synopsys/auxx/syn/power/dpfli/lib-sparcOS5/dpfli.so
# Synopsys power code initialized and linked successfully
# Information (SNPS-PWR): Reading rtl saif file "FWD_SAIF_rtl_S38417.saif" done.
# Information (SNPS-PWR): Completed set_toggle_region
# Information (SNPS-PWR): Turned on counting window at time 50.000000
# Information (SNPS-PWR): Turned off counting window at time 2050.000000
# Information (SNPS-PWR): Report done, wrote file "BACK_SAIF_VEC_S38417.saif" at time 2050.00
```

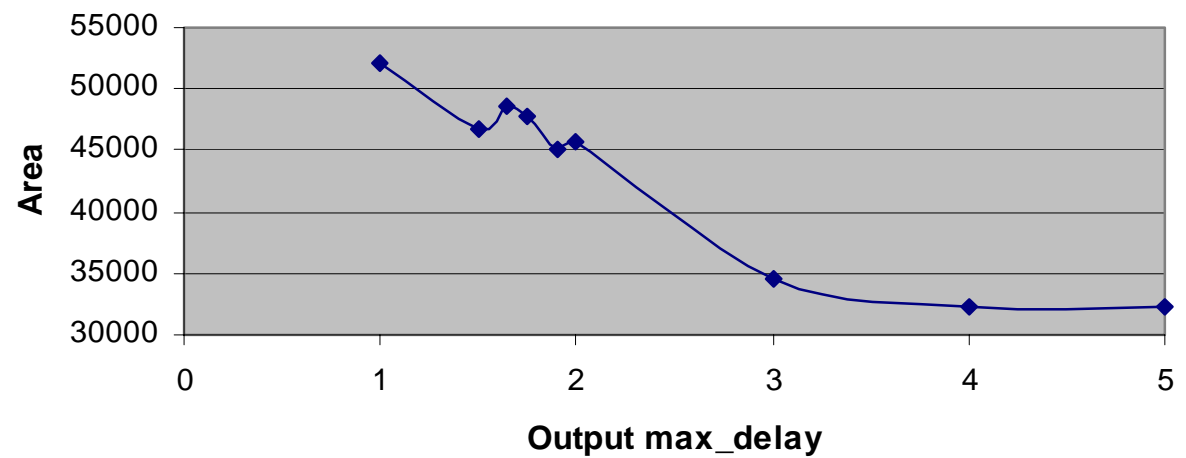



Simulations

- Various Circuits
 - Combinational ISCAS '85
 - Sequential ISCAS '89
- CMOS Libraries
 - UMC 25um
 - UMC 18um
 - UMC 13um
- Graphs
 - Area – max_delay
 - Power consumption – max_delay

Area – max_delay Graphs (1)

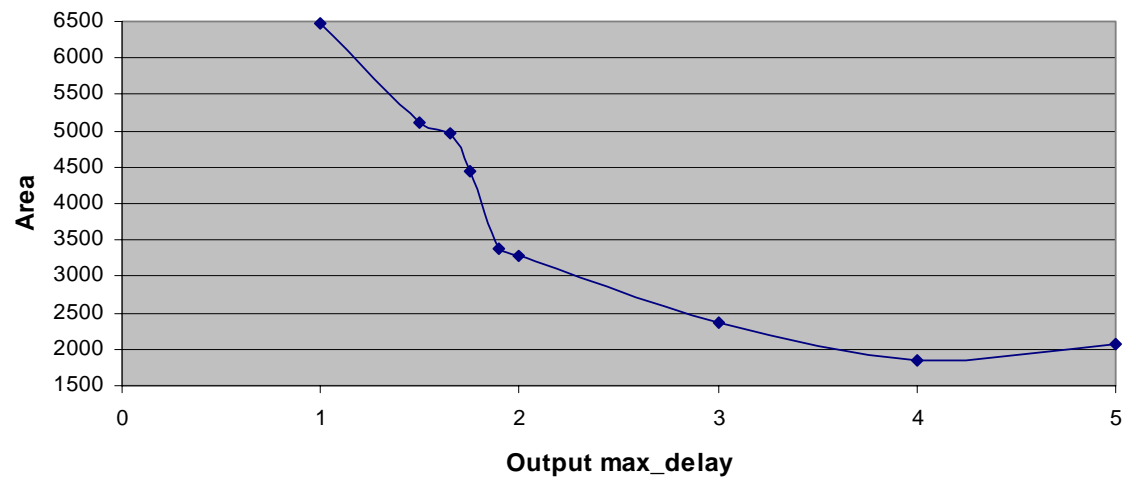
Circuit S38417



S38417			
Delay	Area	Slack	Cells
5	32191,32	0,38	1834
4	32232,02	0,01	1832
3	34480,28	0	2001
2	45770,73	0,59	2358
1,9	45152,8	0,58	2397
1,75	47726,27	0,8	2413
1,65	48531,33	0,85	2532
1,5	46835,92	1,04	2415
1	52015,52	1,56	2425

Area – max_delay Graphs (2)

Circuit c432



c432			
Delay	Area	Slack	Cells
5	2057,18	0,54	130
4	1841,71	0,06	117
3	2366,18	0	121
2	3276,86	0	191
1,9	3370,37	0	211
1,75	4455,88	0	253
1,65	4964,07	0	281
1,5	5102,31	0	269
1,4	6464,3	0,4	306

RTL Power Estimator Results (1)

Library(s) Used: umcl25u250t3_wc
Global Operating Voltage = 2.25
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1uW
Total Power Units = 1mW (derived from component power units)

Design	SP	Internal Power	Leakage Power	Total Power	%
c1355	5.95e-02	6.16e-02	3.369	0.124	100.0
c17	2.44e-04	2.10e-04	4.20e-02	4.95e-04	100.0
c2670	5.76e-02	6.36e-02	4.887	0.126	100.0
c432	1.33e-02	2.01e-02	0.965	3.44e-02	100.0
c499	2.95e-02	6.59e-02	1.287	9.66e-02	100.0
c6288	0.402	0.335	7.774	0.745	100.0
c7552	0.332	0.286	14.935	0.632	100.0
c880	1.88e-02	2.34e-02	1.605	4.38e-02	100.0
S1238	1.71e-02	2.05e-02	2.339	4.00e-02	100.0
S13207	0.278	0.198	21.339	0.497	100.0
S1423	1.74e-02	2.72e-02	1.833	4.65e-02	100.0
S1494	2.12e-02	3.56e-02	2.313	5.91e-02	100.0
S38417	1.058	0.853	56.776	1.968	100.0

RTL Power Estimator Results (2)

Library(s) Used: umcl18u250t2_wc
Global Operating Voltage = 1.62
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW
Total Power Units = 1mW (derived from component power units)

Design	SP	Internal Power	Leakage Power	Total Power	%
c1355	1.72e-02	1.92e-02	1.67e+06	3.81e-02	100.0
c17	7.71e-05	8.16e-05	1.53e+04	1.74e-04	100.0
c2670	1.77e-02	2.38e-02	4.53e+06	4.60e-02	100.0
c432	4.05e-03	7.35e-03	7.25e+05	1.21e-02	100.0
c499	7.70e-03	1.96e-02	1.10e+06	2.84e-02	100.0
c6288	0.114	0.103	7.10e+06	0.223	100.0
c7552	7.59e-02	9.64e-02	1.29e+07	0.185	100.0
c880	5.74e-03	9.26e-03	1.42e+06	1.64e-02	100.0
S1238	4.84e-03	7.43e-03	1.86e+06	1.41e-02	100.0
S13207	5.95e-02	6.94e-02	2.41e+07	0.153	100.0
S1423	5.13e-03	8.73e-03	1.95e+06	1.58e-02	100.0
S1494	5.46e-03	1.23e-02	2.48e+06	2.03e-02	100.0
S38417	0.223	0.281	6.74e+07	0.571	100.0

RTL Power Estimator Results (3)

Library(s) Used: umcl13u210t3_wc
Global Operating Voltage = 1.08
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1uW
Total Power Units = 1mW (derived from component power units)

Design	SP	Internal Power	Leakage Power	Total Power	%
c1355	3.76e-03	3.57e-03	7.838	1.52e-02	100.0
c17	1.41e-05	1.36e-05	7.36e-02	1.01e-04	100.0
c2670	3.65e-03	4.10e-03	18.005	2.58e-02	100.0
c432	8.59e-04	1.29e-03	2.850	5.00e-03	100.0
c499	2.03e-03	3.47e-03	4.209	9.71e-03	100.0
c6288	2.12e-02	1.85e-02	29.927	6.96e-02	100.0
c7552	1.55e-02	1.74e-02	51.694	8.45e-02	100.0
c880	1.21e-03	1.50e-03	5.596	8.31e-03	100.0
S1238	1.09e-03	1.33e-03	7.235	9.65e-03	100.0
S13207	1.27e-02	1.16e-02	97.930	0.122	100.0
S1423	1.11e-03	1.49e-03	8.135	1.07e-02	100.0
S1494	1.44e-03	2.32e-03	9.342	1.31e-02	100.0
S38417	4.93e-02	4.79e-02	268.561	0.366	100.0

RTL Power Estimator Results (4)

Library(s) Used: umcl25u250t3_wc
(File: /export/home/synopsys/libraries/syn/umcl25u250t3_wc.db)

Global Operating Voltage = 2.25
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1uW
Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	0.322	2.30e-02	2.986	0.348	100.0
Sdff1196	0.354	6.43e-02	2.988	0.421	100.0
Sdff1238	0.324	2.36e-02	3.116	0.350	100.0
Sdff1238	0.354	6.35e-02	3.079	0.420	100.0
Sdff1423	1.173	0.383	6.189	1.562	100.0
Sdff1423	1.198	0.426	6.134	1.631	100.0
Sdff1488	1.110	2.248	2.838	3.361	100.0
Sdff1488	2.454	5.144	2.852	7.601	100.0
Sdff1494	1.238	2.502	2.958	3.743	100.0
Sdff1494	2.570	5.452	2.836	8.024	100.0

RTL Power Estimator Results (5)

Library(s) Used: umcl18u250t2_wc
(File: /export/home/synopsys/libraries/syn/umcl18u250t2_wc.db)

Global Operating Voltage = 1.62
Dynamic Power Units = 1mW (derived from V.C.T units)
Leakage Power Units = 1pW
Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	5.94e-02	0.267	2.42e+06	0.329	100.0
Sdff1196	6.84e-02	0.284	2.42e+06	0.355	100.0
Sdff1238	5.98e-02	0.268	2.45e+06	0.331	100.0
Sdff1238	6.80e-02	0.284	2.45e+06	0.354	100.0
Sdff1423	0.283	1.228	2.96e+06	1.514	100.0
Sdff1423	0.291	1.243	2.96e+06	1.537	100.0
Sdff1488	0.292	0.798	2.53e+06	1.092	100.0
Sdff1488	0.643	1.655	2.53e+06	2.300	100.0
Sdff1494	0.324	0.859	2.53e+06	1.185	100.0
Sdff1494	0.672	1.743	2.53e+06	2.417	100.0

RTL Power Estimator Results (6)

Library(s) Used: umcl13u210t3_wc
(File: /export/home/synopsys/libraries/syn/umcl13u210t3_wc.db)

Global Operating Voltage = 1.08
Dynamic Power Units = 1mW (derived from V.C.T units)
Leakage Power Units = 1uW
Total Power Units = 1mW (derived from component power units)

Design	Switching Power	Internal Power	Leakage Power	Total Power	%
Sdff1196	1.79e-02	5.73e-02	9.133	8.44e-02	100.0
Sdff1196	2.01e-02	5.96e-02	9.182	8.88e-02	100.0
Sdff1238	1.80e-02	5.64e-02	9.229	8.37e-02	100.0
Sdff1238	2.00e-02	5.95e-02	9.183	8.87e-02	100.0
Sdff1423	6.35e-02	0.238	11.226	0.313	100.0
Sdff1423	6.51e-02	0.238	11.174	0.314	100.0
Sdff1488	7.42e-02	0.160	9.667	0.243	100.0
Sdff1488	0.166	0.342	9.643	0.518	100.0
Sdff1494	8.31e-02	0.176	9.655	0.269	100.0
Sdff1494	0.174	0.361	9.686	0.545	100.0



Combinational Circuits

- 17 ISCAS '85 Circuits

PWSA	Power Report without Switching Activity
PSA	Power Report with Switching Activity
PPO	Power Report for the netlist after DC high and with Switching Activity
POPT	Power Report for the netlist after DC high, with Switching Activity and POWER constraints
(PPO - PSA)%	$(PPO - PSA) * 100 / PSA$
(POPT - PSA)%	$(POPT - PSA) * 100 / PSA$

- c432

Inputs	Outputs	Gates
36	7	160

Gate – Level Power Sim c432 (1)

Cell Internal Power		umc25 Low Activity				% Optimization		High Activity		% Optimization	
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	1,7001 mW	12,9318 uW	12,9812 uW	10,9017 uW	-0.380550334	-16,01932025	1,5650 mW	1,0613 mW	-32,18530351		
2	1,8397 mW	15,2732 uW	13,9351 uW	13,5971 uW	9,602370991	-2,425529777	1,5077 mW	1,2598 mW	-16,44226305		
2.5	1,6007 mW	13,4569 uW	13,6233 uW	10,7110 uW	-1,221436803	-21,37734616	1,4770 mW	1,1575 mW	-21,63168585		
3	1,2409 mW	10,3215 uW	10,6806 uW	7,0538 uW	-3,362170665	-33,95689381	1,1371 mW	621,7075 uW	-45,32516929		
4	996,7183 uW	10,0893 uW	9,6246 uW	5,8701 uW	4,828252603	-39,00941338	877,8115 uW	507,5869 uW	-42,17586578		

Net Switching Power											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	1,9701 mW	12,0434 uW	12,1231 uW	8,7277 uW	-0.657422606	-28,0076878	1,8324 mW	1,0620 mW	-42,043222		
2	1,7721 mW	13,4369 uW	11,8680 uW	11,9444 uW	13,21958207	0,643747893	1,6463 mW	1,3308 mW	-19,16418636		
2.5	1,7609 mW	11,7686 uW	11,8757 uW	8,4869 uW	-0.901841576	-28,53558106	1,6445 mW	1,1971 mW	-27,20583764		
3	1,0899 mW	7,9486 uW	8,4155 uW	5,9156 uW	-5,548095776	-29,70589983	1,0095 mW	619,3598 uW	-38,64687469		
4	968,7834 uW	7,7742 uW	7,5643 uW	4,5302 uW	2,774876724	-40,11078355	874,6483 uW	494,9979 uW	-43,4060639		

Total Dynamic Power											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	3,6703 mW	24,9751 uW	25,1043 uW	19,6294 uW	-0.514652868	-21,80861446	3,3974 mW	2,1233 mW	-37,50220757		
2	3,4118 mW	28,7101 uW	25,8031 uW	25,5415 uW	11,26608818	-1,013831671	3,1540 mW	2,5906 mW	-17,86303107		
2.5	3,3616 mW	25,2255 uW	25,4991 uW	19,1979 uW	-1,072979046	-24,7114604	3,1216 mW	2,3546 mW	-24,57073296		
3	2,3309 mW	18,2701 uW	19,0961 uW	12,9694 uW	-4,325490545	-32,08351443	2,1466 mW	1,2411 mW	-42,18298705		
4	1,9655 mW	17,8634 uW	17,1889 uW	10,4003 uW	3,924044005	-39,49409212	1,7525 mW	1,0026 mW	-42,79029957		

Cell Leakage Power											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	1,0916 uW	951,7556 nW	962,3677 nW	814,2573 nW	-1,102707416	-15,39020896	1,0774 uW	805,7034 nW	74682,19788		
2	1,0935 uW	1,1300 uW	994,4185 nW	1,0077 uW	13,63424956	1,335604678	1,0857 uW	980,5919 nW	-9,681136594		
2.5	1,0786 uW	934,9348 nW	935,5488 nW	804,7900 nW	-0,065629928	-13,97669475	1,0659 uW	878,4165 nW	-17,58922038		
3	774,6028 nW	794,9180 nW	795,5882 nW	558,5186 nW	-0,08423956	-29,79802868	770,0356 nW	556,6410 nW	-27,71230317		
4	618,3145 nW	786,3656 nW	775,0862 nW	455,6034 nW	1,455244591	-41,21900248	623,9944 nW	446,1083 nW	-28,50764366		

Gate – Level Power Sim c432 (2)

Cell Internal Power		umc18	Low activity		% Optimization		High Activity		% Optimization	
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	802,9878uW	4,5191uW	4,4378uW	3,2353uW	1,831988823	-27,09675966	548,2872 uW	335,8327 uW	-38,7487616	
2	571,0018uW	4,4501uW	4,5270uW	3,9397uW	-1,698696709	-19,60017672	514,3207 uW	399,6400 uW	-22,2962249	
2.5	324,6414uW	2,9093uW	2,8183uW	1,7378uW	3,228896853	-38,33871483	288,4752 uW	161,2707 uW	-44,09547164	
3	329,0385uW	2,8949uW	3,0117uW	1,8973uW	-3,878208321	-37,00235747	295,5862 uW	188,9862 uW	-36,06392991	
4	287,0941uW	2,6732uW	2,7090uW	1,3449uW	-1,321520856	-50,35437431	241,6764 uW	115,8234 uW	-52,07500608	

Net Switching Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	563,7787uW	4,2911uW	4,1800uW	3,1801uW	2,657894737	-23,92105263	504,0381uW	334,3688uW	-33,66199896	
2	541,8487uW	4,2057uW	4,2109uW	3,4752uW	-0,12348904	-17,47132442	482,8137 uW	400,8265uW	-16,98112543	
2.5	315,9067uW	2,8882uW	2,8212uW	1,9580uW	2,374875939	-30,59690912	271,1028uW	178,1480uW	-34,28765767	
3	287,5486uW	2,3284uW	2,4071uW	1,7148uW	-3,269494412	-28,76074945	257,9673uW	187,4684uW	-27,32861878	
4	243,2953uW	2,1886uW	2,2106uW	1,4120uW	-0,995204922	-36,12593866	206,4094uW	120,7187uW	-41,51492132	

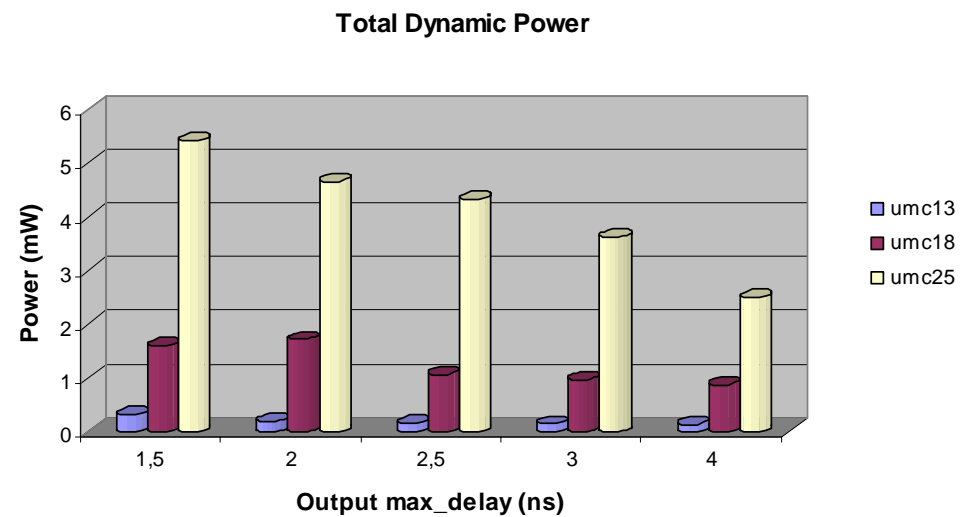
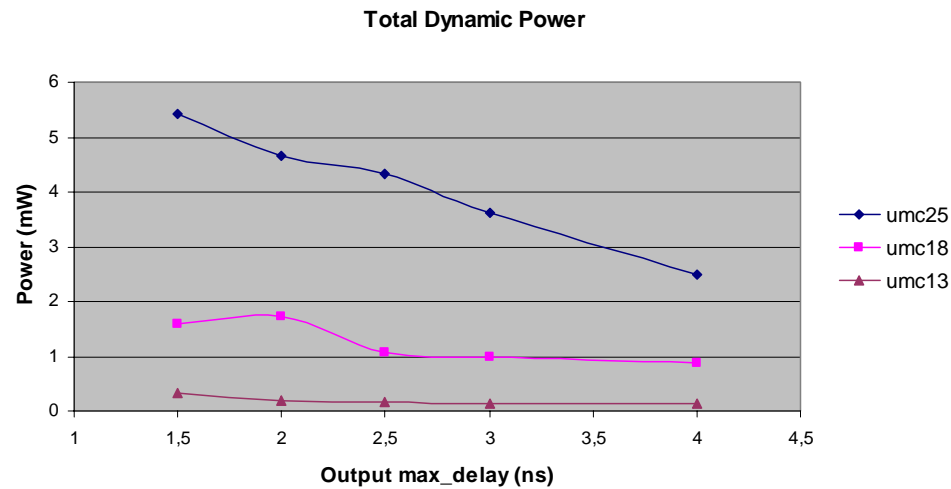
Total Dynamic Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	1,1667mW	8,8102uW	8,6178uW	6,4153uW	2,232588364	-25,5575669	1,0523mW	670,2015uW	-36,3107954	
2	1,1129mW	8,6557uW	8,7379uW	7,1149uW	-0,940729466	-18,57425697	997,1344uW	800,4731uW	-19,72264722	
2.5	640,5481uW	5,7975uW	5,6395uW	3,6958uW	2,801666814	-34,46582144	559,5779uW	339,4187uW	-39,34379825	
3	616,5870uW	5,2233uW	5,4188uW	3,6122uW	-3,607809847	-33,33948476	553,5535uW	376,4547uW	-31,99307745	
4	530,3893uW	4,8617uW	4,9197uW	2,7569uW	-1,178933675	-43,96203021	448,0858uW	236,5421uW	-47,21053423	

Cell Leakage Power										
c432										
	PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	666,6894nW	670,7467nW	666,6894nW	399,1701nW	0,608574248	-40,12652669	666,6894nW	391,8022nW	-41,231674	
2	602,4499nW	607,4641nW	602,4499nW	420,8480nW	0,832301574	-30,14390076	602,4499nW	416,9487nW	-30,7911413	
2.5	309,0837nW	309,0837nW	309,0837nW	165,7769nW	0	-46,3650461	309,0837nW	178,3026nW	-42,31251923	
3	246,9449nW	246,9449nW	246,9449nW	154,0986nW	0	-37,59798238	246,9449nW	152,6365nW	-38,19005778	
4	213,9547nW	213,9547nW	213,9547nW	112,6309nW	0	-47,35759486	213,9547nW	97,8889nW	-54,24783844	

Gate – Level Power Sim c432 (3)

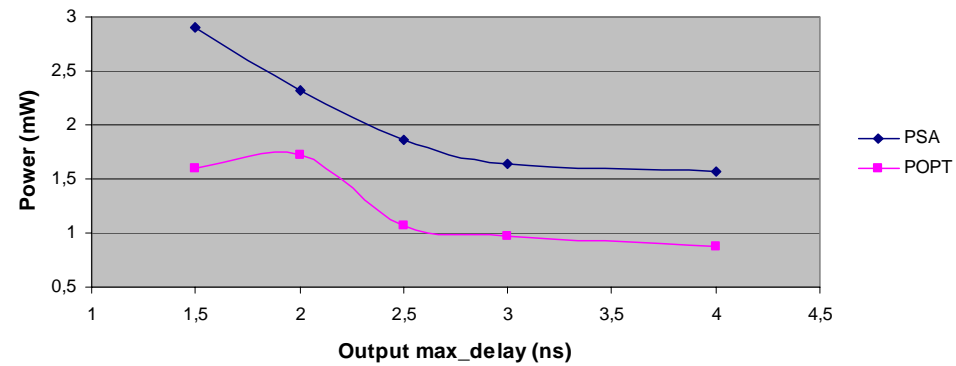
Cell Internal Power		umc13 Low activity				% Optimization		High Activity		% Optimization	
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		90,9758uW	820,3434nW	832,0884nW	572,7644nW	-1,411508681	-31,16543867	83,9265uW	54,4741uW	-35,0930874	
2		63,5462uW	660,9081nW	642,9474nW	474,0282nW	2,79349446	-26,27263132	51,6608uW	36,0875uW	-30,14529392	
2.5		48,2018uW	524,3841nW	530,2001nW	391,1402nW	-1,096944342	-26,22781474	37,9562uW	26,4593uW	-30,28991311	
3		38,1981uW	389,1261nW	375,6037nW	221,1754nW	3,600177528	-41,11469083	30,8752uW	19,1346uW	-38,0259885	
4		38,1981uW	389,1261nW	375,6037nW	165,2975nW	3,600177528	-55,99151446	30,8752uW	12,9009uW	-58,21597917	
NetSwitchingPower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		87,7357uW	683,5251nW	683,3121nW	495,5696nW	0,0311717	-27,47536594	81,2541uW	56,7654uW	-30,13841763	
2		64,5741uW	555,8096nW	561,1526nW	400,8047nW	-0,952147419	-28,57474063	54,3220uW	36,7970uW	-32,26133058	
2.5		45,5361uW	411,5014nW	410,3585nW	324,3362nW	0,278512569	-20,96271918	36,9364uW	28,5173uW	-22,79350451	
3		45,7226uW	402,1331nW	394,9298nW	295,7066nW	1,823944407	-25,12426259	36,9804uW	26,0497uW	-29,55809023	
4		45,7226uW	402,1331nW	394,9298nW	224,9275nW	1,823944407	-43,0462072	36,9804uW	20,9331uW	-43,39406821	
TotalDynamicPower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		178,7115uW	1,5039uW	1,5154uW	1,0683uW	-0,758875544	-29,50376138	165,1805uW	111,2395uW	-32,65579169	
2		128,1203uW	1,2167uW	1,2041uW	874,8329nW	1,046424716	-27,34549456	105,9828uW	72,8844uW	-31,22997317	
2.5		93,7379uW	935,8855nW	940,5586nW	715,4763nW	-0,496843046	-23,93070458	74,8926uW	54,9765uW	-26,59288101	
3		83,9207uW	791,2592nW	770,5336nW	516,8820nW	2,689772386	-32,91895383	67,8556uW	45,1843uW	-33,4110965	
4		83,9207uW	791,2592nW	770,5336nW	390,2249nW	2,689772386	-49,35653682	67,8556uW	33,8340uW	-50,13823472	
CellLeakagePower											
c432		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		2,5467uW	2,5241uW	2,5352uW	1,4766uW	-0,437835279	-41,75607447	2,5504uW	1,3205uW	-48,22380803	
2		1,6888uW	1,6907uW	1,6927uW	824,6860nW	-0,118154428	-51,27984876	1,6903uW	840,9582nW	-50,24799148	
2.5		997,8743nW	1,0150uW	1,0188uW	628,9611nW	-0,372987829	-38,26451708	990,7699nW	592,0472nW	-40,24372359	
3		818,6274nW	846,5303nW	842,7318nW	334,9882nW	0,450736521	-60,24972595	813,6063nW	344,2646nW	-57,68658625	
4		818,6274nW	846,5303nW	842,7318nW	200,4457nW	0,450736521	-76,21476963	813,6063nW	203,6873nW	-74,96488166	

Dyn. Power – max_delay Graphs (1)

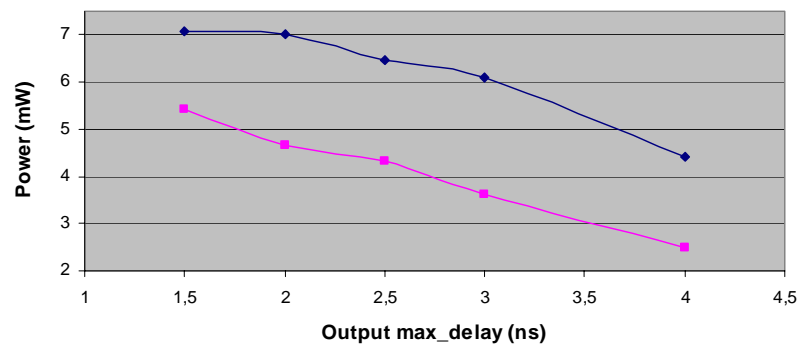


Dyn. Power – max_delay Graphs (2)

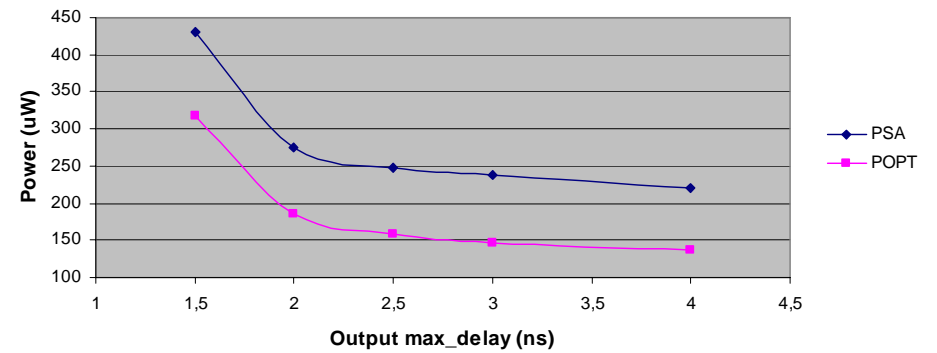
Total Dynamic Power
umc18



Total Dynamic Power
umc25



Total Dynamic Power
umc13





Sequential Circuits

- 21 ISCAS '89 Circuits
- Sdff820

Inputs	Outputs	Gates	D flipflops
18	29	256	5

33 inverters

256 gates (76 ANDs + 54 NANDs + 60 ORs + 66 NORs)

Gate – Level Power Sim Sdff820 (1)

CellInternalPower		umc25 Low Activity				% Optimization		High Activity		% Optimization	
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	359,5677uW	14,4565uW	13,7514uW	9,4028uW	5,12747793	-31,62296203	539,4982uW	326,7406uW	-39,43620201		
2	287,5362uW	11,6702uW	11,6965uW	6,5145uW	-0,224853589	-44,30385158	435,8095uW	267,8502uW	-38,53961421		
2,5	311,2937uW	11,3874uW	11,4185uW	4,8637uW	-0,272365022	-57,40508823	452,8494uW	199,3481uW	-55,97916217		
3	323,5786uW	11,2303uW	11,2748uW	5,2797uW	-0,394685493	-53,17256182	446,7994uW	171,9105uW	-61,52400831		
4	323,5719uW	11,0121uW	11,0337uW	5,3594uW	-0,195763887	-51,42699185	441,4945uW	171,0180uW	-61,2638436		
NetSwitchingPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	472,3889uW	74,0082uW	73,6573uW	70,2485uW	0,476395415	-4,627918753	632,6321uW	457,8968uW	-27,62036577		
2	479,0582uW	73,7727uW	73,7992uW	69,1506uW	-0,035908248	-6,298984271	637,9550uW	424,5076uW	-33,45806522		
2,5	484,4285uW	73,7726uW	73,8000uW	68,3623uW	-0,037127371	-7,368157182	632,8116uW	417,7891uW	-33,97891252		
3	476,4787uW	73,6191uW	73,6452uW	68,3358uW	-0,035440192	-7,209431165	619,1041uW	405,2944uW	-34,53533905		
4	475,3116uW	73,4987uW	73,5188uW	68,4624uW	-0,027339946	-6,877696589	614,5758uW	408,7395uW	-33,49241867		
TotalDynamicPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	831,9566uW	88,4647uW	87,4087uW	79,6512uW	1,208117727	-8,874974688	1,1721mW	784,6374uW	-33,05712823		
2	766,5943uW	85,4428uW	85,4957uW	75,6651uW	-0,061874457	-11,49835606	1,0738mW	692,3578uW	-35,52264854		
2,5	795,7222uW	85,1600uW	85,2185uW	73,2259uW	-0,068647066	-14,07276589	1,0857mW	617,1371uW	-43,15767707		
3	800,0573uW	84,8493uW	84,9200uW	73,6154uW	-0,083254828	-13,31205841	1,0659mW	577,2049uW	-45,84811896		
4	798,8835uW	84,5107uW	84,5525uW	73,8218uW	-0,04943674	-12,69116821	1,0561mW	579,7576uW	-45,10391061		
CellLeakagePower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1,5	1,0595uW	882,0637nW	883,8490nW	769,1476nW	-0,201991517	-12,97748824	908,5858nW	786,0181nW	-13,48994228		
2	945,8851nW	943,2645nW	944,8280nW	856,7624nW	-0,165479855	-9,320807597	904,1709nW	815,6509nW	-9,790184577		
2,5	885,8710nW	911,0024nW	913,2695nW	884,1724nW	-0,248239977	-3,186036542	865,5584nW	838,6633nW	-3,10725423		
3	865,7130nW	890,3029nW	892,5666nW	851,8879nW	-0,253616929	-4,557497446	845,0771nW	809,1971nW	-4,245766451		
4	864,7377nW	887,4062nW	889,5829nW	862,6838nW	-0,244687707	-3,02378789	842,5942nW	810,7508nW	-3,779209494		

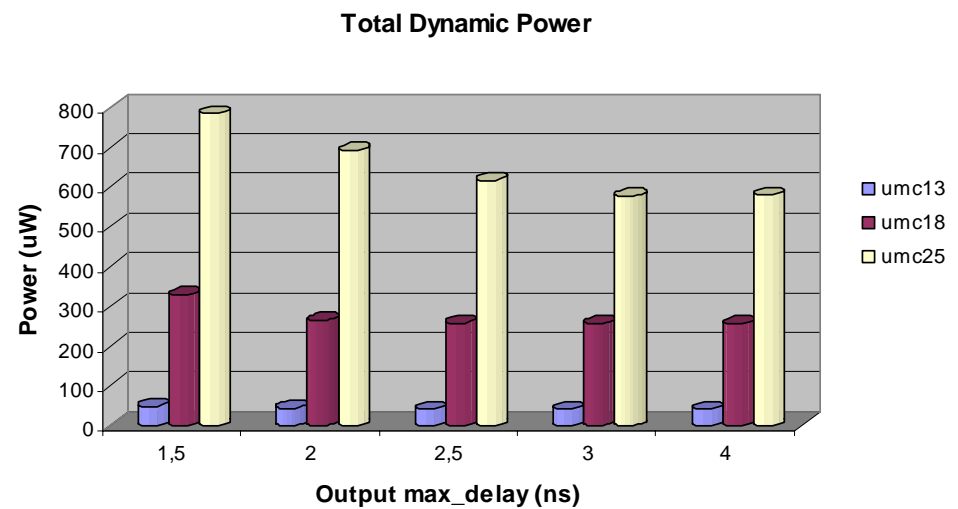
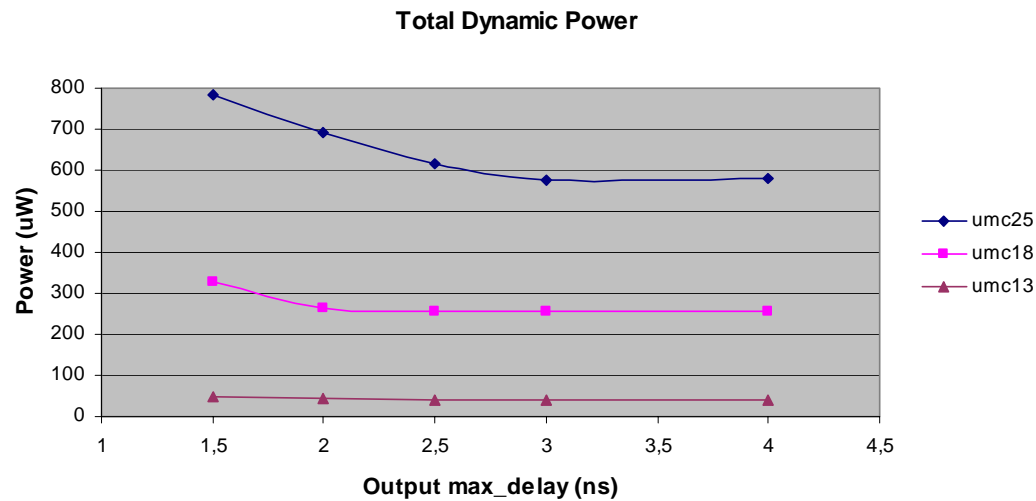
Gate – Level Power Sim Sdff820 (2)

CellInternalPower		Low Activity				% Optimization		High Activity		% Optimization	
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		208,0210uW	76,1966uW	76,1404uW	66,9341uW	0,073811012	-12,0912157	264,0484 uW	185,1288 uW	-29,88830836	
2		209,8676uW	76,1369uW	75,9684uW	54,4271uW	0,22180275	-28,35560575	262,9319 uW	132,6224 uW	-49,56017128	
2.5		212,2695uW	76,1641uW	75,9997uW	54,2225uW	0,216316643	-28,65432364	264,1566 uW	126,9008 uW	-51,9600116	
3		212,2695uW	76,1641uW	75,9997uW	54,0943uW	0,216316643	-28,82300851	264,1566 uW	127,2147 uW	-51,84118057	
4		212,2695uW	76,1641uW	75,9997uW	54,0943uW	0,216316643	-28,82300851	264,1566 uW	127,2147 uW	-51,84118057	
NetSwitchingPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		154,7516uW	22,8551uW	22,7826uW	19,9610uW	0,318225312	-12,38489022	204,1382 uW	143,4980 uW	-29,70546424	
2		156,7376uW	22,8730uW	22,7061uW	17,1942uW	0,735044768	-24,27497457	202,0925 uW	131,5827 uW	-34,88986479	
2.5		159,0728uW	22,9543uW	22,7848uW	16,8353uW	0,743916997	-26,11170605	205,5193 uW	130,1017 uW	-36,69611564	
3		159,0728uW	22,9543uW	22,7848uW	16,6769uW	0,743916997	-26,80690636	205,5193 uW	128,7559 uW	-37,35094466	
4		159,0728uW	22,9543uW	22,7848uW	16,6769uW	0,743916997	-26,80690636	205,5193 uW	128,7559 uW	-37,35094466	
TotalDynamicPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		362,7726uW	99,0516uW	98,9230uW	86,8951uW	0,130000101	-12,15885082	468,1866 uW	328,6268 uW	-29,80858487	
2		366,6052uW	99,0099uW	98,6745uW	71,6213uW	0,339905447	-27,41660713	465,0244 uW	264,2050 uW	-43,18470171	
2.5		371,3423uW	99,1184uW	98,7845uW	71,0578uW	0,338008493	-28,0678649	469,6759 uW	257,0026 uW	-45,28086282	
3		371,3423uW	99,1184uW	98,7845uW	70,7712uW	0,338008493	-28,35799139	469,6759 uW	255,9706 uW	-45,50058881	
4		371,3423uW	99,1184uW	98,7845uW	70,7712uW	0,338008493	-28,35799139	469,6759 uW	255,9706 uW	-45,50058881	
CellLeakagePower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5		312,4783nW	312,4783nW	312,4783nW	224,1781nW	0	-28,25802624	312,4783 nW	222,9986 nW	-28,63549245	
2		295,2076nW	295,2076nW	295,2076nW	198,6517nW	0	-32,70779614	295,2076 nW	211,6072 nW	-28,31918961	
2.5		291,7024nW	291,7024nW	291,7024nW	207,1528nW	0	-28,98488322	291,7024 nW	200,0944 nW	-31,40460963	
3		291,7024nW	291,7024nW	291,7024nW	217,9968nW	0	-25,26739581	291,7024 nW	201,7863 nW	-30,82460069	
4		291,7024nW	291,7024nW	291,7024nW	217,9968nW	0	-25,26739581	291,7024 nW	201,7863 nW	-30,82460069	

Gate – Level Power Sim Sdff820 (3)

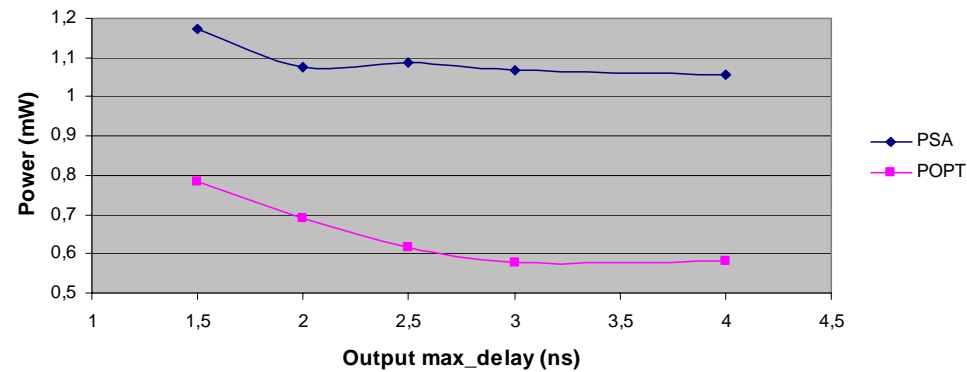
CellInternalPower		umc13 Low Activity				% Optimization		High Activity		% Optimization	
Sdff820		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	34,6917uW	13,4900uW	13,5637uW	11,9948uW	-0,543362062	-11,56690284	40,8591uW	24,5630uW	-39,88364893		
2	34,6922uW	13,4906uW	13,5643uW	11,8360uW	-0,543338027	-12,74153476	40,9001uW	21,8292uW	-46,62800335		
2.5	34,6922uW	13,4906uW	13,5643uW	9,2512uW	-0,543338027	-31,79743887	40,9001uW	18,4702uW	-54,84069721		
3	34,6922uW	13,4906uW	13,5643uW	8,3927uW	-0,543338027	-38,12655279	40,9001uW	18,5915uW	-54,54412092		
4	34,6922uW	13,4906uW	13,5643uW	8,3927uW	-0,543338027	-38,12655279	40,9001uW	18,5915uW	-54,54412092		
NetSwitchingPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	28,6533uW	3,7604uW	3,8000uW	3,2968uW	-1,042105263	-13,24210526	37,3749uW	23,8066uW	-36,30324095		
2	28,6532uW	3,7600uW	3,7996uW	3,2897uW	-1,04221497	-13,41983367	37,3670uW	22,9328uW	-38,62820135		
2.5	28,6532uW	3,7600uW	3,7996uW	2,7378uW	-1,04221497	-27,94504685	37,3670uW	22,1628uW	-40,6888431		
3	28,6532uW	3,7600uW	3,7996uW	2,5563uW	-1,04221497	-32,72186546	37,3670uW	22,0810uW	-40,90775283		
4	28,6532uW	3,7600uW	3,7996uW	2,5563uW	-1,04221497	-32,72186546	37,3670uW	22,0810uW	-40,90775283		
TotalDynamicPower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	63,3450uW	17,2504uW	17,3637uW	15,2916uW	-0,652510698	-11,93351647	78,2341uW	48,3696uW	-38,17325182		
2	63,3454uW	17,2506uW	17,3639uW	15,1257uW	-0,652503182	-12,88996136	78,2671uW	44,7620uW	-42,80866418		
2.5	63,3454uW	17,2506uW	17,3639uW	11,9890uW	-0,652503182	-30,95445148	78,2671uW	40,6330uW	-48,08418863		
3	63,3454uW	17,2506uW	17,3639uW	10,9490uW	-0,652503182	-36,94388933	78,2671uW	40,6725uW	-48,03372043		
4	63,3454uW	17,2506uW	17,3639uW	10,9490uW	-0,652503182	-36,94388933	78,2671uW	40,6725uW	-48,03372043		
CellLeakagePower		PWSA	PPO	PSA	POPT	(PPO - PSA)%	(POPT - PSA)%	PSA	POPT	(POPT - PSA)%	
1.5	1,1133uW	1,1848uW	1,1873uW	400,1500nW	-0,210561779	-66,29748168	1,1529uW	431,0812nW	-62,60896869		
2	1,1109uW	1,1793uW	1,1818uW	319,6564nW	-0,211541716	-72,95173464	1,1474uW	318,3008nW	-72,25895067		
2.5	1,1109uW	1,1793uW	1,1818uW	290,1714nW	-0,211541716	-75,44665764	1,1474uW	279,3351nW	-75,65495032		
3	1,1109uW	1,1793uW	1,1818uW	277,6825nW	-0,211541716	-76,50342698	1,1474uW	279,9374nW	-75,60245773		
4	1,1109uW	1,1793uW	1,1818uW	277,6825nW	-0,211541716	-76,50342698	1,1474uW	279,9374nW	-75,60245773		

Dyn. Power – max_delay Graphs (1)

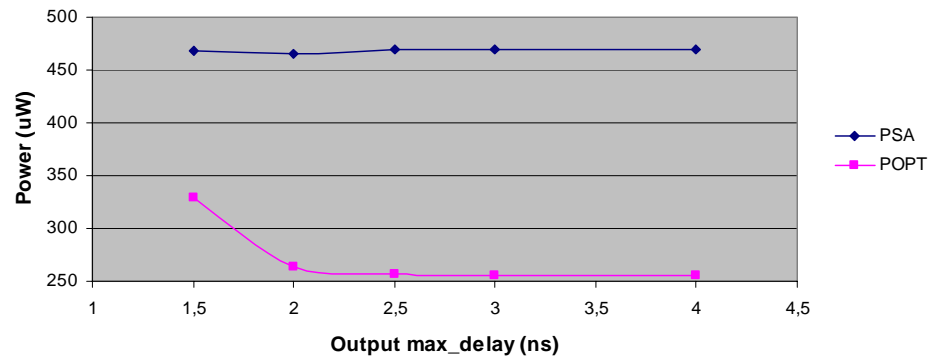


Dyn. Power – max_delay Graphs (2)

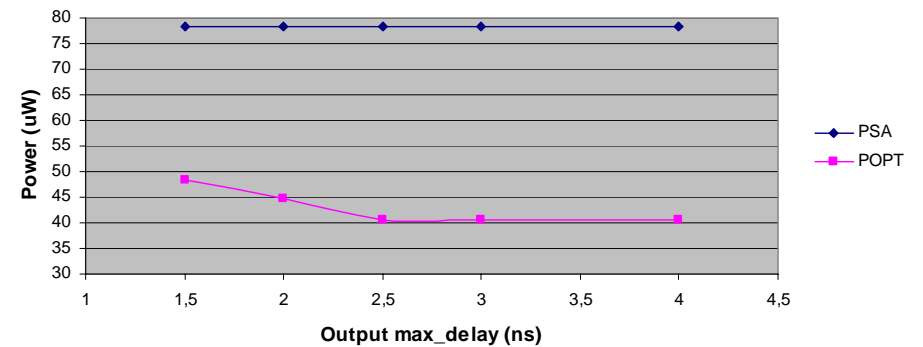
Total Dynamic Power
umc25



Total Dynamic Power
umc18



Total Dynamic Power
umc13





The End