

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

ΤΜΗΜΑ Η.Μ.Μ.Υ.

ΤΟΜΕΑΣ ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ

ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ Η/Υ



Διπλωματική Εργασία

**Σχεδίαση και Μοντελοποίηση Ολοκληρωμένων Πηνίων για RF
Εφαρμογές**

Μακρής Νικόλαος

Εξεταστική Επιτροπή:
Καθηγητής Απόστολος Σαμέλης (Επιβλέπων)
Καθηγητής Κώστας Μπάλας
Καθηγητής Ματτίας Μπούχερ

ΧΑΝΙΑ 2006

*Ευχαριστώ για την πολύτιμη βοήθειά τους, τον καθηγητή
Σαμέλη Απόστολο
Και τους μεταπτυχιακούς φοιτητές
Κωνσταντόπουλο Γιώργο,
Αντωνόπουλο Άγγελο,
Καφετζή Γεώργιο
και Πατέλη Πέτρο*

*Ευχαριστώ τους καθηγητές
Μπούχερ Ματτίας
και Μπάλα Κώσταντίνο
για την συμμετοχή τους στην εξεταστική επιτροπή*

ΠΕΡΙΕΧΟΜΕΝΑ

ΚΕΦΑΛΑΙΟ 1 – Εισαγωγή	5
1.1 Γενικά	5
1.2 Επιστημονική συνεισφορά.....	5
ΚΕΦΑΛΑΙΟ 2 – Περιγραφή Δομής Design Kit.....	6
2.1 Εισαγωγή	6
2.2 Δομή Design Kit.....	6
2.3 Γλώσσες προγραμματισμού του Design Kit.....	7
2.4 Δομική περιγραφή του Design Kit	8
2.4.1 Περιγραφή schematic.prf και layout.prf.....	9
2.4.2 Περιγραφή layout.lay.....	9
2.4.3 Περιγραφή substrate.slm.....	10
2.4.4 Περιγραφή ads.lib.....	12
2.4.5 Περιγραφή boot.ael.....	12
2.4.6 Περιγραφή octag_ind.ael	13
2.4.7 Περιγραφή artwork.ael.....	16
2.4.8 Περιγραφή tech_include.ael.....	16
2.4.9 Περιγραφή pallete.ael	18
2.4.10 Περιγραφή callbacks.ael	19
2.4.11 Περιγραφή octag_ind.dsn.....	19
2.4.12 Περιγραφή ind.net	20
2.4.13 Περιγραφή tech_include.dsn	20
2.5 Σύνοψη Κεφαλαίου	20
ΚΕΦΑΛΑΙΟ 3 – Σχεδίαση Πηνίου.....	23
3.1 Εισαγωγή	23
3.2 Σχεδιαστικές Προδιαγραφές και Σχεδίαση.....	23
3.2.1 Εισαγωγή.....	23
3.2.2 Μέταλλα πηνίου	23
3.2.3 Σχεδιαστικές παράμετροι.....	25
3.2.4 Κανόνες Σχεδίασης (design rules).....	26
3.3 Σχεδίαση του Layout	28
3.3.1 Εισαγωγή.....	28
3.3.2 Υπολογισμός διαστάσεων πηνίου	28
3.3.3 Περιγραφή κώδικα artwork.ael	32
3.3.4 Περιγραφή κώδικα callbacks.ael	44
ΚΕΦΑΛΑΙΟ 4 - Μοντελοποίηση	46
4.1 Εισαγωγή	46
4.2 Ορισμός Μοντελοποίησης.....	46
4.3 Χαρακτηριστικά τεχνολογίας 6 μετάλλων Bicmos7WL.....	47
4.4 Υπολογισμός DC επαγωγής πηνίου	48
4.4.1 Εισαγωγή.....	48
4.4.2 Υπολογισμός ρ , d_{avg} και d_{in}	48
4.4.3 Υπολογισμός inductance με τον τύπο modified Wheeler formula.....	49
4.4.4 Υπολογισμός inductance κάνοντας χρήση current sheet approximation....	49
4.4.5 Υπολογισμός inductance κάνοντας χρήση του data fitted monomial expression	50
4.4.6 Επιλογή τύπου για την επαγωγή του πηνίου.....	50
4.5 Παρασιτικά φαινόμενα στο πηνίο	51
4.5.1 Εισαγωγή.....	51

4.5.2 Αντίσταση αγωγού και skin effect.....	51
4.5.3 Παρασιτικές Χωρητικότητες και διαρροές στο υπόστρωμα.....	53
4.5.4 Proximity effect.....	56
4.5.5 Απώλειες λόγω του Eddy current στο substrate.....	57
4.6 Προτεινόμενα Μοντέλα.....	57
4.6.1 Εισαγωγή.....	57
4.6.2 Conventional Single Π model	57
4.6.3 Scalable 2 Π model.....	58
4.6.4 Scalable Single Π model.....	61
4.7 ind.net	62
4.7.1 Εισαγωγή.....	62
4.7.2 Αρχές κατασκευής και δομής του αρχείου	62
ΚΕΦΑΛΑΙΟ 5 – Μετρήσεις και Αποτελέσματα.....	65
5.1 Εισαγωγή	65
5.2 S-parameters.....	65
5.2.1 Εισαγωγή.....	65
5.2.2 Ορισμός S-parameters.....	65
5.2.3 Ορισμός Quality Factor.....	67
5.3 Μετρήσεις και Συγκρίσεις	68
5.3.1 Εισαγωγή.....	68
5.3.2 Πηνία με διαφορετικά πλάτη.....	68
5.3.3 Πηνία με διαφορετικά n	70
5.3.4 Πηνία με διαφορετικά dout.....	72
5.4 Αξιολόγηση και βελτίωση των μοντέλων.....	74
5.4.1 Εισαγωγή.....	74
5.4.2 Σύγκριση μετρήσεων και βελτιώσεις.....	74
Επίλογος	85
Βιβλιογραφία	86

ΚΕΦΑΛΑΙΟ 1 – Εισαγωγή

1.1 Γενικά

Τα τελευταία χρόνια, η χρήση ασύρματων τηλεπικοινωνιακών συστημάτων έχει αυξηθεί. Το γεγονός αυτό οφείλεται στην ραγδαία αύξηση της ζήτησης για τέτοιου είδους εφαρμογές. Παράλληλα με την διεύρυνση της αγοράς, αναπτύσσονται με γρήγορους ρυθμούς οι τεχνολογίες που χρησιμοποιούνται στον συγκεκριμένο τομέα. Μία από τις τεχνολογίες αυτές είναι και η Bicmos7WL. Η συγκεκριμένη τεχνολογία είναι ιδιαίτερα δημοφιλής και συνιστά ένα μεγάλο ερευνητικό και εκπαιδευτικό πεδίο. Έχουν κατασκευαστεί πολλά εργαλεία τα οποία χρησιμοποιούν την παραπάνω τεχνολογία, όπως το Cadence και το ADS. Η μειωμένη ποιότητα των αποτελεσμάτων της προσομοίωσης του layout στο Cadence σε σχέση με το ADS, έχει οδηγήσει στην ερευνητική προσπάθεια ανάπτυξης βιβλιοθηκών της Bicmos7WL για το ADS.

1.2 Επιστημονική συνεισφορά

Η παρούσα διπλωματική εργασία έχει ως κύριο σκοπό, την σχεδίαση και μοντελοποίηση ενός οκταγωνικού πηνίου, του οποίου οι σπείρες κατασκευάζονται από μέταλλο MA(Al). Η σχεδίαση έγινε με την δημιουργία αλγορίθμου σε γλώσσα AEL ενώ η μοντελοποίηση του πραγματοποιήθηκε με την δημιουργία ενός κυκλώματος στη γλώσσα spice. Μετά την υλοποίηση των παραπάνω δημιουργήθηκε ένα design kit το οποίο εφαρμόστηκε στο ADS. Πραγματοποιήθηκαν προσομοιώσεις για την σύγκριση των μετρήσεων που ελήφθησαν από το μοντέλο και το layout.

Η παρούσα υλοποίηση αποτελεί την εισαγωγή της τεχνολογίας Bicmos7WL στο ADS. Με τον τρόπο αυτό επιτυγχάνεται ο ορθότερος τρόπος προσομοίωσης των κυκλωμάτων που δημιουργούνται βασιζόμενα σε αυτή.

ΚΕΦΑΛΑΙΟ 2 – Περιγραφή Δομής Design Kit

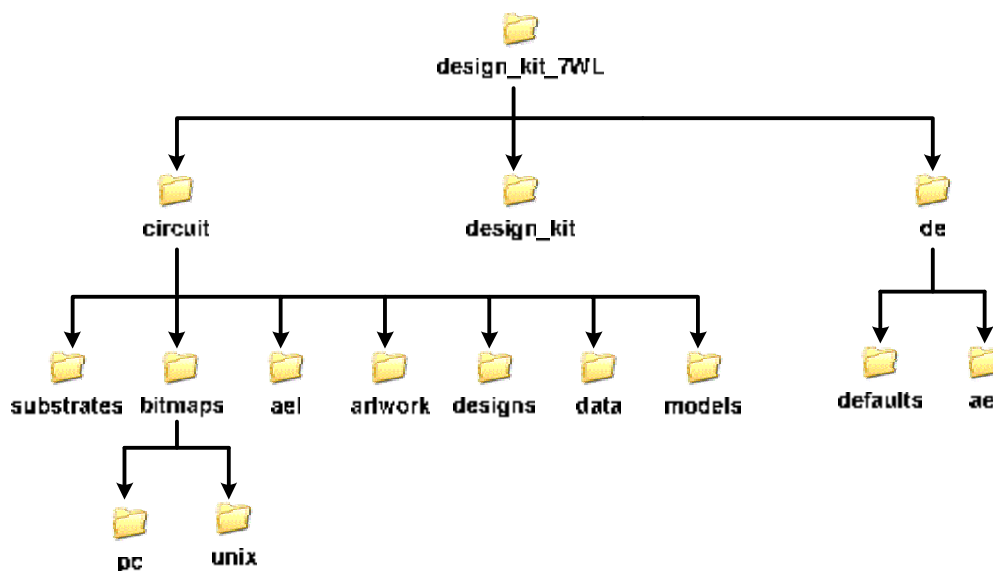
2.1 Εισαγωγή

Το Advanced Design System (ADS) της εταιρείας Agilent Technologies είναι ένα εργαλείο το οποίο χρησιμοποιείται από τους μηχανικούς για το χειρισμό διαφόρων σχεδιαστικών εφαρμογών (design applications) όπως RFIC , MMIC, Hybrid ή Board level design. Στο ADS παρέχεται η δυνατότητα «συμβολικής» (schematic design) και «φυσικής» σχεδίασης (layout design) των κυκλωμάτων. Για να χρησιμοποιούν αποτελεσματικά, το σχεδιαστικό περιβάλλον και τις δυνατότητες προσομοίωσης του. Οι σχεδιαστές θα πρέπει να έχουν βιβλιοθήκες από components τα οποία να συνδέονται με μοντέλα ή μετρήσεις που να ανταποκρίνονται στα χαρακτηριστικά τους. Τα components και τα μοντέλα αυτά συμπεριλαμβάνονται σε *design kits*. Για κάθε εργασία και CAD Tool χρησιμοποιούνται ξεχωριστά design kits.

Παρακάτω περιγράφονται η δομή του design kit, οι γλώσσες προγραμματισμού που χρησιμοποιούνται ενώ αναλύεται και η λειτουργικότητα των αρχείων που το διέπουν.

2.2 Δομή Design Kit

Το design kit αποτελείται από ένα σύνολο αρχείων και φακέλων. Η δομή του που δημιουργήθηκε και χρησιμοποιήθηκε για αυτή την διπλωματική εργασία είναι η παρακάτω:



Σχήμα 2.1

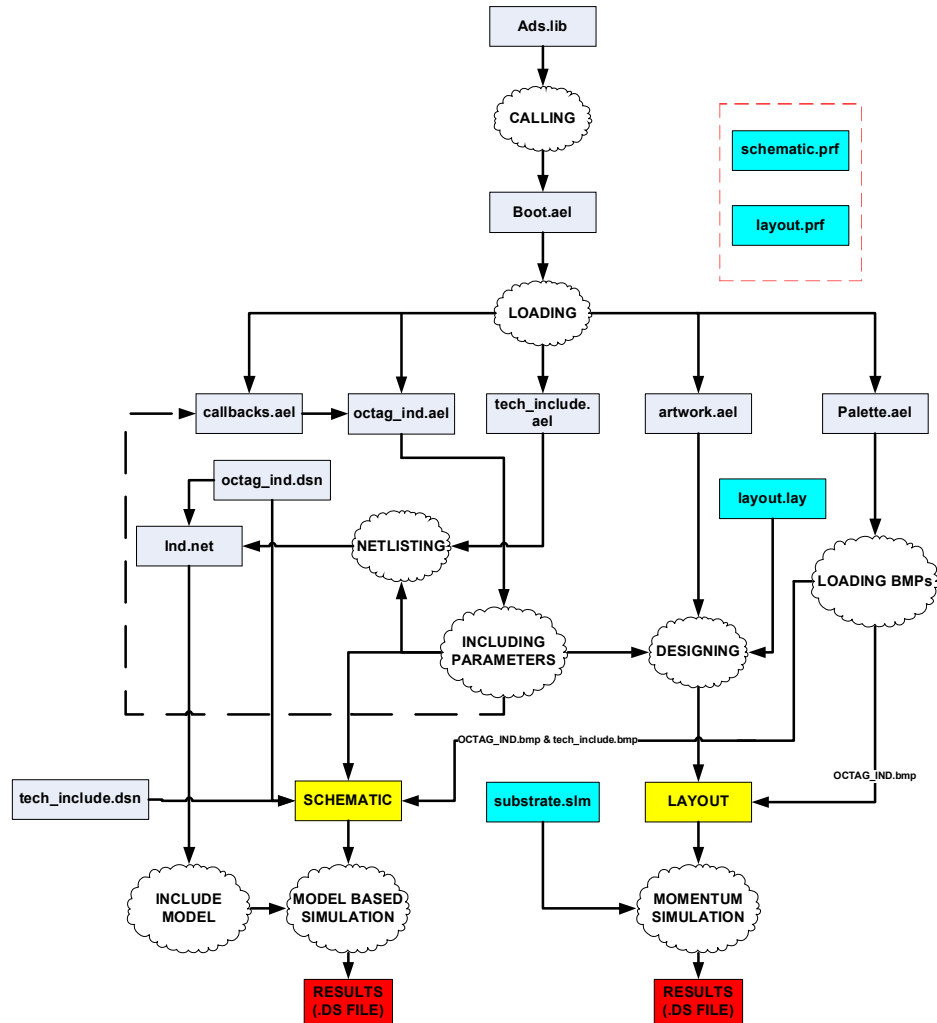
Ο φάκελος **design_kit_7WL** περιέχει τα αρχεία και τους φακέλους του design kit. Ο φάκελος αυτός περιλαμβάνει 3 υποφακέλους, τα **circuit**, **design_kit** και **de**. Ο φάκελος **circuit** έχει 7 υποφακέλους (**substrates**, **bitmaps**, **ael**, **artwork**, **designs**, **data** και **models**). Στον υποφάκελο αυτό βρίσκονται τα αρχεία που είναι υπεύθυνα για την δημιουργία του component του inductor (πηνίου), τη σχεδίαση του layout, την απεικόνιση του πηνίου στο schematic, την παροχή του μοντέλου του πηνίου και την περιγραφή του υποστρώματος (substrate). Στο φάκελο **design_kit** υπάρχει το αρχείο το οποίο διαβάζει το ADS και περιέχει το όνομα του design kit, το path που βρίσκεται το design kit αλλά και το path που βρίσκεται το αρχείο φόρτωσης του design kit. Ο φάκελος **de** έχει 2 φακέλους (**defaults**, **ael**) τα αρχεία, των οποίων, περιέχουν τις προτιμήσεις (preferences) του χρήστη, τους ελέγχους που βασίζονται στα design rules της τεχνολογίας που χρησιμοποιείται, την ρουτίνα που φορτώνει τα αρχεία στο ADS και την ρουτίνα που φορτώνει την παλέτα των συμβόλων.

2.3 Γλώσσες προγραμματισμού του Design Kit

Πριν γίνει ανάλυση της λειτουργικότητας του κάθε αρχείου ξεχωριστά, θα παρουσιαστεί μία αναφορά των γλωσσών προγραμματισμού που χρησιμοποιήθηκαν. Τα αρχεία με κατάληξη **.ael** γράφονται στην γλώσσα **AEL**. Η AEL (Application Extension Language) είναι μια γενικού σκοπού γλώσσα προγραμματισμού, κατασκευασμένη βάσει της γλώσσας C. Η AEL χρησιμοποιείται για την διαμόρφωση, προσαρμογή και επέκταση των δυνατοτήτων του περιβάλλοντος σχεδίασης (design environment). Όπως και η C, η AEL έχει ένα εκτεταμένο set από build in βιβλιοθήκες, συμπεριλαμβανομένων συναρτήσεων για μαθηματικές πράξεις, διαχείριση λιστών και βάσεων δεδομένων, διαχείρισης αρχείων και σχεδίασης του layout. Στα αρχεία με την κατάληξη **.net** χρησιμοποιείται η γλώσσα προγραμματισμού **SPICE** η οποία βρίσκει εφαρμογή στην παραγωγή του μοντέλου του πηνίου. Αρχεία με καταλήξεις **.slm**, **.lay**, **.prf** και **.dsn** είναι αρχεία εισόδου δεδομένων για το ADS τα οποία περιέχουν πληροφορίες για την τεχνολογία που χρησιμοποιείται (slm και prf) και για την αναπαράστασή τους στο schematic.

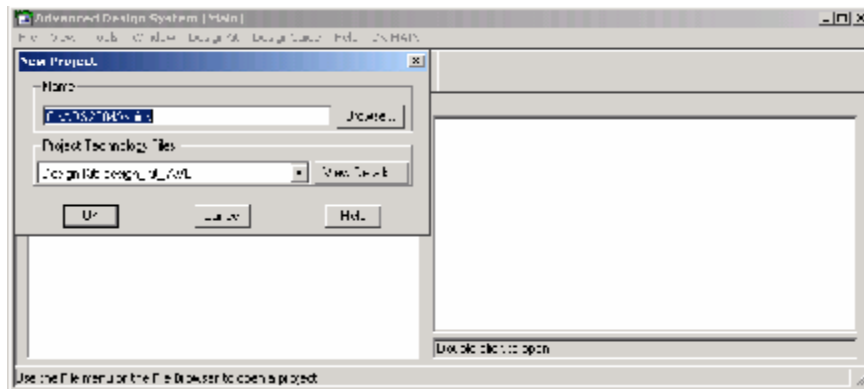
2.4 Δομική περιγραφή του Design Kit

Για την λειτουργία του design kit, το κάθε αρχείο πραγματοποιεί κάποια συγκεκριμένη εργασία. Παρακάτω ακολουθεί ένα διάγραμμα που δείχνει την αλληλεξάρτηση των αρχείων και ποιά λειτουργία εξυπηρετούν.



Σχήμα 2.2

Τα αρχεία που βρίσκονται στα μπλε κουτιά (**substrate.slm**, **layout.lay**, **schematic.prf**, **layout.prf**) είναι αρχεία τα οποία περιέχουν πληροφορίες, για την τεχνολογία που χρησιμοποιείται (**substrate.slm** , **layout.lay**) αλλά και για τις προτιμήσεις του χρήστη (**schematic.prf**, **layout.prf**). Τα αρχεία αυτά φορτώνονται στο ADS αυτόματα ανοίγοντας ένα νέο project και θέτοντας στα Technology Files, το design kit.



Εικόνα 2.1

2.4.1 Περιγραφή schematic.prf και layout.prf

Τα αρχεία **schematic.prf** και **layout.prf** (/de/defaults) είναι αρχεία στα οποία καθορίζονται οι προτιμήσεις του χρήστη (όπως μονάδες μέτρησης, resolution) και για το περιβάλλον εργασίας που χρησιμοποιεί (layout ή schematic). Τα αρχεία αυτά μπορούν να εγγραφούν πηγαίνοντας στο Layout ή στο Schematic παράθυρο και επιλέγοντας Options > Preferences. Πραγματοποιούνται οι αλλαγές που επιθυμεί ο χρήστης (στο layout η μονάδα μήκους είναι μm (10^{-6} m) και το resolution του design σε 0.001). Στην συνέχεια εκτελείται η εντολή save για τα preferences και στην συνέχεια αντιγράφονται τα αρχεία στο φάκελο του design kit.

2.4.2 Περιγραφή layout.lay

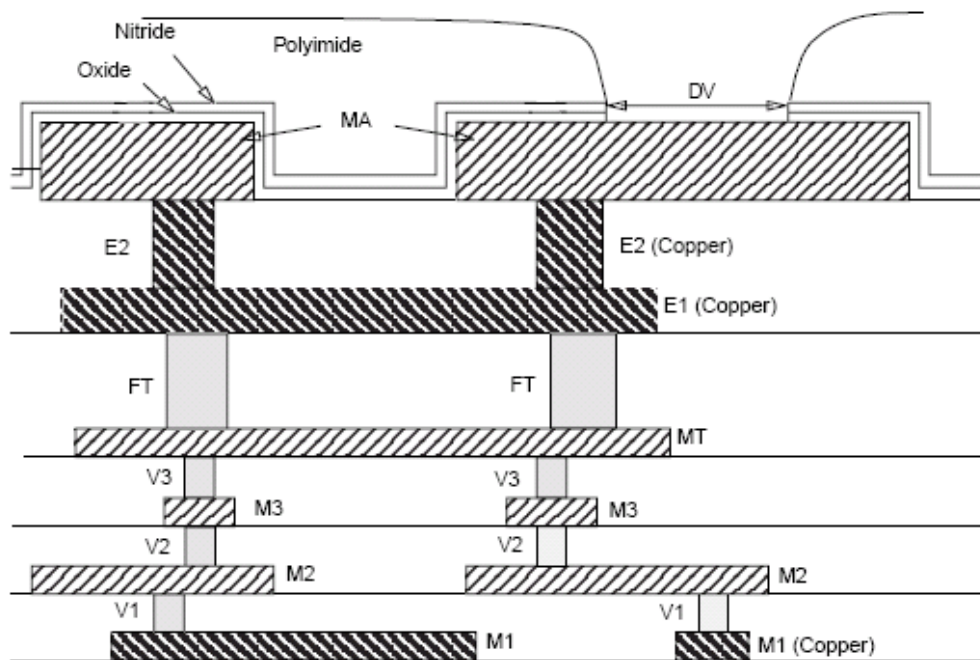
Το **layout.lay** (/de/defaults) είναι το αρχείο το οποίο έχει τα metal layers της τεχνολογίας που θα χρησιμοποιηθεί. Το συγκεκριμένο αρχείο χρησιμοποιείται στην σχεδίαση του layout και φορτώνεται αυτόματα στο ADS κατά το άνοιγμα ενός layout window. Η τεχνολογία που χρησιμοποιείται είναι η BICMOS7WL με χρήση 6 metal layers (η τεχνολογία θα αναλυθεί περαιτέρω στο κεφάλαιο ???). Τα μέταλλα συντάσσονται ιεραρχικά από κάτω προς τα πάνω:

$M1(m) \rightarrow V1(v) \rightarrow M2(m) \rightarrow V2(v) \rightarrow M3(m) \rightarrow V3(v) \rightarrow MT(m) \rightarrow FT(v) \rightarrow E1(m) \rightarrow E2(v) \rightarrow MA(m)$

Το **m** συμβολίζει τα μέταλλα και το **v** είναι οι via.

2.4.3 Περιγραφή substrate.slm

Το **substrate.slm** (/circuit/substrates) είναι το αρχείο που περιέχει πληροφορίες για τα layers της τεχνολογίας. Πριν την περιγραφή του αρχείου παρατίθεται μία περιγραφή της τεχνολογίας 6 μετάλλων BICMOS7WL. Μια κάθετη τομή στο wafer διευκολύνει την περιγραφή της τεχνολογίας.



Εικόνα 2.2

Στο παραπάνω σχήμα φαίνεται η ιεραρχία των μετάλλων. Τα μέταλλα E2, FT, V3, V2 και V1 χρησιμοποιούνται ως νία μεταξύ των μετάλλων MA, E1, MT, M3, M2 και M1 αντίστοιχα. Ο ενδιάμεσος χώρος μεταξύ των μετάλλων αποτελείται από διοξείδιο του πυριτίου.

Τα layers της τεχνολογίας αυτής διακρίνονται σε 2 κατηγορίες: στα **substrate layers** και στα **metallization layers**. Τα **substrate layers** είναι τα layers του υποστρώματος που βρίσκονται μεταξύ των μετάλλων αλλά και μεταξύ των μετάλλων και του πυριτίου.

Τα **substrate layers** είναι τα :

- **Polyimide** ($T = 2.5 \mu\text{m}$),
- **Nitride** ($T = 0.45 \mu\text{m}$),
- **SiO₂_T** (το διοξείδιο του πυριτίου πάνω από το MA ($T = 1.35 \mu\text{m}$)),

- **SiO2_MA_E1**(το διοξείδιο του πυριτίου μεταξύ του MA και E1($T = 4 \text{ um}$)),
- **SiO2_E1_MT**(το διοξείδιο του πυριτίου μεταξύ του E1 και MT($T = 4.48 \text{ um}$)) ,
- **SiO2_MT_M3**(το διοξείδιο του πυριτίου μεταξύ του MT και M3($T = 1.03 \text{ um}$)),
- **SiO2_M3_M2**(το διοξείδιο του πυριτίου μεταξύ του M2 και M3($T = 1.03 \text{ um}$)),
- **SiO2_M2_M1**(το διοξείδιο του πυριτίου μεταξύ του M2 και M1($T = 0.66 \text{ um}$))
- **SiO2_B**(το διοξείδιο του πυριτίου μεταξύ του M1 και του silicon substrate($T = 1.1 \text{ um}$))
- **Silicon_Substrate** (το υπόστρωμα του πυριτίου ($T = 300 \text{ um}$)).

Τα **metallization layers** είναι τα:

- **MA** ($T = 4 \text{ um}$)
- **E2** (via)
- **E1** ($T = 3 \text{ um}$)
- **FT** (via)
- **MT** ($T = 0.48 \text{ um}$)
- **V3** (via)
- **M3**($T = 0.48 \text{ um}$)
- **V2** (via)
- **M2**($T = 0.48 \text{ um}$)
- **V1** (via)
- **M1**($T = 0.31 \text{ um}$)

Όπου το T είναι το πάχος του κάθε layer.

Το αρχείο substrate.slm περιέχει τα metallization και substrate layers. Στο αρχείο αυτό παρατίθενται :

- το πάχος και η αγωγιμότητα (conductivity(Siemens/m)) των μετάλλων
- το πάχος, η διαπερατότητα (μ) και η διηλεκτρική σταθερά (ϵ_r) των στρωμάτων του διοξειδίου και
- το πάχος, η διαπερατότητα (μ), η διηλεκτρική σταθερά (ϵ_r) και η αγωγιμότητα (conductivity(Siemens/m)) του υποστρώματος πυριτίου που χρησιμοποιείται.

2.4.4 Περιγραφή ads.lib

Παρατηρώντας το σχήμα 2.1, διαπιστώνεται ότι το ADS χρησιμοποιεί το αρχείο **ads.lib** για να φορτώσει το design kit. Το **ads.lib** περιέχει το όνομα του design kit, το path που βρίσκεται το design kit, το path που βρίσκεται το αρχείο **boot.ael** (του οποίου η λειτουργία θα περιγραφεί παρακάτω) και την έκδοση του design kit. Η σύνταξη που χρησιμοποιήθηκε παρουσιάζεται παρακάτω :

design_kit_7WL | path_to_design_kit_directory | de/ael/boot | v3.2

2.4.5 Περιγραφή boot.ael

Κατά την εκκίνηση του ADS, τα περιεχόμενα του design kit φορτώνονται με την χρήση του **boot.ael** (\de\ael). Τα αρχεία που φορτώνονται είναι τα εξής:

- **callbacks.ael** (\de\ael)
- **octag_ind.ael** (\circuit\ael)
- **tech_include.ael** (\circuit\ael)
- **artwork.ael** (\circuit\artwork)
- **pallate.ael** (\de\ael).

Παρακάτω περιγράφεται ο κώδικας του αρχείου.

```

////////GLOBAL DEFINITIONS TON PATHS TON DESIGN KIT////////
dec DK7WL_PATH = designKitRecord[1]:
////////
decl BITMAP_DIR = sprintf("%s/circuit/bitmaps/%s", DK7WL_PATH.on_PC?"pc":"unix");

decl CIRCUIT_AEL_DIR = sprintf("%s/circuit/ael", DK7WL_PATH);

decl DE_AEL_DIR = sprintf("%s/de/ael", DK7WL_PATH);

decl CIRCUIT_ART_DIR = sprintf("%s/circuit/artwork", DK7WL_PATH);

decl CIRCUIT_MODEL_DIR = sprintf("%s/circuit/models", DK7WL_PATH);
////////
////////SYNARTISEIS FORTOSIS TON ARXEION TON DESIGN KIT////////
load(stroat(DE_AEL_DIR,"callbacks"). "CmdOp");

load(stroat(CIRCUIT_AEL_DIR,"octag_ind"). "CmdOp");

load(stroat(CIRCUIT_AEL_DIR,"tech_include"). "CmdOp");

load(stroat(DE_AEL_DIR,"palette"). "CmdOp");

load(stroat(CIRCUIT_ART_DIR,"artwork"). "CmdOp");

```

Ανάθεση του δεύτερου ορίσματος του αρχείου ads.lib (path_to_design_kit_directory) στην μεταβλητή DK7WL_PATH

Ανάθεση των paths των αρχείων σε μεταβλητές

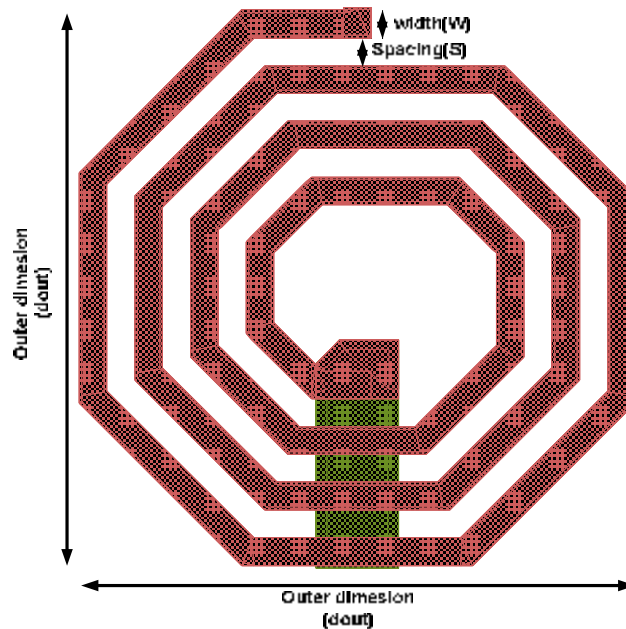
Σύνταξη εντολών φόρτωσης των αρχείων που θέλουμε

2.4.6 Περιγραφή octag_ind.ael

Στο αρχείο **octag_ind.ael** περιέχονται οι παράμετροι του πηνίου (inductor) που χρησιμοποιούνται για την σχεδίαση και την μοντελοποίηση του. Το αρχείο αυτό είναι από τα βασικότερα του design kit καθώς εξαρτώνται από αυτό η σχεδίαση του layout, η φόρτωση των παραμέτρων στο μοντέλο και ο έλεγχος των παραμέτρων σχεδίασης (design rule check)(όπως φαίνεται και στο σχήμα 2). Οι παράμετροι του πηνίου είναι:

1. **w** (πλάτος του πηνίου σε μm)
2. **s** (διάστημα μεταξύ των πλευρών του πηνίου σε μm)
3. **dout** (εξωτερική διάμετρος (outer dimension) του πηνίου σε μm)
4. **n** (αριθμός των στρωφών του πηνίου)
5. **L** (επαγωγή του πηνίου σε nH)

Παρακάτω φαίνεται ένας inductor με $w = 5\mu\text{m}$, $s = 5\mu\text{m}$, $dout = 100\mu\text{m}$ και $n = 3.5$



Εικόνα 2.3

Ακολουθεί η περιγραφή του κώδικα του αρχείου:

```
set_simulator_type(-1);
create_constant_form("w_5", 5 um, 0, 5 um, "5.0 um" );
create_constant_form("w_10", 10 um, 1, 10 um, "10.0 um" );
create_constant_form("w_15", 15 um, 2, 15 um, "15.0 um");
create_constant_form("w_20", 20 um, 3, 20 um, "20.0 um");
create_constant_form("w_25", 25 um, 4, 25 um, "25.0 um");
create_form_set("WIDTH_FORM", "w_5";"w_10";"w_15";"w_20";"w_25");
```

Κώδικας δημιουργίας
λίστας valid πινών για
το width
Το όνομα της φόρμας
που δημιουργείται είναι
WIDTH_FORM

```
create_item( "octag_ind", //name
            "octag_ind", //description
            "octag_ind", //prefix
            0, //attribute
            -1, //priority
            NULL, //icon name
            standard_dialog, //dialog code
            "", //dialog data
            ComponentNetlistFmt, //netlist format
            "ind", //netlistdata
            ComponentAnnotFmt, //d sp ay format
            "octag_ind", //symbolname
            2,
            "create_octag_ind",
            0,
```

Η συνάρτηση create_item() δημιουργεί ένα
στιγμιότυπο του Inductor με το όνομα
octag_ind

Το ind είναι το όνομα του αρχείου που
περιέχει το μοντέλο του Inductor

Το octag_ind είναι το όνομα του συμβόλου
που χρησιμοποιείται στο schematic

Το 2 είναι η ποσότητα που υποδεικνύει στο
ADS ότι θα χρησιμοποιηθεί ειδική
συνάρτηση για την κατασκευή του layout

Το όνομα create_octag_ind είναι το όνομα
της συνάρτησης κατασκευής του layout και
η οποία βρίσκεται στο αρχείο altwork.ael

```
list
(
    dm_create_cb
    (
        ITEM_NETLIST_CB,
        "generic_netlist_cb",
        list(list("ind",NULL,NULL),
            list(list("w","w",NULL),
                list("s","s",NULL),
                list("dout","dout",NULL),
                list("n","n",NULL)
            ),
            NULL,
            NULL,
            list("PLUS","MINUS","GND")),
        TRUE
    ),
),
```

Η συνάρτηση dm_create_cb είναι υπεύθυνη για την ανάθεση των τιμών των παραμέτρων στο μοντέλο και την φόρτωση του μοντέλου για την προσομοίωση στο schematic

Η συνάρτηση creat_parm δημιουργεί τις παραμέτρους του component του design kit

```
create_parm("w",
    "WIDTH",
    68672,
    "WIDTH_FORM",
    5,
    prm("w_5","w"),
    list(dm_create_cb( // callback list
        PARM_MODIFIED_CB, // callback type
        "modified_cb", // callback function name
        "w", // clientData
        TRUE)) // callback enable
);
```

Δημιουργία της παραμέτρου width.

Ο κωδικός 68672 υποδηλώνει ότι η παράμετρος αυτή είναι πραγματικός αριθμός.
Το όρισμα WIDTH_FORM υποδηλώνει το ότι οι τιμές της παραμέτρου βρίσκονται στην φόρμα WIDTH_FORM.
Ο κωδικός 5 σημαίνει ότι η μονάδα μέτρησης που θα χρησιμοποιηθεί θα είναι μονάδα μέτρησης μήκους(um).
Η γραμμή prm("w_5","w") δίνει σαν default τιμή του width την τιμή που βρίσκεται στο πεδίο W_5 του WIDTH_FORM

Στο πεδίο αυτό ορίζεται ότι η παράμετρος width ("w") όταν τροποποιηθεί (PARM_MODIFIED_CB), η νέα της τιμή θα σταλεί στην συνάρτηση modified_cb, η οποία βρίσκεται στο αρχείο callbacks.ael. Το TRUE υποδηλώνει ότι εάν γίνει έλεγχος στην τιμή της παραμέτρου και βρεθεί invalid τότε μπορεί να αλλάξει η τιμή της μεταβλητής

```

create_parm("s",
"space",
68672,
"StdFormSet",
5,
prm("StdForm","5.0 um"),

list(dm_create_cb( // callback list
PARM_MODIFIED_CB, // callback type
"modified_cb", // callback function name
"s", // clientData
TRUE)) // callback enable
),

```

Δημιουργία της παραμέτρου width.

- Ο κωδικός 68672 υποδηλώνει ότι η παράμετρος αυτή είναι πραγματικός αριθμός. Το όρισμα StdFormSet υποδηλώνει το ότι οι τιμές της παραμέτρου θα ακολουθήσουν την κλασική φόρμα του ADS.
- Ο κωδικός 5 σημαίνει ότι η μονάδα μέτρησης που θα χρησιμοποιηθεί θα είναι μονάδα μέτρησης μήκους(um). Η γραμμή prm("StdForm","5.0 um") θέτει σαν default τιμή του width την τιμή 5um.

Στο πεδίο αυτό ορίζεται ότι η παράμετρος space ('s') όταν τροποποιηθεί (PARM_MODIFIED_CB) , η νέα της τιμή θα σταλθεί στην συνάρτηση modified_cb , η οποία βρίσκεται στο αρχείο callbacks.ael. Το TRUE υποδηλώνει ότι εάν γίνει έλεγχος στην τιμή της παραμέτρου και βρεθεί invalid τότε μπορεί να αλλάξει η τιμή της μεταβλητής

Ομοίως με το space συντάσσονται οι παράμετροι dout (outer dimension) και n (turns). Η μόνη αλλαγή που πραγματοποιείται είναι ότι τα turns είναι αδιάστατη ποσότητα, οπότε στο 5^ο όρισμα της function create_parm αντί της τιμής 5, αποκτά την τιμή -1. Η παράμετρος L είναι ένας πραγματικός αριθμός ο οποίος δείχνει την επαγωγή του πηνίου βάσει των γεωμετρικών χαρακτηριστικών του. Οι τιμές των παραμέτρων ελέγχονται από το αρχείο callbacks.ael.

2.4.7 Περιγραφή artwork.ael

Το αρχείο **artwork.ael** (\circuit\artwork) περιέχει την συνάρτηση **create_octag_ind** η οποία είναι υπεύθυνη για την σχεδίαση του layout. Για τη συγκεκριμένη σχεδίαση χρησιμοποιούνται οι παράμετροι του αρχείου **octag_ind.ael** και τα metal layers του αρχείου **layout.lay**. Αναλυτική περιγραφή της λειτουργικότητας του αρχείου θα παρουσιαστεί σε επόμενο κεφάλαιο.

2.4.8 Περιγραφή tech_include.ael

Στο **tech_include.ael**(\circuit\ael) ορίζεται το component **tech_include**. Για να έχει ο simulator πρόσβαση στο μοντέλο του design kit ένα netlisting include component (tech_include) τοποθετείται στο schematic. Το component tech_include δεν περιέχει καμία παράμετρο αλλά περιέχει ένα netlist callback στην τελευταία γραμμή του. Αυτό παρέχεται έτσι ώστε όταν το component γίνεται netlisted για τον simulator, ο κώδικας του netlisting περιέχει την τοποθεσία του μοντέλου

(\circuit\models\ind.net) . Παρακάτω περιγράφεται ο κώδικας που παρέχεται για την δημιουργία του netlisting.

Η συνάρτηση **defun include_netlist_cb (cbP, clientData, callData)** επιστρέφει ένα string το οποίο είναι ο pre-processing κώδικας τον οποίο διαβάζει ο simulator του schematic για να «εντοπίσει» που βρίσκεται το model.

```
defun include_netlist_cb (cbP, clientData, callData)
{
  decl fileName="", netlistString="";
  fileName = strcat(CIRCUIT_MODEL_DIR, "ind.net");
  fputs(stderr, fileName);
  netlistString=strcat(netlistString, "#ifndef tech_include\n");
  netlistString=strcat(netlistString, "#define tech_include\n");
  netlistString=strcat(netlistString, "#include \"", fileName, "\"\n");
  netlistString=strcat(netlistString, "#endif\n");
  return(netlistString);
}
```

Ο κώδικας που παράγεται είναι ο παρακάτω:

```
#ifndef tech_include
#define tech_include
#include \circuit\models\ind.net \
#endif
```

Ο κώδικας αυτός αποθηκεύεται στο αρχείο netlist.log και δηλώνει ότι «εάν δεν έχει καθοριστεί το tech_include (**if not defined**)», τότε ορίζεται το tech_include και φορτώνεται το μοντέλο.

```
create_item("tech_include", // name
"tech_include", // label
"tech_include", // prefix
ITEM_UNIQUE|ITEM_NOT_NETLIST_IF_SUB, // attribute
0, // priority
NULL, // iconName
standard_dialog, // dialogName
NULL, // dialogData
ComponentNetlistFmt, // netlistFormat
"tech_include", // netlistData
ComponentAnnotFmt, // displayFormat
"tech_include", // symbolName
no_artwork, // artworkType
NULL, // artworkData
0, // extraAttrib
list(dm_create_cb (ITEM_NETLIST_CB, "include_netlist_cb", NULL, TRUE)));
```

Ο παραπάνω κώδικας παράγει το component `tech_include`. Σαν attributes του component δηλώνονται τα **ITEM_UNIQUE** και **ITEM_NOT_NETLIST_IF_SUB**. Το **ITEM_UNIQUE** δηλώνει ότι θα χρησιμοποιείται ένα στιγμιότυπο του component ανά schematic window. Το **ITEM_NOT_NETLIST_IF_SUB** δηλώνει ότι το component δεν γίνεται netlisted σε περίπτωση που είναι sub-circuit σε ένα κύκλωμα.

Στο πεδίο **netlistData** συμπληρώνεται το όνομα του component, το οποίο και χρησιμοποιήθηκε στην συνάρτηση `include_netlist_cb`. Στο τέλος της δήλωσης του component παρατίθεται κώδικας ο οποίος καλεί τη συνάρτηση `include_netlist_cb` έτσι ώστε να φορτωθεί ο κώδικας στον pre-processor του simulation.

2.4.9 Περιγραφή `pallette.ael`

Ο κώδικας του αρχείου **pallette.ael** (\de\ael) φορτώνει τα εικονίδια του μενού του design kit και συνδέει τα εικονίδια με τα .dsn αρχεία (που είναι τα σύμβολα των components). Τα εικονίδια που φορτώνονται βρίσκονται στο folder `\circuit\bitmaps`. Ο φάκελος αυτός περιέχει 2 υποφακέλους (**pc** και **unix**). Ανάλογα με το περιβάλλον εγκατάστασης του ADS, γίνεται και η φόρτωση των αντίστοιχων εικονιδίων. Ο έλεγχος για το περιβάλλον που χρησιμοποιείται, πραγματοποιείται με την παρακάτω γραμμή φόρτωσης στο `boot.ael`:

```
decl BITMAP_DIR = sprintf("%s/circuit/bitmaps/%s/", DK7WL_PATH,on_PC?"pc":"unix");
```

Κατά την δήλωση (declaration) της μεταβλητής `BITMAP_DIR`, χρησιμοποιείται ένα script το οποίο καθορίζει από ποιά path θα φορτωθούν οι εικόνες.

Τα αρχεία .bmps που χρησιμοποιούνται είναι τα **OCTAG_IND.bmp** και **tech_include.bmp**. Τα συγκεκριμένα αρχεία δημιουργήθηκαν με την χρήση του εργαλείου **DesignGuide Studio** το οποίο φορτώνεται από το κεντρικό παράθυρο του ADS επιλέγοντας **DesignGuide > DesignGuide Developer Studio > Start DesignGuide Studio > Tools**. Ο κώδικας του αρχείου φαίνεται παρακάτω:

```
dk_define_palette_group(SCHEM_WIN, "analogRF_net",
    "7WL Components", "7WL Components", -1,
    "octag_ind", "OCT_INDUCTOR",
    strcat(BITMAP_DIR, "OCTAG_IND"),
    "tech_include", "TECHNOLOGY INCLUDE",
    strcat(BITMAP_DIR, "tech_include") );

dk_define_palette_group(LAYOUT_WIN, "analogRF_net",
    "7WL Components", "7WL Components", 0,
    "octag_ind", "OCT_INDUCTOR",
    strcat(BITMAP_DIR, "OCTAG_IND") );
```

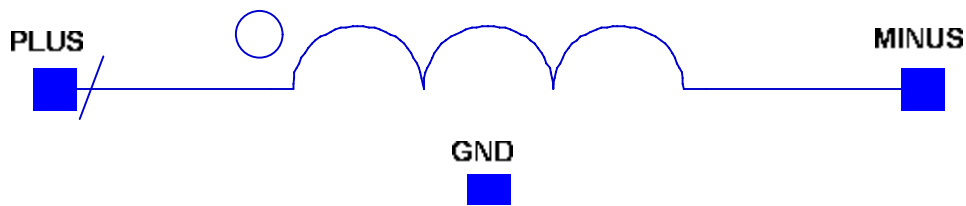
Η συνάρτηση **dk_define_pallet_group** δηλώνεται 2 φορές. Η πρώτη δήλωσή της είναι υπεύθυνη για την φόρτωση των εικονιδίων για το schematic (**SCHEM_WIN**) ενώ η δεύτερη δήλωση είναι υπεύθυνη για το layout (**LAYOUT_WIN**). Ο τύπος των designs που υποστηρίζονται από το design kit είναι τύπου analogRF (**analogRF_net**). Το όρισμα **-1** στην πρώτη δήλωση της συνάρτησης πραγματοποιεί αλφαβητική διάταξη των εικονιδίων.

2.4.10 Περιγραφή callbacks.ael

Το αρχείο του callbacks.ael (\de\ael) έχει την συνάρτηση **modified_cb**, η οποία πραγματοποιεί ελέγχους έτσι ώστε οι διαστάσεις του πηνίου να συμφωνούν με τους κανόνες σχεδίασης που έχουν ορισθεί από την IBM. Η συνάρτηση αυτή διασφαλίζει την πραγματοποίηση των ελέγχων είτε στο schematic είτε στο layout βάσει των design rules. Επίσης η συγκεκριμένη συνάρτηση υπολογίζει, βάσει των αλλαγών που πραγματοποιούνται στις γεωμετρικές παραμέτρους, την DC επαγωγή του πηνίου. Αναλυτική παρουσίαση της λειτουργίας της συνάρτησης αυτής φαίνεται στο παρακάτω κεφάλαιο.

2.4.11 Περιγραφή octag_ind.dsn

Το αρχείο αυτό βρίσκεται στο φάκελο \circuit\design. Στο αρχείο αυτό συμπεριλαμβάνεται το σύμβολο του πηνίου που χρησιμοποιείται στο schematic window. Η σχεδίαση του συμβόλου έγινε στο Create/Edit Schematic Symbol. Το παρόν εργαλείο βρίσκεται στο view του schematic window. Το σύμβολο που χρησιμοποιείται παρουσιάζεται παρακάτω. Στη σχεδίαση του συμβόλου ορίζουμε τα pins που είναι οι είσοδοι και οι έξοδοι του πηνίου. Τα PLUS και MINUS είναι input/output pins. Ενώ το GND είναι το σημείο γείωσης του πηνίου. Το σύμβολο ουσιαστικά αντιπροσωπεύει το sub-circuit το οποίο περιλαμβάνεται στο αρχείο ind.net και το οποίο προσομοιώνει την συμπεριφορά του πηνίου ανάλογα με την συχνότητα λειτουργίας του.



Εικόνα 2.4

2.4.12 Περιγραφή ind.net

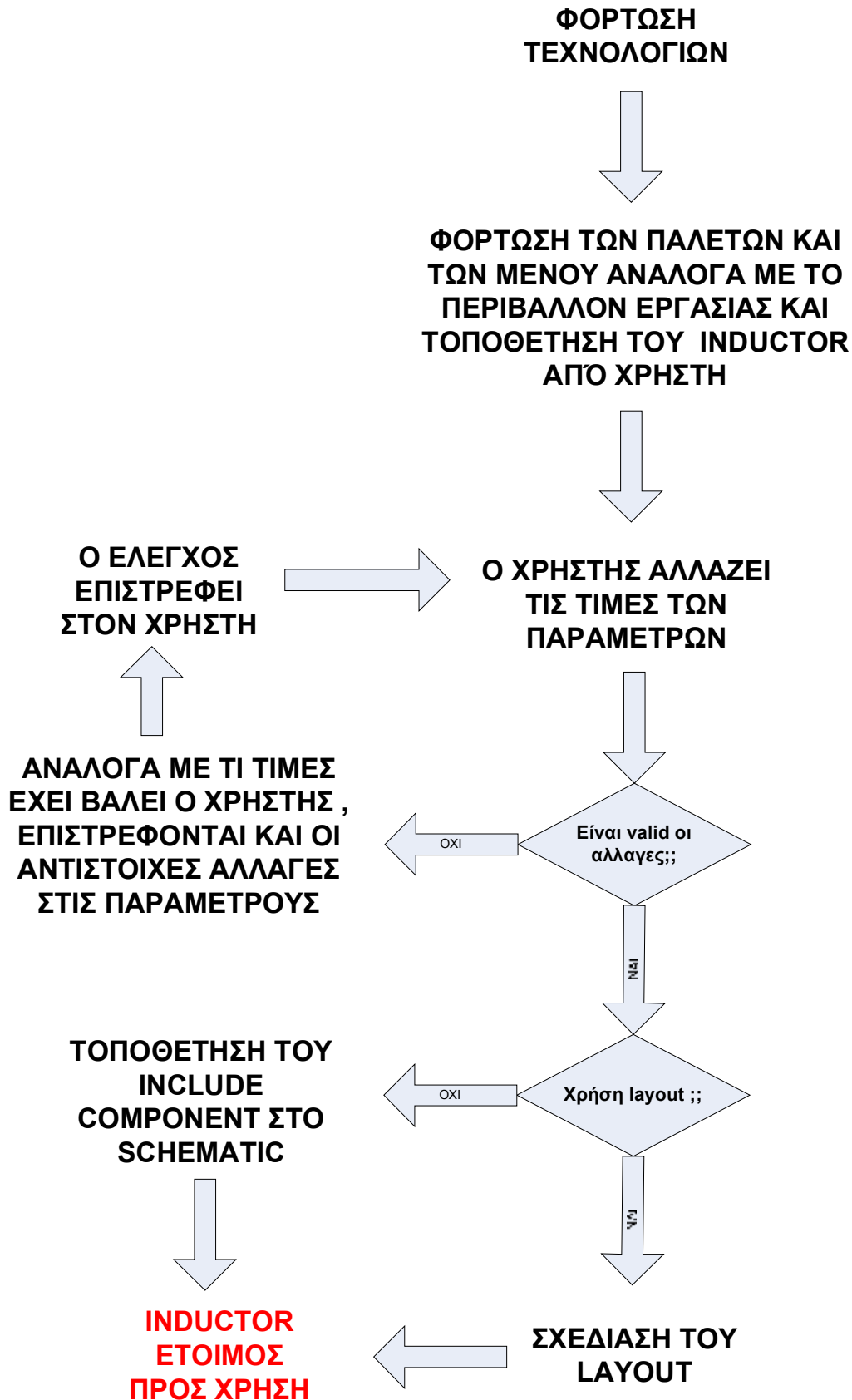
Το αρχείο αυτό βρίσκεται στον φάκελο `\circuit\models` και το οποίο περιλαμβάνει το μοντέλο `ind` (PLUS MINUS GND). Το κύκλωμα αυτό προσομοιώνει την συμπεριφορά του layout ανάλογα με την συχνότητα λειτουργίας. Η σχεδίαση του κυκλώματος είναι βασισμένη στα 3 pins του συμβόλου. Το μοντέλο χρησιμοποιείται στο schematic window καθώς η προσομοίωση επιτυγχάνεται με άλλον simulator, αυτόν του layout. Αναλυτική περιγραφή του `ind.net` παρουσιάζεται στο κεφάλαιο 4.

2.4.13 Περιγραφή tech_include.dsn

Το σύμβολο **tech_include.dsn** βρίσκεται στον φάκελο `\circuit\designs` και είναι υπεύθυνο για την φόρτωση του μοντέλου του πηνίου στο schematic window. Χωρίς την παρουσία του στο schematic window, ο simulator δεν βρίσκει το μοντέλο και επιστρέφει μήνυμα λάθους. Πρέπει να σημειωθεί ότι τα σύμβολα **tech_include.dsn** και **octag_ind.dsn** σχετίζονται άμεσα με τα components **tech_include** και **octag_ind** που παρουσιάστηκαν παραπάνω.

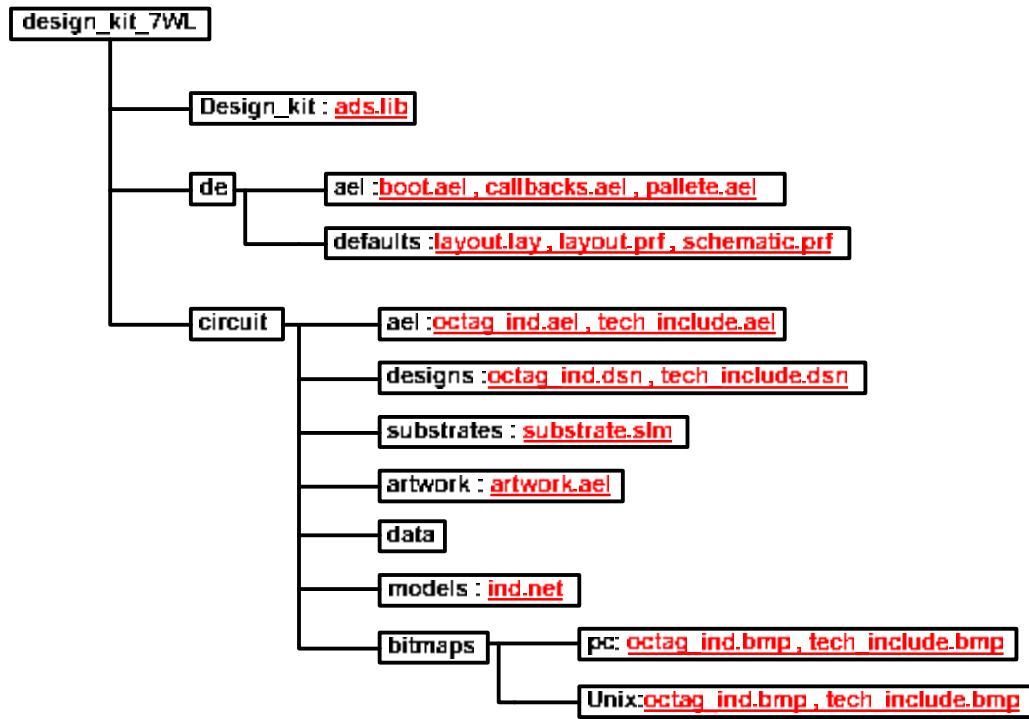
2.5 Σύνοψη Κεφαλαίου

Στο κεφάλαιο αυτό πραγματοποιείται η περιγραφή των στοιχείων από τα οποία αποτελείται ένα design kit. Επίσης παρατίθεται η λειτουργική περιγραφή του αλλά και η λειτουργία του κάθε αρχείου. Στη συνέχεια παρατίθεται ένα διάγραμμα ροής που φανερώνει τη λειτουργία του design kit.



Σχήμα 2.3

Ο παρακάτω πίνακας δηλώνει σε ποιους φακέλους βρίσκονται τα αρχεία του design kit.



Σχήμα 2.4

Στο επόμενο κεφάλαιο περιγράφεται η σχεδίαση του layout, οι κανόνες που το διέπουν και το πώς εφαρμόζονται στο πηνίο.

ΚΕΦΑΛΑΙΟ 3 – Σχεδίαση Πηνίου

3.1 Εισαγωγή

Στο παρόν κεφάλαιο περιγράφονται τα μέταλλα από τα οποία αποτελείται το πηνίο (inductor), οι σχεδιαστικές παράμετροι που χρησιμοποιούνται, τα design rules που διέπουν τη σχεδίαση του layout, η λογική σχεδίαση του πηνίου (των σπειρών MA, της via) και οι έλεγχοι που διέπουν το πηνίο.

3.2 Σχεδιαστικές Προδιαγραφές και Σχεδίαση

3.2.1 Εισαγωγή

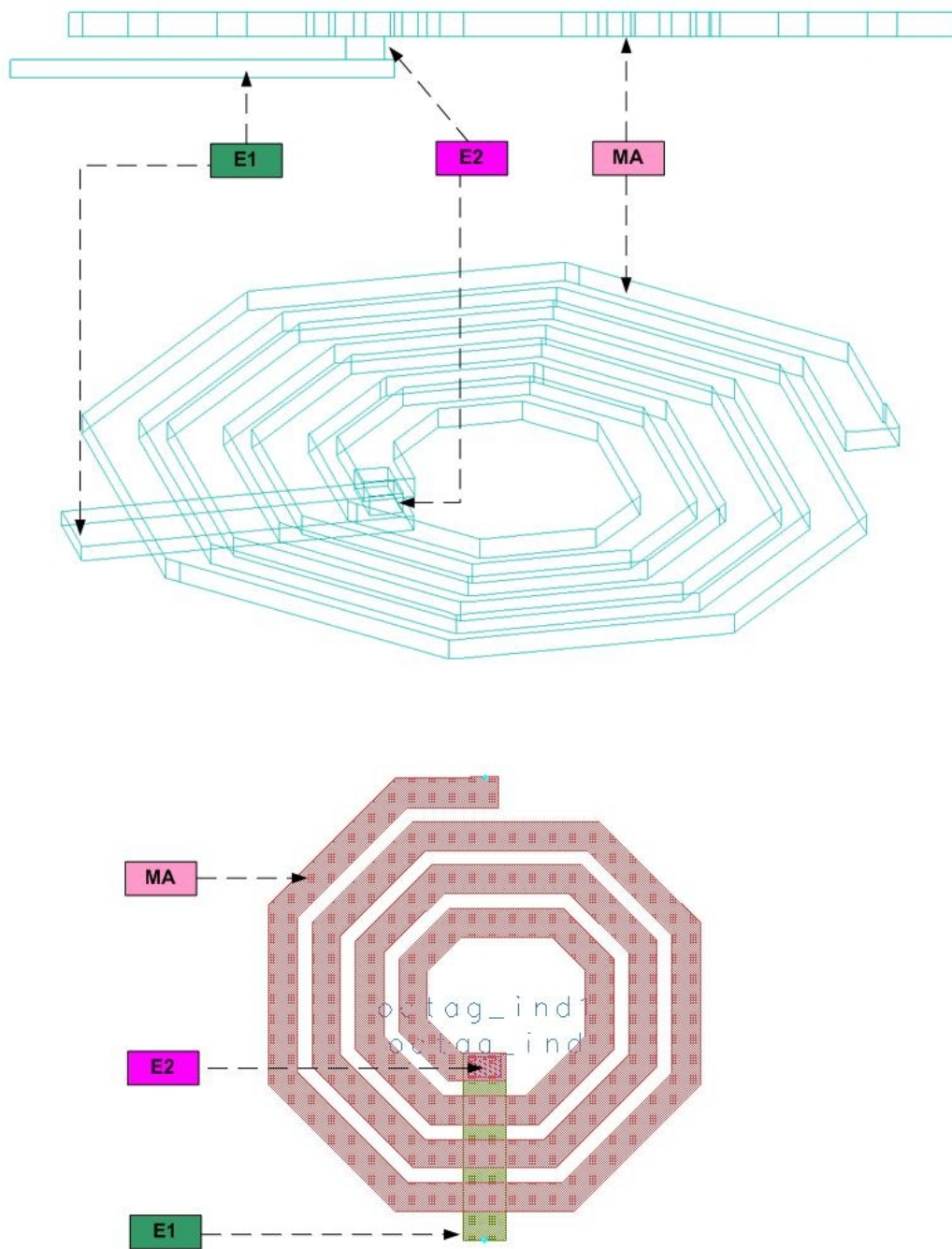
Η σχεδίαση του layout του πηνίου βασίζεται στις σχεδιαστικές προδιαγραφές που ορίζονται από την IBM για το πηνίο “ind” της βιβλιοθήκης Bicmos7WL. Η σχεδίαση πρέπει να ακολουθεί τις σχεδιαστικές προδιαγραφές που δίνονται από τον κατασκευαστή ώστε να μπορούν εν συνεχεία να τυπωθούν αλλά και να έχουν την απαιτούμενη συμπεριφορά.

3.2.2 Μέταλλα πηνίου

Τα μέταλλα τα οποία χρησιμοποιούνται είναι τα εξής:

1. **MA** : Είναι το μέταλλο με το οποίο δημιουργούνται οι σπείρες του πηνίου.
2. **E2** : Είναι το μέταλλο με το οποίο κατασκευάζονται η via μεταξύ του MA και E1.
3. **E1** : Είναι το μέταλλο με το οποίο κατασκευάζεται το underpass κάτω από το MA.

Το MA είναι αλουμίνιο ενώ τα E1 και E2 είναι χαλκός. Ο χώρος μεταξύ των σπειρών και των μετάλλων αποτελείται από SiO₂. Στο παρακάτω σχήμα, φαίνεται η τρισδιάστατη και δυσδιάστατη απεικόνιση ενός πηνίου. Το underpass, σχεδιάζεται έτσι ώστε να εξαχθεί ο εσωτερικός ακροδέκτης του πηνίου έξω από αυτό. Το E2 είναι το μέταλλο που κάνει την επαφή μεταξύ του MA και E1.



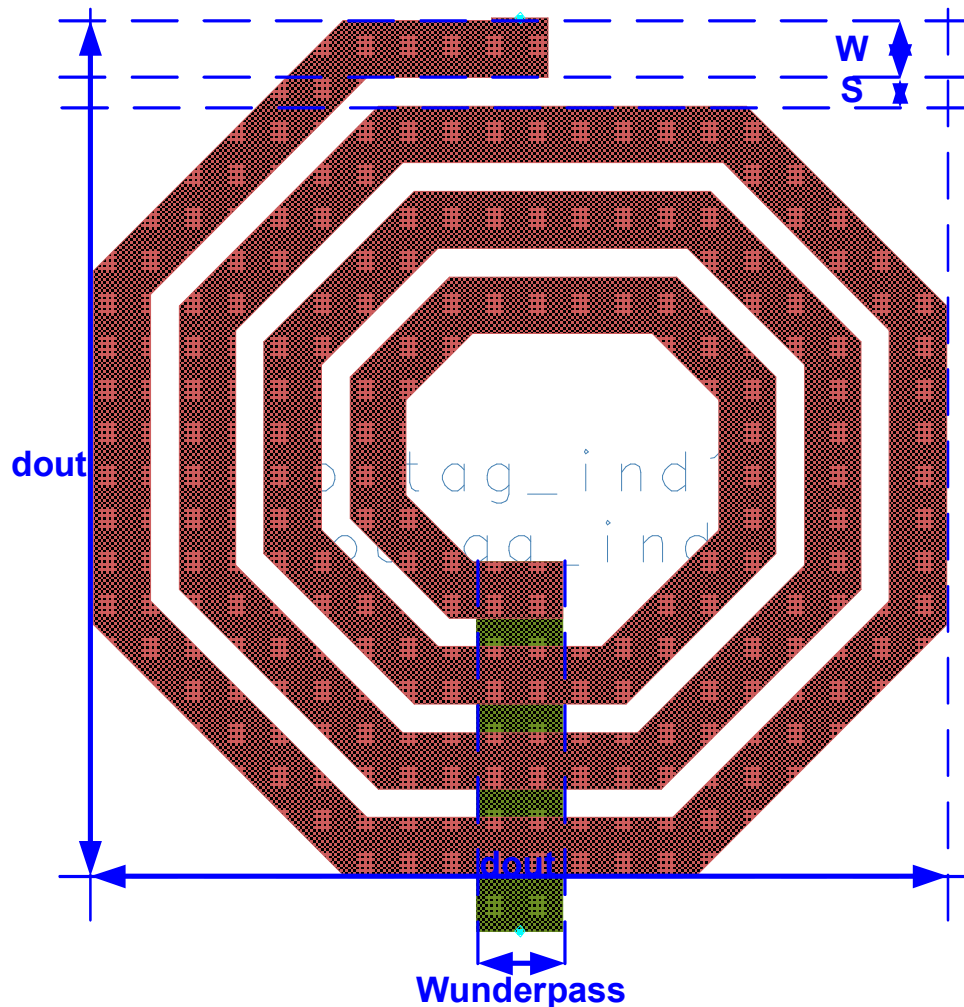
Εικόνα 3.5

3.2.3 Σχεδιαστικές παράμετροι

Οι σχεδιαστικές παράμετροι είναι εκείνες οι παράμετροι που χρησιμοποιούνται για την κατασκευή του layout. Οι παράμετροι αυτές είναι :

1. Το πλάτος του μετάλλου MA w (um)
2. Το πλάτος του underpass μετάλλου E1 (um)
3. Η εξωτερική διάμετρος του πηνίου d_{out} (um). Ως εξωτερική διάμετρο του πηνίου ορίζεται η απόσταση μεταξύ των εξωτερικών πλευρών του πηνίου
4. Ο αριθμός των σπειρών του πηνίου n (πραγματικός αριθμός)
5. Το διάστημα που χωρίζει 2 παράλληλες γραμμές του MA s (um)

Οι παράμετροι παρουσιάζονται και στο παρακάτω σχήμα.



Εικόνα 6.2

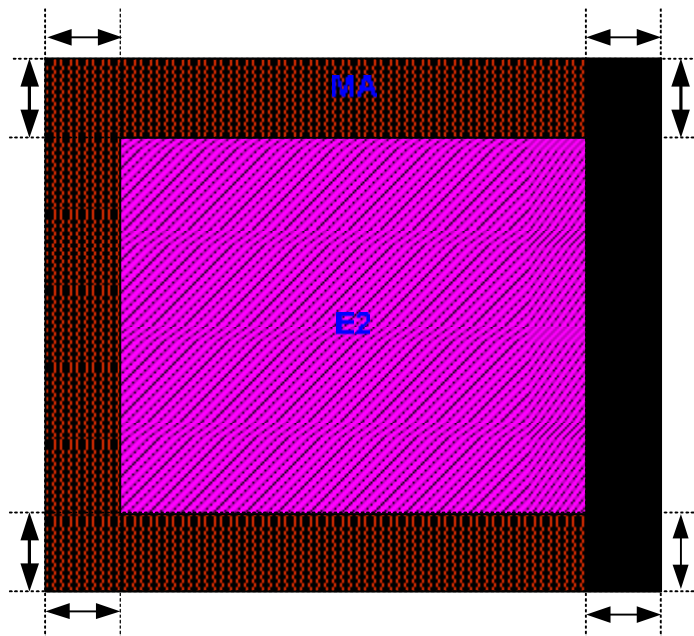
Στην παραπάνω εικόνα το πηνίο έχει $d_{out} = 150\mu m$, $w = 10\mu m$, $s = 5\mu m$, $n = 3.5$ και $W_{underpass} = 15\mu m$.

3.2.4 Κανόνες Σχεδίασης (design rules)

Οι σχεδιαστικοί κανόνες είναι αυτοί που ορίζουν ποιές τιμές των παραμέτρων είναι αποδεκτές και το πώς θα σχεδιαστεί ο inductor. Οι κανόνες αυτοί στοχεύουν στην σωστή σχεδίαση του πηνίου έτσι ώστε να βοηθήσουν στην τύπωσή του.

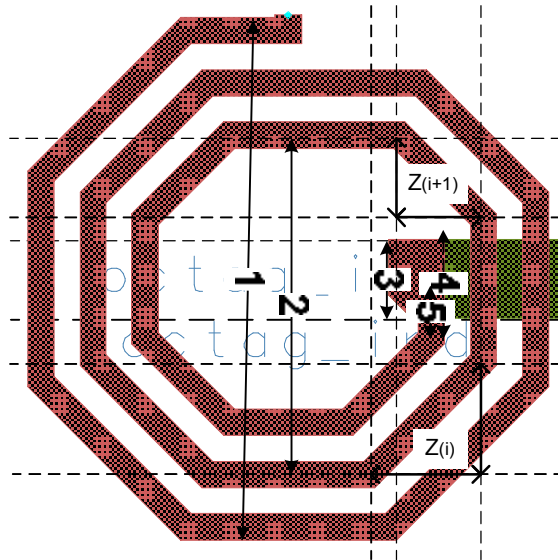
Τα design rules, που χρησιμοποιήθηκαν για την σχεδίαση του πηνίου και ορίζονται από την IBM (εκτός από τον κανόνα **10**), είναι τα παρακάτω:

1. Το πλάτος του MA μπορεί να πάρει τις ακόλουθες διακριτές τιμές : 5, 10, 15, 20, 25 μm
2. Το πλάτος του underpass ορίζεται ως 15 μm αν και μπορεί να πάρει και άλλες τιμές όπως φαίνεται και παρακάτω
3. Το διάστημα μεταξύ 2 παράλληλων γραμμών MA είναι ορισμένο στα 5 μm
4. Η απόσταση μεταξύ των E2 και MA πρέπει να είναι 1.76 μm . Δηλαδή όταν κατασκευάζεται μια via E2 τότε οι πλευρές του MA θα πρέπει να απέχουν από τις πλευρές του E2 κατά 1.76 μm . Ένα παράδειγμα παρουσιάζεται στην παρακάτω εικόνα. Οι σημειωμένες αποστάσεις είναι 1.76 μm .



Εικόνα 3.7

5. Οι διαστάσεις του E2 πρέπει να είναι τουλάχιστον 2um. Το γεγονός αυτό δηλώνει ότι για 5um πλάτους MA ο κανόνας αυτός δεν τηρείται, γεγονός που υποδηλώνει ότι θα πρέπει να χρησιμοποιηθεί ειδική γεωμετρία της νία, κάτι που φαίνεται παρακάτω.
6. Η ελάχιστη δυνατή επιφάνεια που μπορεί να καλύπτει η νία E2 πρέπει να είναι τουλάχιστον 10um².
7. Το πλάτος του E1 μπορεί να πάρει μέγιστη τιμή 25um και ελάχιστη 15um. Το γεγονός αυτό εξαρτάται από το πλάτος του MA του πηνίου και το αριθμό των σπειρών του πηνίου. Οπότε, από τις τιμές 5, 10, 15um η πιο αποδεκτή τιμή για το πλάτος του E1 είναι τα 15um, ενώ για τις τιμές 20 και 25um, η τιμή αυτή μπορεί να έχει μέγιστο το πλάτος του MA.
8. Το outer dimension παίρνει τιμές μεταξύ 100 – 400um. Για τιμές του $dout_{\chiρήστη} \% 10 = 0, 1, 2, 3, 4$ προκύπτει ότι το $dout = dout_{\chiρήστη} - (dout_{\chiρήστη} \% 10)$. Για τιμές του $dout_{\chiρήστη} \% 10 = 5, 6, 7, 8, 9$ προκύπτει ότι $dout = (dout_{\chiρήστη} - (dout_{\chiρήστη} \% 10)) + 10$.
9. Ο αριθμός των σπειρών πρέπει να είναι μεγαλύτερος ή ίσος του 1 και να ακολουθεί την παρακάτω φόρμα: Ακέραιος αριθμός σπειρών + 0 ή 0.25 ή 0.5 ή 0.75.
10. Ο μέγιστος αριθμός των σπειρών που αντιστοιχούν σε κάθε πηνίο καθορίζεται από τα $dout$, s και w . Ο μέγιστος αριθμός των σπειρών ορίζεται ως $n_{\max} + 0.5$. Το n_{\max} ορίζεται ως ο μέγιστος ακέραιος αριθμός turns, ο οποίος ικανοποιεί την συνθήκη: $SD_{i-1} > \frac{l_i}{2} + \frac{wu}{2}$. Ο παραπάνω τύπος και η συνθήκη καθορίστηκαν μέσω των αρχών σχεδίασης του πηνίου που θα περιγραφούν σε παρακάτω παράγραφο. Το $SD_{i-1} = K - (Z_i + Z_{i+1}) = \frac{dout - (2 * i - 1) * (w + s)}{1 + \sqrt{2}}$ και το $l_i = \sqrt{2} * z_i = \frac{dout - 2 * (i - 1) * (w + s)}{1 + \sqrt{2}}$. Στην παρακάτω εικόνα παρουσιάζεται ένα πηνίο με $dout = 100 \text{ um}$, $w = 5 \text{ um}$, $s = 5 \text{ um}$, και $n = 2.75$. Το $dout$ είναι το (1), το K είναι το (2), το Wu είναι το (3), το SD_{i-1} είναι το (4) και το $l_i/2$ είναι το (5). Ο παραπάνω inductor έχει ως μέγιστο αριθμό σπειρών τα 3.5 turns.



Εικόνα 3.8

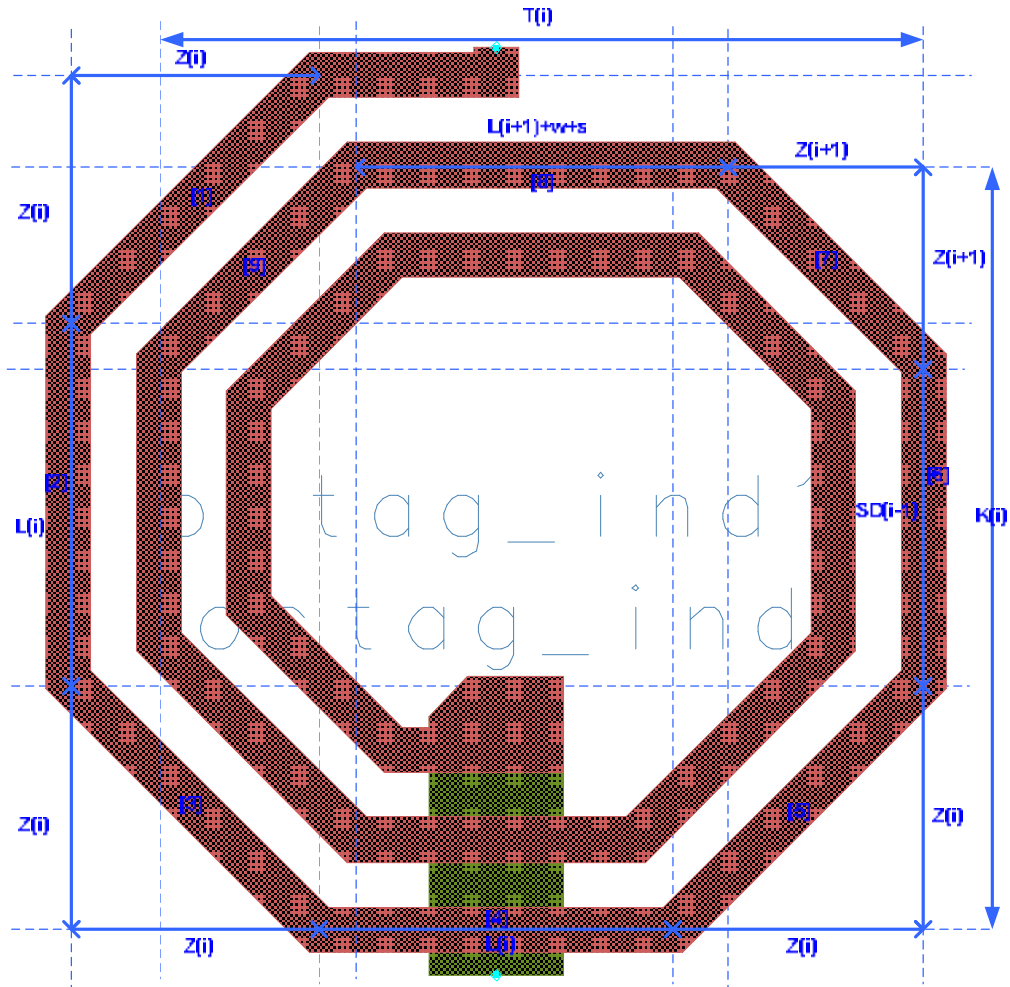
3.3 Σχεδίαση του Layout

3.3.1 Εισαγωγή

Η σχεδίαση (physical design) που πραγματοποιείται στο layout window ακολουθεί τους design rules που παρουσιάστηκαν παραπάνω. Την σχεδίαση στο design kit επιμερίζεται η συνάρτηση **create_octag_ind** που βρίσκεται στο αρχείο **artwork.ael**. Αρχικά περιγράφεται η λογική που διέπει την σχεδίαση του layout (πως υπολογίζονται οι πλευρές, πως κατασκευάζονται οι νίας κτλ.) και στην συνέχεια ο τρόπος που υλοποιούνται στον κώδικα.

3.3.2 Υπολογισμός διαστάσεων πηνίου

Για την σχεδίαση του layout θα χρησιμοποιηθούν οι παράμετροι **dout**, **w**, **s** και **wu**. Η σχεδίαση του πηνίου πρέπει να είναι τέτοια ώστε η κάθετη και κατακόρυφη διάσταση του πηνίου να είναι ίση με το **dout**. Η παρακάτω εικόνα παρουσιάζει τις διαστάσεις που χρησιμοποιούνται για την κατασκευή του layout.



Εικόνα 3.9

Η σχεδιαστική εξωτερική διάμετρος ορίζεται ως $D = d_{out} - w$. Η παραδοχή αυτή πραγματοποιείται για προγραμματιστικούς λόγους που θα παρουσιαστούν στην επόμενη παράγραφο.

Για να ισχύει η πρόταση σύμφωνα με την οποία η κάθετη με την οριζόντια διάσταση είναι ίσες με το D (θεωρώντας ότι τα μήκη των πλευρών **1,2,3,4** και **5** είναι ίσα) θα πρέπει να ισχύει ότι:

$$D_i = 2 * Z_i + L_i \quad (1),$$

όπου σύμφωνα με το Πυθαγόρειο Θεώρημα προκύπτει ότι:

$$L_i = \sqrt{2} * Z_i \quad (2).$$

Άρα από τις εξισώσεις **(1)** και **(2)** προκύπτει ότι:

$$D_i = (2 + \sqrt{2}) * Z_i \Leftrightarrow Z_i = \frac{D_i}{(2 + \sqrt{2})} \quad (3)$$

όπου

$$D_i = D - 2 * (i - 1)(w + s) \quad (4).$$

Και επομένως:

$$Z_i = \frac{D - 2 * (i - 1)(w + s)}{2 + \sqrt{2}} \quad (5).$$

Για λόγους συμμετρίας το μήκος της πλευράς **9** είναι ίσο με το μήκος της πλευράς **7**. Οπότε το μήκος της **7** είναι ίσο με Z_{i+1} . Οπότε το μήκος K_i είναι $K_i = SD_{i-1} + Z_{i+1} + Z_i$ **(7)**, όπου το SD_{i-1} είναι το μήκος της πλευράς **6**.

Επομένως το μήκος της πλευράς **6** υπολογίζεται από τον παρακάτω τύπο:

$$SD_{i-1} = K_i - (Z_i + Z_{i+1}) \quad (8)$$

όπου το K_i ισούται με $K_i = D - (2i - 1)(w + s)$ **(9)**. Ο τύπος αυτός προκύπτει από το γεγονός ότι για να υπολογιστεί το K σε κάθε turn θα πρέπει να αφαιρεθεί περιττός αριθμός $(w+s)$ από την D .

Αντικαθιστώντας στον τύπο **(8)**, το K_i με το δεξιό όρισμα του τύπου **(9)** προκύπτει ότι $SD_{i-1} = D - (2 * i - 1)(w + s) - (Z_i + Z_{i+1})$ **(10)**. Το Z_{i+1} υπολογίζεται από την εξίσωση **(5)**, άρα

$$Z_{i+1} = \frac{D - 2 * ((i + 1) - 1)(w + s)}{2 + \sqrt{2}} \Leftrightarrow Z_{i+1} = \frac{D - 2 * (i)(w + s)}{2 + \sqrt{2}} \quad (11).$$

Επομένως:

$$Z_i + Z_{i+1} = \frac{2 * D - (4 * i - 2)(w + s)}{2 + \sqrt{2}} = 2 * \left[\frac{D - (2 * i - 1)(w + s)}{2 + \sqrt{2}} \right]$$

(12). Συνδυάζοντας την εξίσωση **10** με την εξίσωση **12** προκύπτει ότι :

$$\begin{aligned} SD_{i-1} &= D - (2 * i - 1)(w + s) - 2 * \left[\frac{D - (2 * i - 1)(w + s)}{2 + \sqrt{2}} \right] \Leftrightarrow \\ &\Leftrightarrow SD_{i-1} = \frac{(2 - 2 + \sqrt{2}) * [D - (2 * i - 1)(w + s)]}{2 + \sqrt{2}} \Leftrightarrow \\ SD_{i-1} &= \frac{(\sqrt{2}) * [D - (2 * i - 1)(w + s)]}{2 * (1 + \sqrt{2})} \Leftrightarrow SD_{i-1} = \frac{D - (2 * i - 1)(w + s)}{1 + \sqrt{2}} \end{aligned}$$

$$\text{Άρα το } SD_{i-1} \text{ είναι ίσο με } SD_{i-1} = \frac{D - (2 * i - 1)(w + s)}{1 + \sqrt{2}} \quad (13).$$

Έστω ότι το μήκος της πλευράς **8** αντιπροσωπεύεται από την μεταβλητή E_i τότε το E_i υπολογίζεται από τον τύπο $T_i = E_i + 2 * Z_{i+1} \Leftrightarrow E_i = T_i - 2 * Z_{i+1}$ **(14)**. Το T_i είναι ίσο με

$$T_i = D - (2 * i - 1) * (w + s) \text{ (15).}$$

Άρα αντικαθιστώντας το T_i στην εξίσωση **(14)** τότε προκύπτει ότι:

$$E_i = D - (2 * i - 1) * (w + s) - 2 * Z_{i+1} \Leftrightarrow E_i = D - 2 * i * (w + s) + (w + s) - 2 * Z_{i+1} \text{ (15).}$$

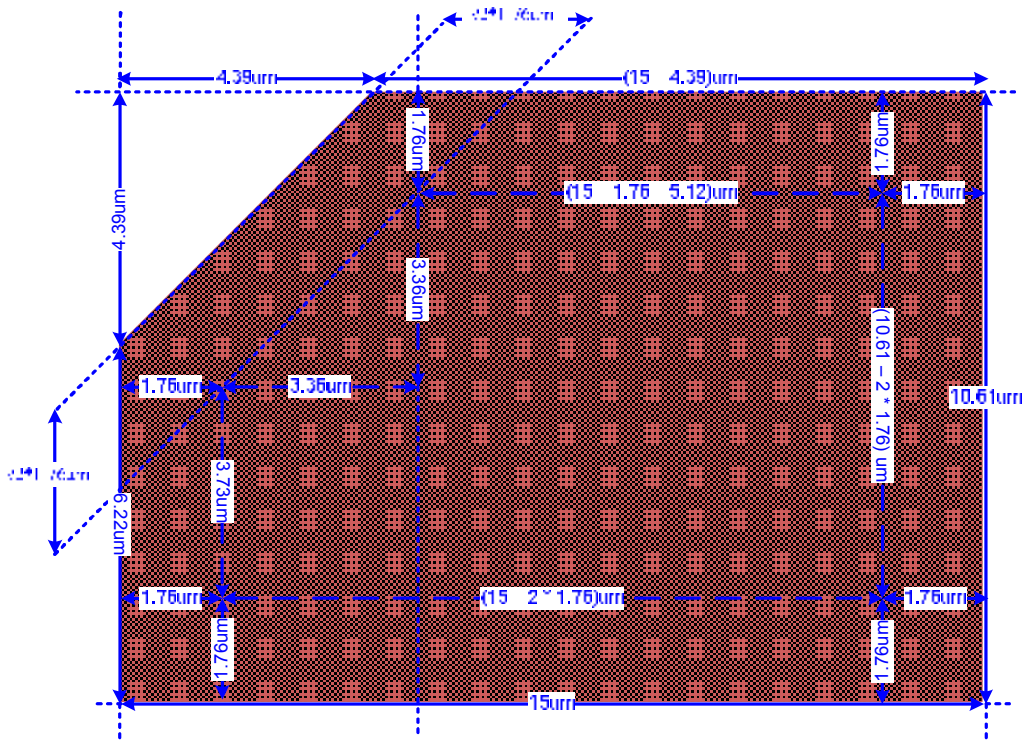
Από την **(11)** γνωρίζουμε ότι:

$$Z_{i+1} = \frac{D - (2 * i) * (w + s)}{2 + \sqrt{2}} \Leftrightarrow (2 + \sqrt{2}) * Z_{i+1} = D - (2 * i) * (w + s).$$

Βάσει του παραπάνω τύπου πραγματοποιείται η αντικατάσταση του $D - (2 * i) * (w + s)$ με το $(2 + \sqrt{2}) * Z_{i+1}$ στην εξίσωση **(15)** οπότε και προκύπτει :

$$E_i = (2 + \sqrt{2} - 2) * Z_{i+1} + (w + s) \Leftrightarrow E_i = \sqrt{2} * Z_{i+1} + (w + s) \Leftrightarrow E_i = L_{i+1} + (w + s) \text{ (16).}$$

Παραπάνω περιγράφεται ο τρόπος υπολογισμού των πλευρών του πηνίου. Στην συνέχεια ακολουθεί η περιγραφή της νία που κατασκευάζεται για $w=5\text{um}$. Για την σχεδίαση της νία ακολουθούνται οι προτεινόμενες από την IBM προδιαγραφές, ενώ οι διαστάσεις που χρησιμοποιούνται για την σχεδίαση της παρουσιάζονται στο παρακάτω σχήμα.



Εικόνα 3.10

3.3.3 Περιγραφή κώδικα artwork.ael

Το αρχείο artwork.ael περιέχει την συνάρτηση create_octag_ind. Η συνάρτηση αυτή είναι υπεύθυνη για την δημιουργία του layout. Τα ορίσματα που δέχεται είναι οι τιμές των παραμέτρων: dout, w, s, n. Στην παράγραφο αυτή γίνεται περιγραφή των συναρτήσεων της AEL που χρησιμοποιούνται και η παρουσίαση του ψευδοκώδικα της συνάρτησης.

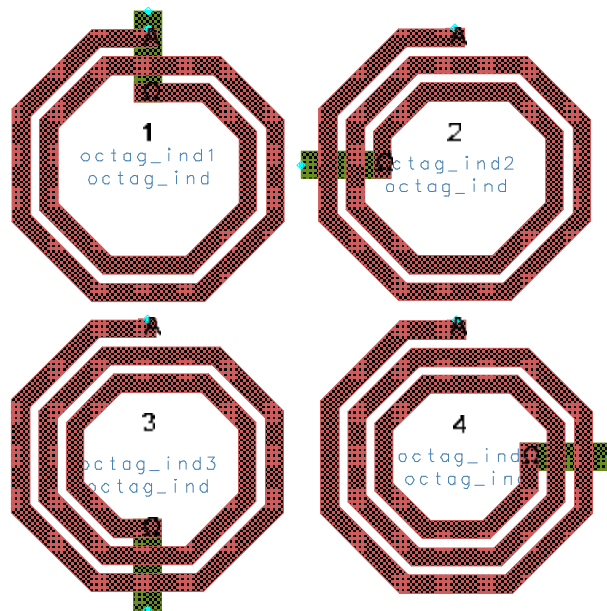
Για την παραγωγή του layout χρησιμοποιήθηκαν οι παρακάτω συναρτήσεις:

1. de_set_layer(α): συνάρτηση που θέτει το μέταλλο στο οποίο θα πραγματοποιηθεί η σχεδίαση. Το όρισμα, της συνάρτησης, α είναι ένας αριθμός ο οποίος αντιστοιχεί σε κάποιο από τα μέταλλα (για το MA είναι το 48, για το E1 είναι το 45 και το E2 είναι το 52).
2. de_add_path(): συνάρτηση που δηλώνει την χρήση στην σχεδίαση διαδρομών, κάτι που σημαίνει ότι η σχεδίαση θα βασιστεί σε συντεταγμένες οι οποίες δηλώνονται στη συνάρτηση de_add_point(x,y).
3. de_set_path_corner(α) : συνάρτηση που καθορίζει τον τρόπο δημιουργίας των γωνιών του path.

4. `de_set_path_width(tw)` : συνάρτηση που καθορίζει το πλάτος που θα έχει η διαδρομή που θα σχεδιαστεί.
5. `de_add_point(x,y)` : συνάρτηση που προσθέτει άλλο ένα σημείο από το οποίο περνάει το path ή άλλη μία κορυφή στο πολύγωνο που σχεδιάζεται με την χρήση της συνάρτησης `de_add_polygon()`. Στη περίπτωση του path οι συντεταγμένες που δίνονται στη συνάρτηση βρίσκονται στο μέσο του path. Το γεγονός αυτό δικαιολογεί το λόγο με βάσει τον οποίο τέθηκε παραπάνω το $D=dout-w$. Οι συντεταγμένες υπολογίζονται από την παραπάνω αρχή.
6. `de_add_polygon()`:συνάρτηση που είναι υπεύθυνη για την σχεδίαση ενός πολυγώνου.
7. `de_end()`: συνάρτηση που τερματίζει τη σχεδίαση του path ή του πολύγώνου.

Η σχεδίαση του layout βασίζεται σε 5 critical points. Τα critical points είναι τα σημεία που ξεκινά και σταματάει το path του MA. Το πρώτο σημείο είναι το σημείο έναρξης, ενώ τα άλλα τέσσερα σημεία είναι τα πιθανά σημεία λήξης του path του MA ανάλογα με τον αριθμό των τετάρτων που έχει επιλέξει ο χρήστης και θα έχει το πηνίο.

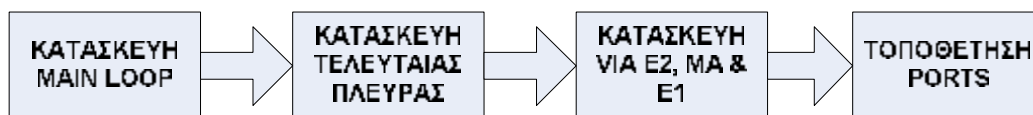
Το σημείο έναρξης είναι το ίδιο ανεξαρτήτως του αριθμού των turns που έχει επιλέξει ο χρήστης. Η σχεδίαση του πηνίου γίνεται από έξω προς τα μέσα με φόρα αντίστροφη αυτής του ρολογιού. Οπότε το σημείο λήξης είναι και το σημείο όπου θα κατασκευαστεί η via και το underpass. Τα critical points παρουσιάζονται στην παρακάτω εικόνα.



Εικόνα 3.11

Τα \mathbf{A} και $\mathbf{\Omega}$ αντιπροσωπεύουν τα σημεία έναρξης και λήξης της σχεδίασης του πηνίου. Το πηνίο αυτό έχει $d_{out} = 150 \text{ } \mu\text{m}$, $w = 10 \text{ } \mu\text{m}$ και $s = 5 \text{ } \mu\text{m}$. Το πηνίο 1 έχει $n = 2+0*1/4 \text{ turns}$, το πηνίο 2 έχει $n = 2+1*1/4 \text{ turns}$, το πηνίο 3 έχει $n = 2+2*1/4 \text{ turns}$ και το πηνίο 4 έχει $n = 2+3*1/4 \text{ turns}$.

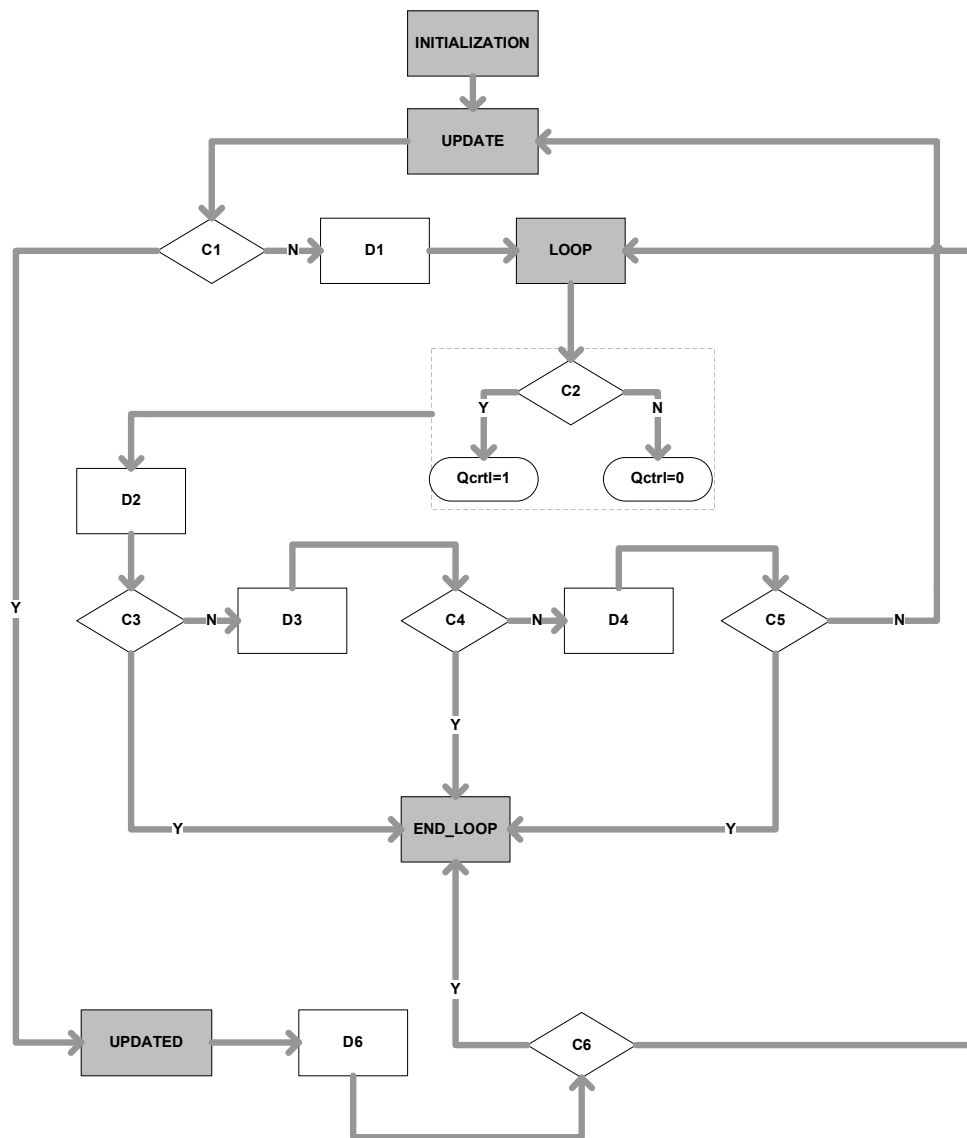
Η σχεδίαση του πηνίου βασίζεται στο παρακάτω διάγραμμα ροής. Όπως φαίνεται παραπάνω, η κατασκευή γίνεται σε 4 βήματα. Στο πρώτο βήμα εκτελείται το βασικό loop όπου είναι και το loop που κατασκευάζει το path του MA μέχρι την τελευταία πλευρά. Στο βήμα 2 κατασκευάζεται η τελευταία πλευρά του MA. Στο βήμα 3 κατασκευάζεται η via μεταξύ MA και E1. Και τέλος στο βήμα 4 τοποθετούνται τα ports μέσω των οποίων γίνεται η επικοινωνία του πηνίου με τον έξω κόσμος.



Εικόνα 3.12

Το πρώτο βήμα περιγράφεται από το παρακάτω διάγραμμα ροής. Σε αυτό, τα κουτιά με γκρι χρώμα αντιπροσωπεύουν τα labels που χρησιμοποιούνται στον κώδικα, τα D_i είναι τα σημεία όπου γίνεται η σχεδίαση των πλευρών του MA και τα

Οι C_i είναι τα σημεία που γίνεται έλεγχος κάποιων μεταβλητών που επηρεάζουν την σχεδίαση του πηγίου.



Εικόνα 3.13

Μεταξύ του **INITIALIZATION** και του **UPDATE** ορίζονται οι μεταβλητές που θα χρησιμοποιηθούν για την σχεδίαση. Οι μεταβλητές που χρησιμοποιούνται είναι οι παρακάτω:

$x = 0, y = 0$: x και y είναι οι καρτεσιανές συντεταγμένες που χρησιμοποιούνται για την σχεδίαση.

$Nturns = \text{int}(n)$: η μεταβλητή $Nturns$ κρατάει την τιμή του ακέραιου μέρους των $turnrd$ που δηλώνονται.

$Q_{turns} = n - \text{int}(n)$: η μεταβλητή αυτή δηλώνει τον αριθμό των $\frac{1}{4}$ που θα έχει το πηνίο.

$Q_{ctrl} = 0$: η μεταβλητή αυτή ελέγχει το πότε έχουν ολοκληρωθεί οι σπείρες του πηνίου.

$i = 1$: η μεταβλητή αυτή κρατάει την τιμή του $turn$ που σχεδιάζεται την συγκεκριμένη στιγμή.

$z = 0, l = 0, zold = 0$: οι μεταβλητές αυτές είναι υπεύθυνες για την σχεδίαση του πηνίου.

$D_{start} = 1$: η μεταβλητή αυτή ελέγχει το πότε θα αρχίσει η σχεδίαση του πηνίου.

$D = D_o - tw$: η μεταβλητή αυτή δηλώνει την τιμή της εξωτερικής σχεδιαστικής διάστασης του πηνίου.

Μεταξύ των **UPDATE** και **C1** γίνεται η ενημέρωση των z, l και $zold$. Το $zold$

$= z$, όπου το z υπολογίζεται από τον τύπο $z = \frac{D}{2 + \sqrt{2}}$ και το l υπολογίζεται από τον

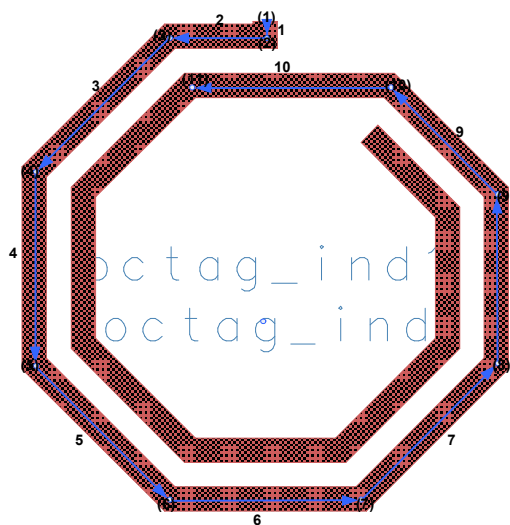
τύπο $l = D - 2 * z$, ο οποίος προκύπτει από τον τύπο (1). Το **C1** είναι το $D_{start} > 1$.

Εάν ισχύει η συνθήκη αυτή τότε πραγματοποιείται μετάβαση στο **UPDATED** αλλιώς πραγματοποιείται μετάβαση στο **D1**.

Το **D1** κατασκευάζει την πλευρά **1** του πηνίου. Οι συντεταγμένες για την

δημιουργία της πλευράς αυτής είναι $(x + \frac{l}{2}, y + \frac{w}{2} + 0.5)$ και $(x + \frac{l}{2}, y)$. Οι τιμές των

συντεταγμένων του πρώτου σημείου αποθηκεύονται στις μεταβλητές xx και yy .



Εικόνα 3.14

Από το **D1** πραγματοποιείται μετάβαση στο label **LOOP** και στην συνέχεια στο **C2**. Το C2 είναι το $n \leq i$. Αν ισχύει η συνθήκη τότε το $Qctrl=1$ αλλιώς $Qctrl=0$. Μετά τον έλεγχο C2 πραγματοποιείται η σχεδίαση της πλευράς 2 και 3 στο **D2**. Η σχεδίαση συνεχίζεται από τις συντεταγμένες του σημείου (2). Οπότε η πλευρά 2 προκύπτει από τις συντεταγμένες $(x + \frac{l}{2}, y)$ και (x, y) . Η πλευρά 3 προκύπτει από τις συντεταγμένες (x, y) και $(x - z, y - z)$.

Στην συνέχεια από το D2 γίνεται έλεγχος για $((Qturns == 0.25) \& (Qctrl == 1))$ στο **C3**. Αν ισχύει η παραπάνω συνθήκη τότε αποθηκεύονται οι συντεταγμένες του σημείου (4) και πραγματοποιείται μετάβαση στο label **END_LOOP**. Αν δεν ισχύει τότε σχεδιάζονται οι πλευρές 4 και 5 στο D3. Στο **D3** η πλευρά 4 σχεδιάζεται από τις συντεταγμένες $(x - z, y - z)$ και $(x - z, y - z - l)$ και η 5 από τις συντεταγμένες $(x - z, y - z - l)$ και $(x, y - 2 * z - l)$. Ακολουθεί ο έλεγχος C4.

Στο **C4** η συνθήκη που ελέγχεται είναι $((Qturns == 0.5) \& (Qctrl == 1))$. Αν ισχύει αποθηκεύονται οι συντεταγμένες $(x, y - 2 * z - l)$ και μεταβαίνει στο **END_LOOP**. Αν δεν ισχύει τότε σχεδιάζονται οι πλευρές 6 και 7 στο D4. Στο **D4** η πλευρά 6 σχεδιάζεται από τις συντεταγμένες $(x, y - 2 * z - l)$ και $(x + l, y - 2 * z - l)$ και η 7 από τις συντεταγμένες $(x + l, y - 2 * z - l)$ και $(x + l + z, y - z - l)$. Ακολουθεί ο έλεγχος C5.

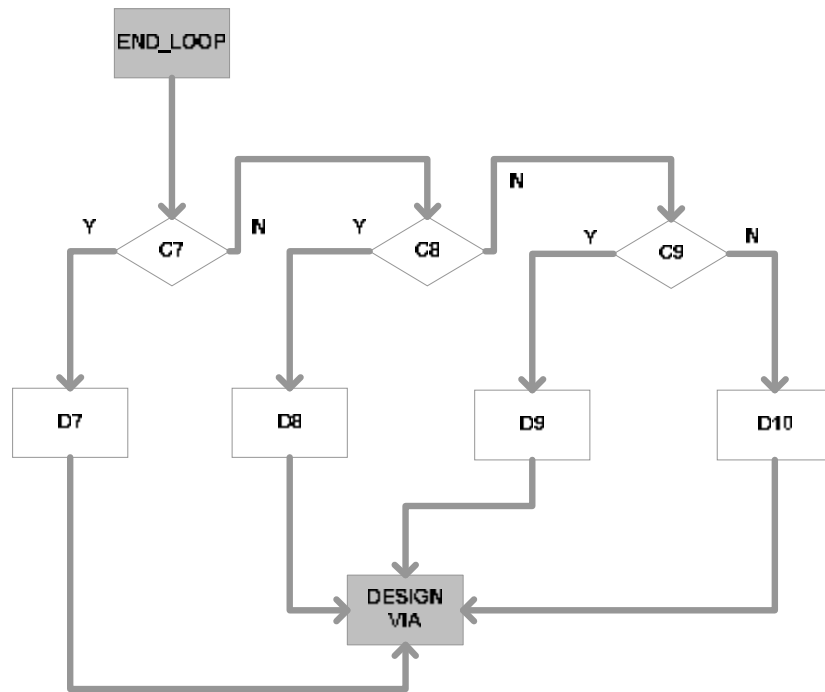
Το **C5** πραγματοποιεί τον έλεγχο $((Qturns == 0.75) \& (Qctrl == 1))$. Αν ισχύει τότε αποθηκεύονται οι τιμές των συντεταγμένων του σημείου (8) $(x = x + z + l, y = y - z - l)$ και πραγματοποιείται μετάβαση στο label **END_LOOP**. Αν δεν ισχύει τότε αποθηκεύονται οι συντεταγμένες, το D υπολογίζεται από τον τύπο $D = (Do - w) - 2 * i * (w + s)$, με $Dstart = 2$ και εκτελείται μετάβαση στο label **UPDATE**.

Στο **UPDATE**, όπως αναφέρεται παραπάνω, υπολογίζονται τα Z_{i+1} και L_{i+1} και στο Z_{old} αποθηκεύεται η τιμή του Z_i . Στην συνέχεια εκτελείται μετάβαση στο label **UPDATED** καθώς το $Dstart = 2$.

Στο **UPDATED** το D υπολογίζεται από τον τύπο (10) οπότε το D ισούται με $D = Do - w - (z + z_{old} + 2 * (w + s))$. Στην συνέχεια σχεδιάζονται οι πλευρές 8 και 9 στο D6. Το **D6** σχεδιάζει τις πλευρές 8 και 9. Η πλευρά 8 σχεδιάζεται με την χρήση

των συντεταγμένων (x, y) και $(x, y + D)$ και η πλευρά 9 σχεδιάζεται βάσει των συντεταγμένων $(x, y + D)$ και $(x - z, y + D + z)$. Στην συνέχεια το C6 ελέγχει $((Qturns == 0.0) \& (Qctrl == 1))$. Αν ισχύει τότε αποθηκεύονται οι συντεταγμένες και εκτελείται η μετάβαση στο END_LOOP αλλιώς αποθηκεύονται τα x και y ($y = y + D + z$ και $x = x - z - (l + w + s)$), το i αυξάνεται κατά 1 ($i = i + 1$) και εν συνεχεία πραγματοποιείται η μετάβαση στο LOOP οπότε και σχεδιάζονται η πλευρά 10 και η αντίστοιχη της 3 για $i = 2$ από το D2.

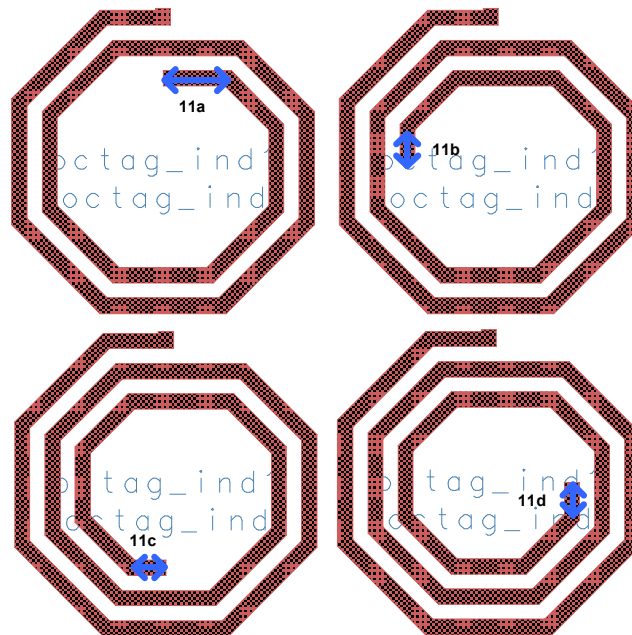
Στο δεύτερο βήμα σχεδιάζεται η πλευρά στην οποία κατασκευάζεται η via. Στο παρακάτω διάγραμμα ροής παρουσιάζεται ο τρόπος σχεδιασμού της.



Εικόνα 3.15

Όταν κάποια συνθήκη από τις C3, C4, C5 και C6 ισχύει τότε πραγματοποιείται μετάβαση στο END_LOOP. Από το END_LOOP εκτελείται μετάβαση στη συνθήκη C7. Η συνθήκη C7 είναι η εξής: $Qturns == 0$. Αν ισχύει τότε προκύπτει η πλευρά 11.a της εικόνας 3.12. Η πλευρά αυτή σχεδιάζεται με την χρήση των τρεχόντων συντεταγμένων και του σημείου $(x - (\frac{1}{2} + tw + ts), y)$ (D7). Αν η συνθήκη C7 δεν είναι αληθής τότε πραγματοποιείται ο έλεγχος της συνθήκης C8. Η συνθήκη αυτή είναι: $Qturns == 0.5$. Αν είναι αληθής τότε σχεδιάζεται η πλευρά 11.b βάσει των

τρεχόντων συντεταγμένων και του σημείου $(x + \frac{1}{2}, y)$ (D8). Αν δεν είναι αληθής τότε πραγματοποιείται μετάβαση στο έλεγχο της συνθήκης C9. Η συνθήκη C9 είναι: $Qturns == 0.25$. Αν είναι αληθής τότε σχεδιάζεται η πλευρά 11.c βάσει των τρεχόντων συντεταγμένων και του σημείου $(x, y - \frac{1}{2})$ (D9). Αν δεν είναι αληθής τότε ισχύει ότι $Qturns = 0.75$ οπότε και εκτελείται το D10, σχεδιάζοντας την πλευρά 11.d βάσει των τρεχόντων συντεταγμένων και του σημείου $(x, y + \frac{1}{2})$.



Εικόνα 3.16

Όταν ολοκληρωθεί η σχεδίαση της τελευταίας πλευράς εκτελείται η μετάβαση στην label DESIGN_VIA.

Στο τρίτο βήμα σχεδιάζεται η via και το path του underpass E1 που βγαίνει από τον inductor. Μεταξύ του label DESIGN_VIA και συνθήκης C10 ορίζονται οι μεταβλητές :

MAx,MAy : συντεταγμένες για την σχεδίαση του MA στη via των 5um.

E2x,E2y : συντεταγμένες για την σχεδίαση του E2 στη via των 5um.

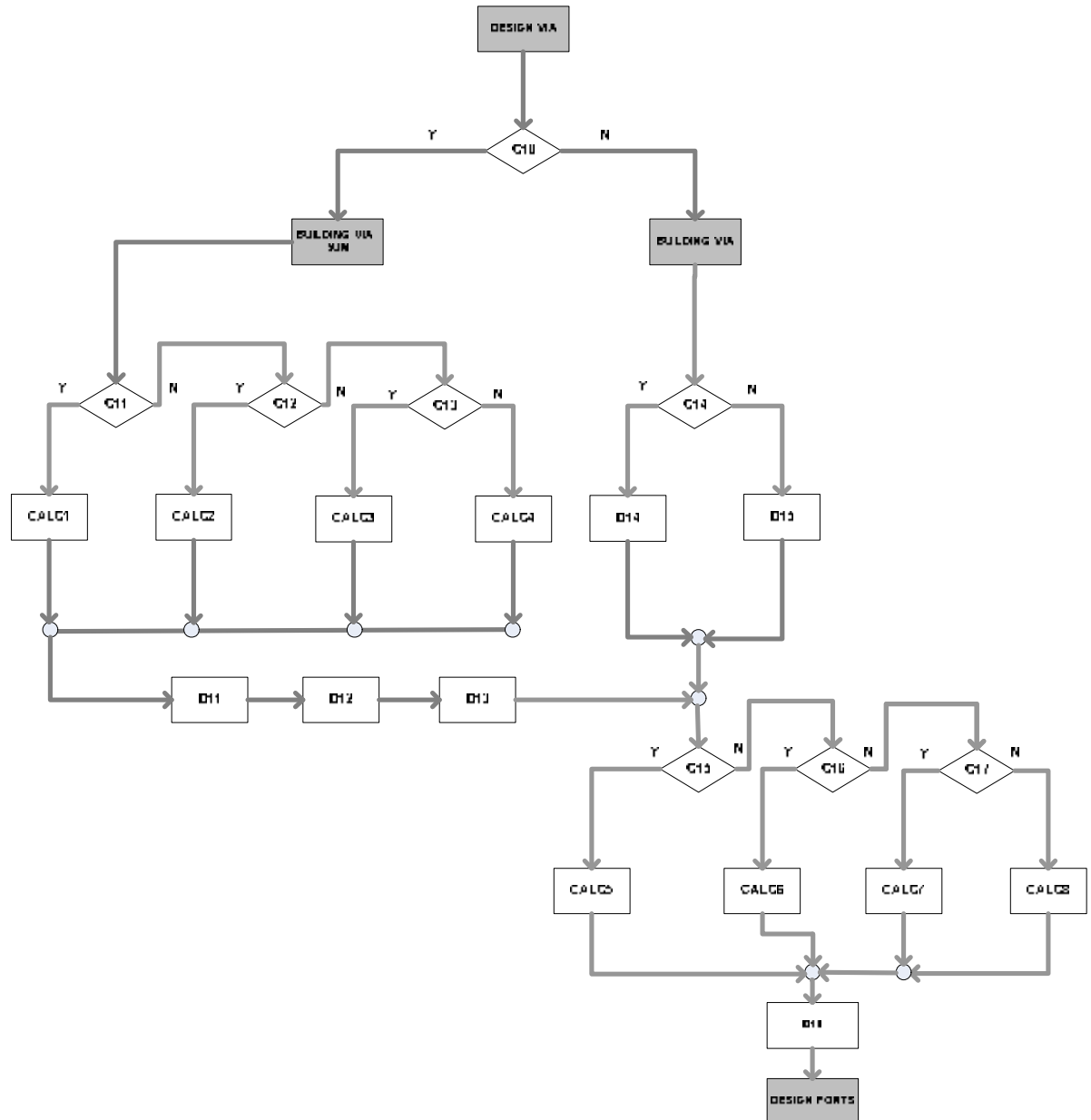
list_x,list_y : λίστες των συντεταγμένων για την σχεδίαση του MA και E1 στη via των 5um.

list_xE2,list_yE2 : λίστες των συντεταγμένων για την σχεδίαση του E2 στη via των 5um.

list_xo,list_yo: λίστες των συντεταγμένων για την σχεδίαση του underpass.

xout,yout : συντεταγμένες του τελευταίου σημείου της τελευταίας πλευράς του ΜΑ.

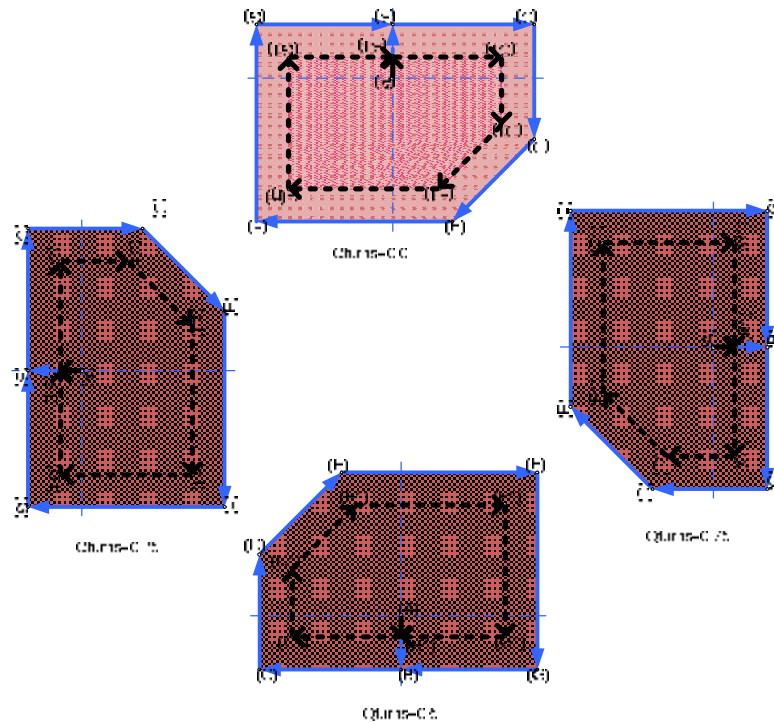
Το παρακάτω διάγραμμα ροής παρουσιάζει τον τρόπο κατασκευής των via και του underpass path.



Εικόνα 3.17

Η συνθήκη **C10** είναι για $w == Sum$. Αν ισχύει τότε πραγματοποιείται μετάβαση στο label BUILDING_VIA_SUM αλλιώς πραγματοποιείται η μετάβαση στο label BUILDING_VIA. Για $w = Sum$ ελέγχονται οι τιμές του Qturns στους ελέγχους C11, C12 και C13. Ανάλογα με την τιμή του Qturns υπολογίζονται οι τιμές

των συντεταγμένων για την σχεδίαση του MA, E1 και E2 στα CALC1, CALC2, CALC3 και CALC4.



Εικόνα 3.18

Ο τρόπος υπολογισμού των συντεταγμένων δηλώνεται στην παραπάνω εικόνα. Αρχικά υπολογίζεται η μετάβαση από το σημείο A στο σημείο B ανάλογα με την τιμή του Qturns. Στην συνέχεια οι συντεταγμένες της διαδρομής :

$$B \rightarrow C \rightarrow D \rightarrow E \rightarrow F \rightarrow G \rightarrow B$$

αποθηκεύονται στις λίστες list_x και list_y. Αμέσως μετά υπολογίζεται η μετάβαση από το σημείο A στο σημείο B1. Εν συνεχεία οι συντεταγμένες της διαδρομής:

$$B1 \rightarrow C1 \rightarrow D1 \rightarrow E1 \rightarrow F1 \rightarrow G1 \rightarrow B1$$

αποθηκεύονται στις λίστες list_xE2 και list_yE2. Οι συντεταγμένες αυτές υπολογίζονται βάσει των διαστάσεων που υπολογίστηκαν και παρουσιάζονται στην εικόνα 2.6. Τέλος υπολογίζονται και αποθηκεύονται στις λίστες list_xo και list_yo οι τιμές των συντεταγμένων του underpass.

Μετά από τον υπολογισμό των λιστών στο D11 σχεδιάζεται το MA. Εν συνεχεία στο D12 σχεδιάζεται το E1 της via. Τέλος στο D13 σχεδιάζεται το μέταλλο E2 της via. Για $w > 5um$ τότε η σχεδίαση ακολουθεί την εικόνα 3.3. Αν ισχύει ότι

$Qturns == 0.0 \parallel Qturns == 0.5$ (C14) τότε κατασκευάζεται το path του MA χρησιμοποιώντας τις συντεταγμένες:

$$(x - \frac{Wunderpass}{2}, y) \& (x + \frac{Wunderpass}{2}, y).$$

Το path αυτό έχει πλάτος w. Ενώ σχεδιάζεται το path του E2 (με πλάτος $w-2*1.76$) χρησιμοποιώντας τις συντεταγμένες:

$$(x - \frac{Wunderpass}{2} + 1.76, y) \& (x + \frac{Wunderpass}{2} - 1.76, y) \text{ (D14)}.$$

Αν **δεν** ισχύει τότε κατασκευάζεται το path του MA χρησιμοποιώντας τις συντεταγμένες:

$$(x, y - \frac{Wunderpass}{2}) \& (x, y + \frac{Wunderpass}{2}).$$

Το path αυτό έχει πλάτος w. Ενώ σχεδιάζεται το path του E2 (με πλάτος $w-2*1.76$) χρησιμοποιώντας τις συντεταγμένες:

$$(x, y - \frac{Wunderpass}{2} + 1.76) \& (x, y + \frac{Wunderpass}{2} - 1.76) \text{ (D15)}.$$

Έπειτα, ανάλογα με την τιμή του Qturns (**C15**, **C16** και **C17**) υπολογίζονται οι λίστες των σημείων (listxo και listyo) που θα βασιστεί η σχεδίαση του underpass path και είναι:

$$Qturns = 0 : \text{list_xo} = \text{list} (0,0) , \text{list_yo} = \text{list} (-tw/2, (Nturns+1)*tw + (Nturns+1)*ts).$$

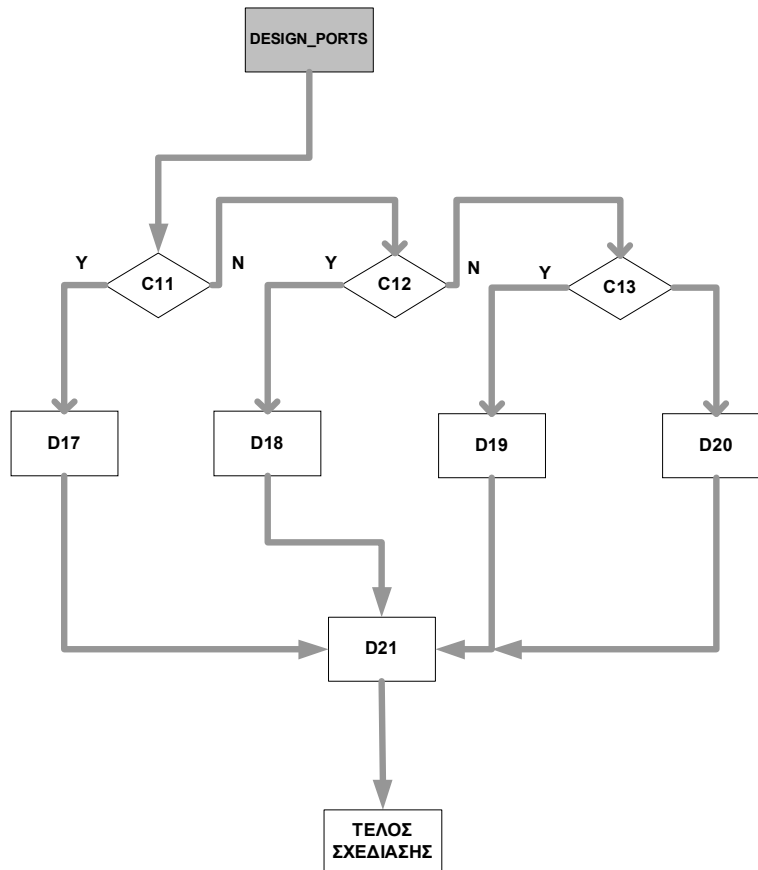
$$Qturns = 0.5 : \text{list_xo} = \text{list} (0,0) , \text{list_yo} = \text{list}(tw/2, -(Nturns+1)*tw - (Nturns+1)*ts).$$

$$Qturns = 0.25 : \text{list_xo} = \text{list} (tw/2, -(Nturns+1)*tw - (Nturns+1)*ts) , \text{list_yo} = \text{list} (0,0).$$

$$Qturns = 0.75 : \text{list_xo} = \text{list} (-tw/2, (Nturns+1)*tw + (Nturns+1)*ts) , \text{list_yo} = \text{list} (0,0).$$

Τέλος στο **D16** σχεδιάζεται το path του underpass και πραγματοποιείται μετάβαση στο label DESIGN_PORTS.

Στο τέταρτο βήμα πραγματοποιείται η τοποθέτηση των ports στο σημείο (1) της εικόνας 3.10 και στο δεύτερο σημείο του path του E1. Στο παρακάτω διάγραμμα ροής περιγράφεται η τοποθέτηση των ports:



Εικόνα 3.19

Ανάλογα με την τιμή που έχει το Qturns (ο έλεγχος γίνεται στα C11,C12 και C13) τοποθετείται το port στις συντεταγμένες (xout+list_xo[1] , yout+ list_yo[1]) με την ανάλογη κατεύθυνση (D17,D18,D19 και D20). Εν συνεχεία γίνεται η σχεδίαση του port στο σημείο (1).

3.3.4 Περιγραφή κώδικα callbacks.ael

Η συνάρτηση modified_cb του callbacks.ael (/de/ael) πραγματοποιεί ελέγχους οι οποίοι ανταποκρίνονται στα design rules που παρουσιάστηκαν παραπάνω. Επίσης υπολογίζεται η dc inductance του πηνίου βάσει των γεωμετρικών του παραμέτρων.

Οι συναρτήσεις που κυρίως χρησιμοποιούνται είναι οι :

pcb_get_mks(callData, όνομα παραμέτρου): συνάρτηση που δεσμεύει τις τιμές των παραμέτρων που δίνει ο χρήστης.

pcb_set_mks(callData, όνομα παραμέτρου): συνάρτηση που επιστρέφει την τιμή της παραμέτρου που αλλάζει.

Επίσης ο έλεγχος **if (strcmp(clientData , όνομα παραμέτρου) == 0)**, ελέγχει εάν έχει πραγματοποιηθεί κάποια αλλαγή της τιμής της παραμέτρου από τον χρήστη. Εάν προκύπτει αλλαγή τότε πραγματοποιούνται οι έλεγχοι που φαίνονται παρακάτω.

Αρχικά πραγματοποιείται ο έλεγχος αν έχει αλλάξει η τιμή του s. Αν έχει αλλάξει, τότε γίνεται έλεγχος για το αν η τιμή του είναι διάφορη του 5um. Αν ισχύει τότε παράγεται ένα μήνυμα λάθους και επιστρέφει $s = 5\mu\text{m}$. Ο έλεγχος αυτός ικανοποιεί το design rule **3** που αναφέρθηκε παραπάνω.

Εν συνεχεία πραγματοποιείται ο έλεγχος για το εάν έχει αλλάξει η τιμή του dout. Εάν έχει αλλάξει τότε πραγματοποιείται ο έλεγχος για το εάν το $dout < 100\mu\text{m}$ ή $dout > 350\mu\text{m}$. Αν ισχύει η παραπάνω συνθήκη τότε πραγματοποιείται η παρακάτω ανάθεση τιμών στις παραμέτρους :

$$Dout = 100\mu\text{m} , n = 1 , w = 5\mu\text{m} \text{ και } s = 5\mu\text{m},$$

αν δεν ισχύει τότε πραγματοποιείται η στρογγυλοποίηση της dout βάσει των τύπων που βρίσκονται στο design rule **8**.

Ο επόμενος έλεγχος πραγματοποιείται στις τιμές του n. Εάν αλλάξει η τιμή του n ή του dout ή του w τότε ελέγχεται αν το n έχει μετά την υποδιαστολή 0, 25, 5, 75. Η συνθήκη αυτή ικανοποιεί το design rule **9**. Αν δεν ισχύει η συνθήκη τότε οι τιμές των παραμέτρων αλλάζουν και γίνονται :

$$Dout = 100\mu\text{m} , n = 1 , w = 5\mu\text{m} \text{ και } s = 5\mu\text{m}$$

αν ισχύει τότε πραγματοποιείται ένα loop, από 1 έως n turns, το οποίο υπολογίζει την τιμή των SD και l για κάθε turn ενώ πραγματοποιεί τον έλεγχο της συνθήκης $SD < l/2 + w/2$. Τα SD και l υπολογίζονται από τους τύπους του design rule **10**. Αν ισχύει η συνθήκη, τότε αυτό δηλώνει ότι η i-1 στροφή ήταν η μέγιστη δυνατή στροφή που

μπορούσε να πραγματοποιηθεί. Εν συνεχεία γίνεται έλεγχος για το αν τα turns που βρέθηκαν ήταν περισσότερα από αυτά που δίνει ο χρήστης. Αν δεν ισχύει η συνθήκη αυτή επιστρέφεται στο n η τιμή που βρέθηκε +0.5.

Ο τελευταίος έλεγχος έχει να κάνει με το εάν το n που βάζει ο χρήστης είναι μικρότερο του 1. Αν ισχύει η συνθήκη αυτή τότε πραγματοποιείται reset των τιμών των παραμέτρων σε $D_{out}=100\mu m$, $w=5\mu m$, $s=5\mu m$ και $n=1$. Μετά τους ελέγχους υπολογίζεται η τιμή του L βάσει των παραμέτρων που ορίζει ο εκάστοτε χρήστης. Αρχικά υπολογίζονται το d_{avg} , d_{in} και p και έπειτα υπολογίζεται ο τύπος

$$L = \frac{K1 * m_o * (n^2) * d_{avg}}{(1 + K2 * p)}.$$

Λεπτομερής περιγραφή του τύπου θα παρουσιαστεί στο επόμενο κεφάλαιο.

ΚΕΦΑΛΑΙΟ 4 - Μοντελοποίηση

4.1 Εισαγωγή

Στο κεφάλαιο αυτό αρχικά δίνεται ο ορισμός της μοντελοποίησης και του λόγου χρήσης της. Στη συνέχεια περιγράφεται η τεχνολογία που χρησιμοποιείται στη κατασκευή του πηνίου. Μετά την παρουσίαση της τεχνολογίας παρατίθενται οι τρόποι υπολογισμού της επαγωγής που χρησιμοποιήθηκαν για την μοντελοποίηση. Εν συνεχεία παρατίθενται τα σημαντικότερα μοντέλα και τέλος περιγράφεται η δομή και οργάνωση του αρχείου που βρίσκεται το μοντέλο ind.

4.2 Ορισμός Μοντελοποίησης

Μοντελοποίηση είναι η διαδικασία κατά την οποία κατασκευάζεται ένα μαθηματικό, μηχανικό ή ηλεκτρικό σύστημα το οποίο είναι ικανό να προσομοιώνει τα χαρακτηριστικά και την συμπεριφορά του φαινομένου που μελετάται.

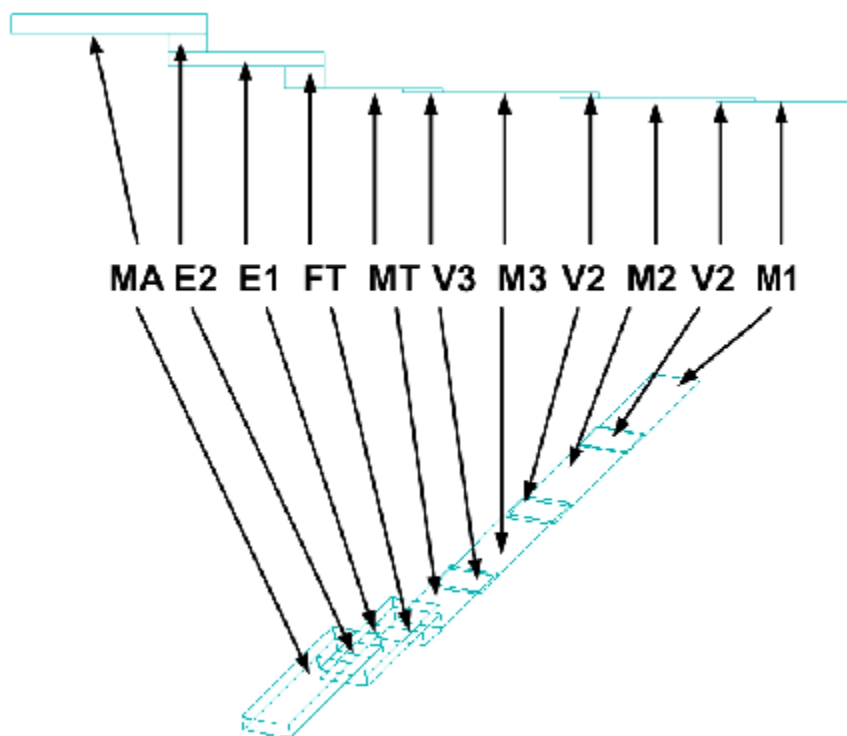
Στην προκειμένη περίπτωση μελετάται η συμπεριφορά και τα χαρακτηριστικά ενός οκταγωνικού πηνίου το οποίο κατασκευάζεται στην τεχνολογία 7 μετάλλων Bicmos7WL και η πιθανότητα εξαγωγής ενός μοντέλου το οποίο να παρουσιάζει παρόμοια, με το πηνίο, συμπεριφορά.

Η μοντελοποίηση του πηνίου βοηθάει στην καλύτερη κατανόηση των φαινομένων που επηρεάζουν την λειτουργία του καθώς και στην εξαγωγή μετρήσεων σε μικρότερο χρόνο.

Το RF momentum είναι ο simulator του layout του ADS. Ο συγκεκριμένος simulator θεωρείται από τους καλύτερους καθώς παρουσιάζει αποτελέσματα παρόμοια με αυτά των μετρήσεων στο τυπωμένο κύκλωμα. Ο simulator του layout για να ολοκληρώσει ένα simulation χρειάζεται τουλάχιστον 10 λεπτά. Η διάρκεια της προσομοίωσης μπορεί να διαρκέσει και αρκετές ώρες ανάλογα με την επεξεργαστική ικανότητα του υπολογιστή και την πολυπλοκότητα του layout. Εν αντιθέσει το μοντέλο στο schematic προσομοιώνεται σε 5 – 10 δευτερόλεπτα. Το γεγονός αυτό σημαίνει ότι εάν παραχθεί ένα μοντέλο αρκετά ακριβές τότε θα μπορεί ο χρήστης να έχει πολύ γρήγορα τα αποτελέσματα που επιθυμεί.

4.3 Χαρακτηριστικά τεχνολογίας 6 μετάλλων Bicmos7WL

Τα technology files που χρησιμοποιήθηκαν, και περιγράφονται παραπάνω, περιλαμβάνουν 6 μέταλλα για σχεδίαση και 5 μέταλλα για μετάβαση από το ένα μέταλλο στο άλλο (via). Η ιεραρχία των μετάλλων φαίνεται στην παρακάτω εικόνα.



Εικόνα 4.20

Πάνω από το MA υπάρχει ένα στρώμα διοξείδιο του πυριτίου, ένα στρώμα nitride και ένα στρώμα polyimide. Κάτω από το M1 υπάρχει ένα στρώμα διοξειδίου του πυριτίου(SiO2_T). Κάτω από το SiO2_T υπάρχει το υπόστρωμα του πυριτίου. Ο χώρος μεταξύ των μετάλλων αποτελείται από διοξείδιο του πυριτίου. Στον επόμενο πίνακα φαίνονται τα layers σε ιεραρχική διάταξη. Τα sub layers είναι τα layers του υποστρώματος. Τα metal layers είναι τα μέταλλα σχεδίασης .

Στο παρακάτω πίνακα φαίνονται οι ποσότητες T , E_r , μ και σ . Το T είναι το πάχος του μέσου σε μm , το E_r είναι η σχετική ηλεκτρική διαπερατότητα του διηλεκτρικού (αδιάστατη), το μ είναι η σχετική μαγνητική διαπερατότητα (αδιάστατη) και το σ είναι η ειδική αγωγιμότητα σε $(S/m = (Ohm \cdot m)^{-1})$. Από το σ υπολογίζεται η ειδική αντίσταση ρ σε $Ohm \cdot m$ από τον τύπο : $\rho = \frac{1}{\sigma}$.

metals&sub layers	Type	T(um)	Er	Mu	σ (S/m)	Via	σ (S/m)
POLYIMIDE	sub layer	2,5	3,4	1			
NITRIDE	sub layer	0,45	7	1			
SiO2_T	sub layer	1,35	4,1	1			
MA	metal	4		1	3,57143E+07		
SiO2MA_E1	sub layer	4	4,1	1		E2(metal)	1,42857E+07
E1	metal	3		1	5,29101E+07		
SiO2E1_MT	sub layer	4,48	4,1	1		FT(metal)	6,50364E+06
MT	metal	0,48		1	2,34082E+07		
SiO2MT_M3	sub layer	1,03	4,1	1		V3(metal)	2,69819E+06
M3	metal	0,48		1	2,34082E+07		
SiO2M3_M2	sub layer	1,03	4,1	1		V2(metal)	2,69819E+06
M2	metal	0,48		1	2,34082E+07		
SiO2M2_M1	sub layer	0,66	4,1	1		V1(metal)	1,71703E+06
M1	metal	0,31		1	3,62450E+07		
SiO2_B	sub layer	1,1	4,1	1			
Silicon Substrate	sub layer	300	11,9	1	7,41000E+00		

Πίνακας 4.1

4.4 Υπολογισμός DC επαγωγής πηνίου

4.4.1 Εισαγωγή

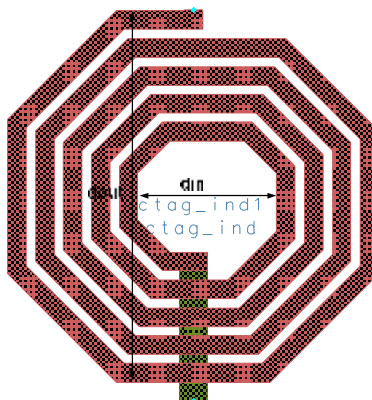
Ο υπολογισμός της dc inductance του πηνίου πραγματοποιείται με 3 τρόπους όπως παρουσιάζεται στο [2] .

4.4.2 Υπολογισμός ρ , d_{avg} και d_{in}

Η ποσότητα **din** είναι η εσωτερική διάμετρος του πηνίου (um) , όπως φαίνεται και στην εικόνα 4.2 , και υπολογίζεται από τον τύπο :

$$din = dout - (2 * t * w + 2 * (t - 1) * s) - Q_{.25} * (w + s) + Q_{.5} * (w + s) + Q_{.75} * 2 * (w + s)$$

Το t είναι ο ακέραιος αριθμός των turns. Τα $Q_{.25}$, $Q_{.5}$ και $Q_{.75}$ είναι μεταβλητές ελέγχου που παίρνουν την τιμή 1 εάν αληθεύει ότι το $Q_{turns} = turns -$ είναι 0.25 , 0.5 και 0.75 αντίστοιχα.



Εικόνα 4.21

Το **davg** είναι η μέση διάμετρος του πηνίου (um). Το davg υπολογίζεται από τον τύπο: $d_{avg} = \frac{d_{out} + d_{in}}{2}$.

Το **p** είναι ο λόγος που δείχνει το πόσο πολύ έχει γεμίσει το εσωτερικό του πηνίου. Υπολογίζεται από τον τύπο : $p = \frac{d_{out} - d_{in}}{d_{out} + d_{in}}$. Όταν προκύπτει μικρό p τότε $d_{out} \approx d_{in}$ οπότε και το πηνίο χαρακτηρίζεται ως hollow. Όταν προκύπτει μεγάλο p τότε ισχύει ότι $d_{out} \gg d_{in}$ οπότε και το πηνίο χαρακτηρίζεται ως fill.

4.4.3 Υπολογισμός inductance με τον τύπο modified Wheeler formula

Ο τύπος modified Wheeler προκύπτει μετά από απλοποίηση του τύπου που προτείνεται από τον Wheeler στο [?]. Ο τύπος modified Wheeler φαίνεται παρακάτω:

$L = K1 * \mu_0 * n^2 * \frac{d_{avg}}{1 + K2 * p}$ (nH). Το n είναι ο αριθμός των turns, το μ_0 είναι η μαγνητική διαπερατότητα του κενού (1260 nHm^{-1}) και τα K1 και K2 είναι οι fitting τιμές οι οποίες εξαρτώνται από την γεωμετρία του πηνίου. Οι τιμές αυτές, για οκταγωνικό πηνίο, είναι: $K1 = 2.25, K2 = 3.55$.

4.4.4 Υπολογισμός inductance κάνοντας χρήση current sheet approximation

Ένας απλός και ακριβής τρόπος υπολογισμού της inductance ενός πηνίου μπορεί να προκύψει προσεγγίζοντας τις πλευρές του πηνίου ως συμμετρικά current sheets τα οποία έχουν ίσες εντάσεις ρεύματος.

Για παράδειγμα, στην περίπτωση του τετραγωνικού πηνίου, τα current sheets στις απέναντι πλευρές είναι παράλληλα μεταξύ τους ενώ αυτά που είναι παρακείμενα μεταξύ τους είναι ορθογώνια. Χρησιμοποιώντας συμμετρία και το γεγονός ότι η mutual inductance των ορθογώνιων current sheets είναι μηδενική, ο υπολογισμός της inductance περιορίζεται στον υπολογισμό της self inductance των current sheets και των mutual inductances που παρουσιάζονται μεταξύ των παραλλήλων current sheets.

Βάσει του παραπάνω σκεπτικού προκύπτει ο τύπος :

$$L_{gmd} = 0.5 * n^2 * \mu_0 * d_{avg} * C1 * (\ln(\frac{C2}{p}) + C3 * p + C4 * p^2) \text{ (nH)}$$

Οι τιμές C1 , C2 , C3 και C4 είναι fitting παράμετροι που εξαρτώνται από την γεωμετρία του πηνίου και έχουν τις παρακάτω τιμές :

C1 = 1.07 , C2 = 2.29 , C3 = 0 και C4 = 0.19.

4.4.5 Υπολογισμός inductance κάνοντας χρήση του data fitted monomial expression

Η data fitted monomial expression είναι:

$$L_{mean} = \beta * d_{out}^{a1} * w^{a2} * d_{avg}^{a3} * n^{a4} * s^{a5}$$

Οι τιμές των μεταβλητών β , $a1$, $a2$, $a3$, $a4$ και $a5$ προκύπτουν ως εξής:

1. Έστω ότι : $x1 = \log(d_{out})$, $x2 = \log(w)$, $x3 = \log(d_{avg})$, $x4 = \log(n)$ και $x5 = \log(s)$.
2. $y = \log(L_{mean}) = a0 + a1x1 + a2x2 + a3x3 + a4x4 + a5x5$, όπου $a0$ είναι το $a0 = \log(\beta)$.
3. Γίνεται χρήση της μεθόδου least squares fit , η οποία εκφράζεται από τον

$$\text{τύπο} : \sum_{k=1}^N (y(k) - a0 - a1x1(k) - a2x2(k) - a3x3(k) - a4x4(k) - a5x5(k))^2 .$$

Επιλέγεται να γίνονται minimized τα a_i . Το N είναι ο αριθμός των μετρήσεων που έχουν γίνει.

Οι τελικές τιμές , που προκύπτουν σύμφωνα με τις μετρήσεις του [?] , είναι :

$\beta = 1.33e-3$, $a1 = -1.21$, $a2 = -0.163$, $a3 = 2.43$, $a4 = 1.75$ και $a5 = -0.049$.

4.4.6 Επιλογή τύπου για την επαγωγή του πηνίου

Αρχικά αποκλείεται η χρήση του τύπου data fitted monomial expression καθώς παράγεται με την χρήση των δεδομένων του συγγραφέα του [;]. Ο current sheet approximation τύπος παράγει ένα error της τάξης του 8% και πάνω για $s \leq 3 * w$. Λόγω των παραπάνω επιλέγεται ο τύπος modified Wheeler formula. Όπως φαίνεται και στο επόμενο κεφάλαιο η τιμή του L_{mw} παρουσιάζει μικρή απόκλιση από την DC τιμή της inductance.

4.5 Παρασιτικά φαινόμενα στο πηνίο

4.5.1 Εισαγωγή

Παρακάτω παρατίθενται τα παρασιτικά φαινόμενα που επηρεάζουν την απόδοση του πηνίου. Τα φαινόμενα αυτά είναι skin effect , διαρροή ηλεκτρικού πεδίου στο υπόστρωμα , proximity effect και eddy currents στο υπόστρωμα.

4.5.2 Αντίσταση αγωγού και skin effect

Η DC αντίσταση του πηνίου υπολογίζεται από τον τύπο: $R_{dc} = \frac{len}{\sigma_{ma} * w * tma}$ (1). Όπου το len είναι το μήκος του αγωγού , σ_{ma} είναι η

ειδική αγωγιμότητα του αγωγού ($(Sm)^{-1}$) , w είναι το πλάτος του αγωγού και tma

είναι το πάχος του αγωγού. Σύμφωνα με το [1] , ισχύει ότι $R = \frac{V}{I}$ (2), όπου η V είναι

η τάση κατά μήκος του αγωγού και I είναι η ένταση του ρεύματος του αγωγού. Το

πεδίο E είναι ομοιόμορφο και είναι ίσο με $E = V / len$. Άρα το $V = E * len$ (3). Το I

είναι ίσο με : $I = vd * p * A = vd * p * tma * w$ (4) όπου vd είναι η ταχύτητα

μεταφοράς (ms^{-1}) , p είναι η πυκνότητα φορτίου (Cm^{-3}) και A είναι η επιφάνεια

αγωγίμου μέσου άρα $A = tma * w$. Από (2) , (3) και (4) προκύπτει ότι

$R = \frac{E * len}{vd * p * tma * w}$. Όμως το : $\frac{E}{vd * p} = \frac{1}{\sigma_{ma}}$. Οπότε και προκύπτει ο τύπος (1).

Η DC αντίσταση του αγωγού δεν ανταποκρίνεται στην αντίσταση που παρουσιάζει ο αγωγός όταν σε αυτόν εφαρμόζεται ρεύμα υψηλής συχνότητας.

Συμφωνά με το [1] , το ρεύμα μικραίνει στην βάση του αγωγού οπότε και αυξάνεται

η αντίσταση του. Η μείωση της πυκνότητας ρεύματος ($J A/m^2$) συναρτήσει της

διάστασης x αναπαρίσταται από τον τύπο : $J = J_0 e^{-\frac{x}{\delta}}$ (5), όπου το δ είναι το βάθος

διείσδυσης και το οποίο ορίζεται ως $\delta = \frac{1}{\sqrt{f * \pi * \mu_0 * \sigma_{ma}}}$ (6). Αφού το J διαφέρει

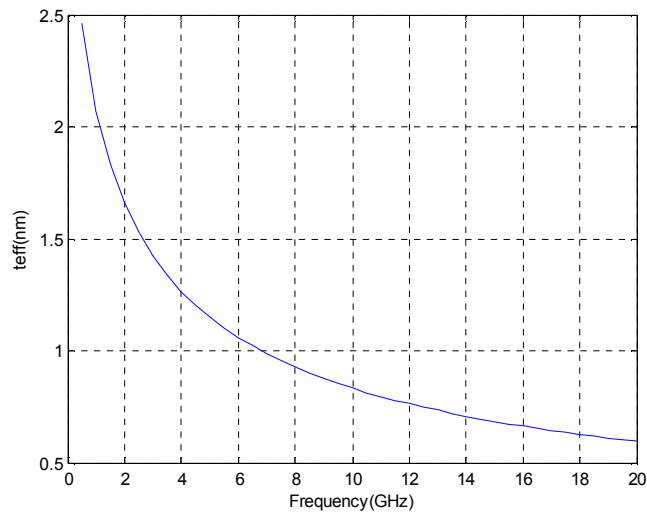
μόνο ως προς την x κατεύθυνση τότε το I υπολογίζεται από τον τύπο :

$I = \int J * dA = \int_0^{tma} J_0 e^{-\frac{x}{\delta}} * w * dx = J_0 * w * \delta * (1 - e^{-\frac{tma}{\delta}})$. Οπότε η αντίσταση του

πηνίου υπολογίζεται από τον τύπο : $R = \frac{len}{\sigma_{ma} * w * \delta * (1 - e^{-\frac{tma}{\delta}})}$ (7). Η ποσότητα

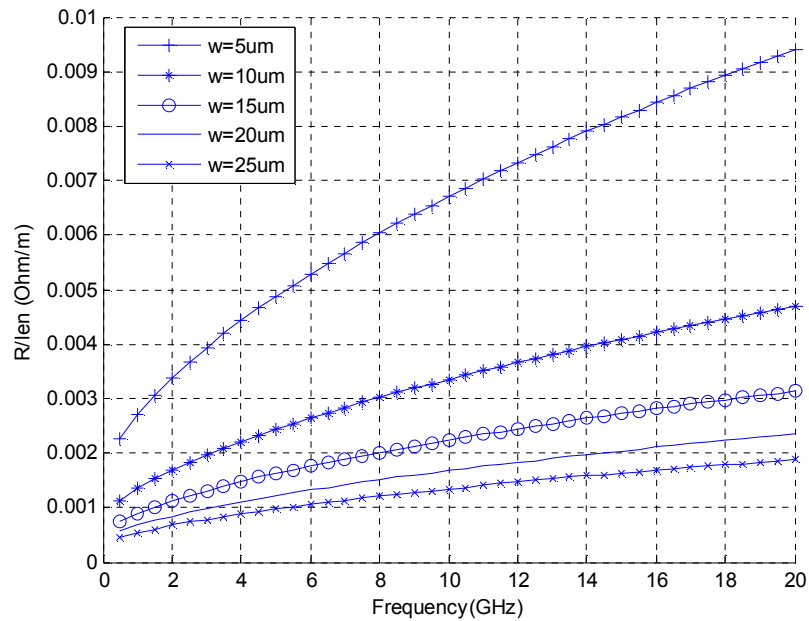
$\delta * (1 - e^{\frac{-tma}{\delta}})$ ονομάζεται effective thickness (teff). Το παραπάνω φαινόμενο ονομάζεται **skin effect**.

Παρακάτω φαίνεται η συμπεριφορά του **teff (nm)** όσο αυξάνει η **συχνότητα**.



Εικόνα 4. 22

Παρακάτω φαίνεται η **αντίσταση ανά μονάδα μήκους του αγωγού** για διαφορετικά **w**.

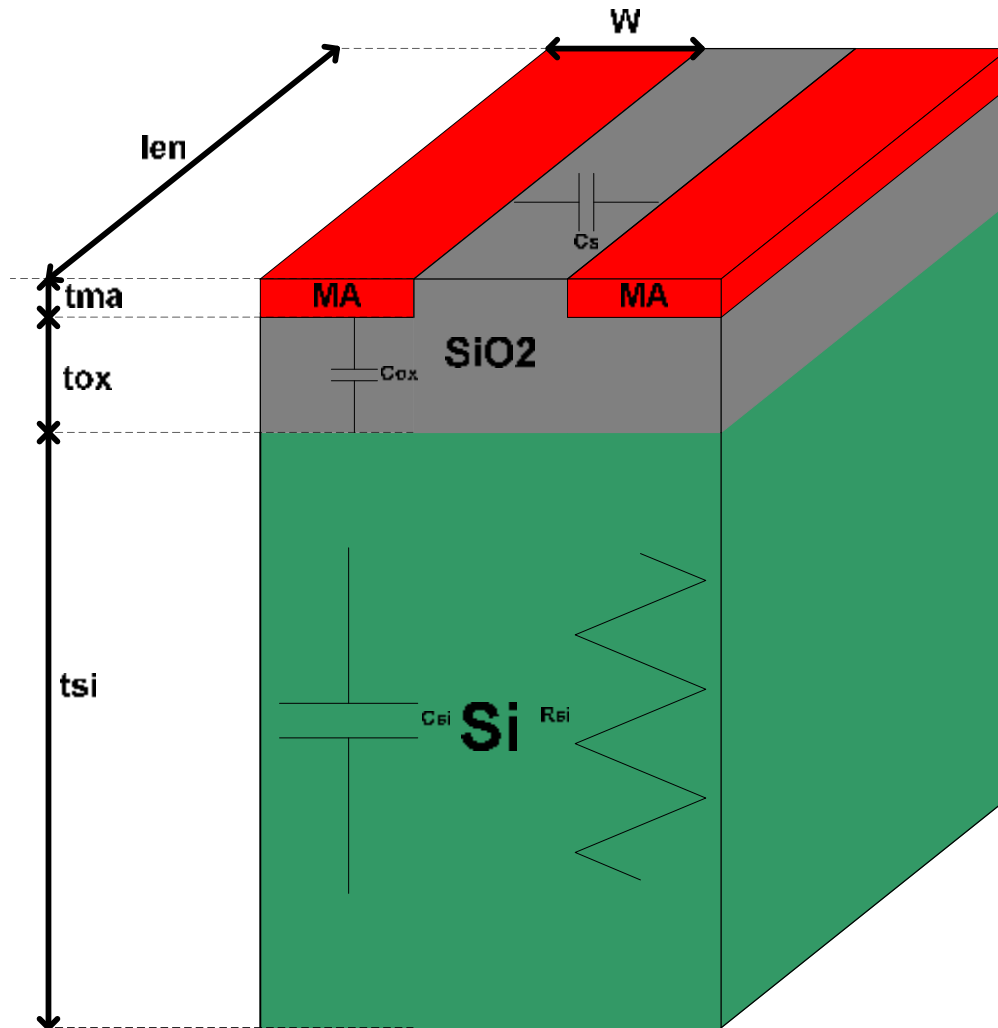


Εικόνα 4. 23

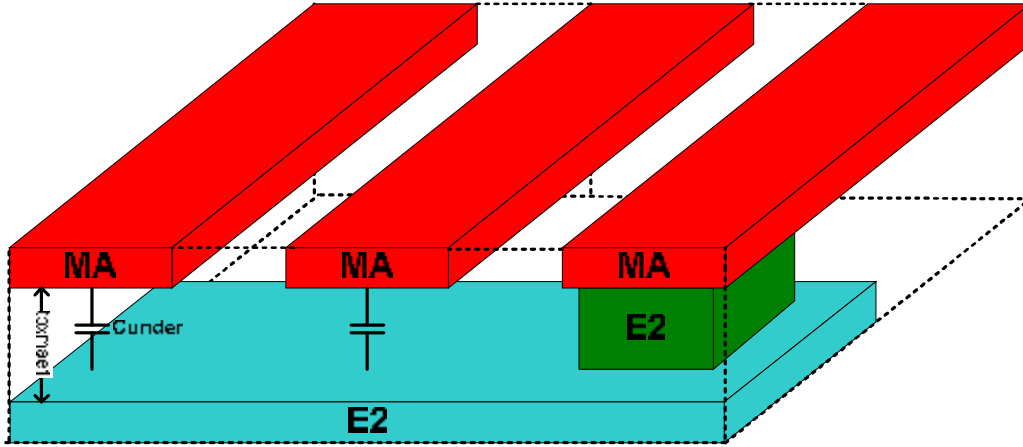
Παρατηρείται ότι όσο αυξάνεται το width(w) , μειώνεται το R/len (Ohm/m)

4.5.3 Παρασιτικές Χωρητικότητες και διαρροές στο υπόστρωμα

Σύμφωνα με τα [2], [4], [5], [6], [7] και [8], οι παρασιτικές χωρητικότητες και οι διαρροές στο υπόστρωμα που δημιουργούνται στο πηνίο φαίνονται στα παρακάτω σχήματα:



Εικόνα 4. 24



Εικόνα 4. 25

Οι **Cox** , **Csi** , **Cs** και **Cunder** είναι παρασιτικές χωρητικότητες που δημιουργούνται λόγω της διάχυσης του ηλεκτρικού πεδίου του πηνίου στο substrate. Στην DC λειτουργία , το πηνίο δεν παρουσιάζει τέτοιου είδους διαρροές ενώ στην AC λειτουργία πραγματοποιείται διαρροή ηλεκτρικού πεδίου στο substrate με αποτέλεσμα την δημιουργία των παραπάνω παρασιτικών χωρητικοτήτων. Πριν γίνει η περιγραφή των παραπάνω χωρητικοτήτων , θεωρείται σκόπιμη η παράθεση της θεωρίας υπολογισμού χωρητικοτήτων πρώτα.

Ο υπολογισμός των χωρητικοτήτων μεταξύ δύο πλακών, σύμφωνα με το [1], πραγματοποιείται ως εξής:

Η χωρητικότητα C (σε Farad)είναι : $C = \frac{Q}{V}$ (8), όπου Q είναι το φορτίο σε Coulomb

και V είναι η τάση σε Volt. Το Q είναι : $Q = \rho_s * A$ (9), όπου το ρ_s είναι η επιφανειακή πυκνότητα φορτίου και A είναι το εμβαδόν της πλάκας (m^2). Το ρ_s υπολογίζεται από τον τύπο $\rho_s = \epsilon_0 \epsilon_r E$ ($C * m^{-2}$)(10), όπου το ϵ_0 είναι η ηλεκτρική διαπερατότητα του κενού(= $8,854pFm^{-1}$) και ϵ_r είναι η σχετική διαπερατότητα του μέσου. Θεωρώντας ότι το πεδίο των παράλληλων πλακών είναι ομοιόμορφο τότε προκύπτει ότι $V = |E| * d$ (11) όπου το d είναι η απόσταση των πλακών και E είναι η ένταση του ηλεκτρικού πεδίου. Από τα παραπάνω προκύπτει ότι :

$$C = \frac{Q}{V} \Leftrightarrow C = \frac{\rho_s * A}{E * d} \Leftrightarrow C = \frac{\epsilon_0 * \epsilon_r * E * A}{E * d} \Leftrightarrow C = \frac{\epsilon_0 * \epsilon_r * A}{d} \quad (12) .$$

Ο **Cox** είναι ο πυκνωτής που αναπαριστά τη χωρητικότητα που αναπτύσσεται μεταξύ του μετάλλου και του Si substrate με ενδιάμεσο μέσο SiO₂. Το Cox υπολογίζεται από τον τύπο (12), θεωρώντας ότι ο inductor είναι μια γραμμή μεταφοράς, μήκους ίσου με το άθροισμα των πλευρών του πηνίου. Οπότε αντικαθιστώντας το d με το tox και το A με το len*w, προκύπτει :

$$C_{ox} = \frac{e_0 * e_{rox} * len * w}{tox} \quad (13).$$

Ο **Csi** είναι ο πυκνωτής που αναπαριστά τη χωρητικότητα που αναπτύσσεται μεταξύ του Si substrate και της γείωσης. Κάνοντας τις παραδοχές που έγιναν παραπάνω και αντικαθιστώντας στον 12 το d με tsi και το A με len*w, προκύπτει:

$$C_{si} = \frac{e_0 * e_{rsi} * len * w}{tsi} \quad (14).$$

Ο **Cunder** είναι ο πυκνωτής που αναπαριστά την χωρητικότητα που αναπτύσσεται μεταξύ των MA και E1 από τα σημεία που περνά το underpass κάτω από το MA. Το A υπολογίζεται από τον τύπο: $A = t * w * wunder$, όπου το t είναι ο ακέραιος αριθμός των turns και wunder είναι το πλάτος του path του underpass. Το d είναι ίσο με tox_{mael}. Οπότε και προκύπτει :

$$C_{under} = \frac{e_0 * e_r * t * w * wunder}{tox_{mael}} \quad (15).$$

Ο **Cs** είναι ο πυκνωτής που αναπαριστά την χωρητικότητα που αναπτύσσεται μεταξύ των σπειρών του MA. Το A υπολογίζεται από τον τύπο : $A = lend * tma$ όπου $lend = len - lenx$. Το lenx είναι το μήκος των εξωτερικών πλευρών του πηνίου. Το d ισούται με s. Άρα :

$$C_s = \frac{lend * tma * e_0 * e_{rox}}{s} \quad (16).$$

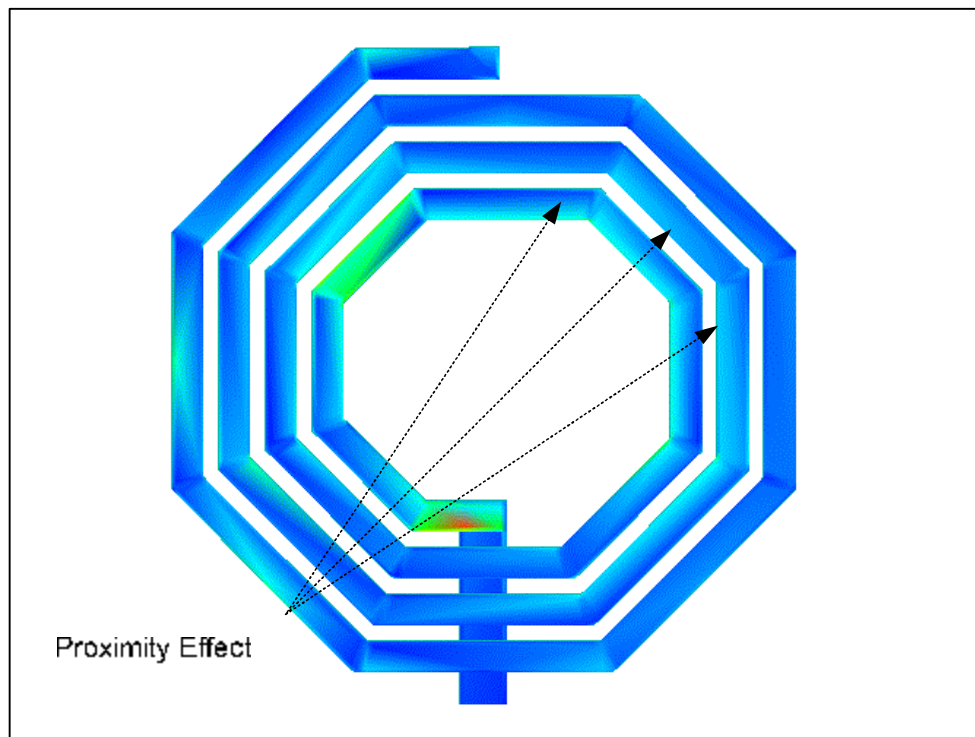
Το substrate χαρακτηρίζεται ως lossy καθώς παρουσιάζει conductivity ίση με 7.41, γεγονός το οποίο σημαίνει ότι υπάρχει μετατροπή του ηλεκτρικού πεδίου που διατρέχει το substrate Si σε κίνηση φορέων. Γεγονός το οποίο αναπαρίσταται με την **Rsi**. HRsi υπολογίζεται από τον τύπο (1) με την διαφορά ότι σαν len θεωρείται το tsi και σαν πάχος αγωγού θεωρείται το len του αγωγού.

Οπότε και το ο τύπος που προκύπτει είναι :

$$R_{si} = \frac{t_{si}}{condSi * len * w} \quad (17)$$

4.5.4 Proximity effect

Το proximity effect , συμφωνά με το [9] , είναι το φαινόμενο κατά το οποίο το μαγνητικό πεδίο που προκαλείται από γειτονικές γραμμές αλλάζει την κατανομή του ρεύματος στον αγωγό με αποτέλεσμα την δημιουργία ρευμάτων υψηλής έντασης στα άκρα του αγωγού. Τα ρεύματα αυτά που προκαλούνται ονομάζονται Eddy ρεύματα. Το γεγονός αυτό επηρεάζει περισσότερο από το skin effect την αύξηση της αντίστασης και την μείωση του Quality factor. Το proximity effect φαίνεται και στην αναπαράσταση των ρευμάτων στα 0.500 GHz στην εικόνα 4.26.



Εικόνα 4.26

4.5.5 Απώλειες λόγω του Eddy current στο substrate

Το Eddy current , συμφωνά με το [9] , παρουσιάζεται στο Si substrate λόγω του φαινομένου της διάχυσης του μαγνητικού πεδίου του πηνίου σε αυτό. Το γεγονός αυτό είναι ιδιαίτερα σημαντικό για substrate με resistivity κάτω της τιμής του 1Ωcm. Για υπόστρωμα με resistivity άνω των 10 Ohm*cm , οι τιμές των ρευμάτων αυτών είναι τόσο μικρές ώστε να επηρεάζουν την απόδοση του πηνίου σε πολύ μικρό βαθμό. Στην παρούσα περίπτωση το resistivity του substrate προκύπτει από τον τύπο:

$$\rho_{si} = \frac{1}{\sigma_{si}} = \frac{1}{7.41} (Ohm * m) = 0.1350(Ohm * m) = 13.50 Ohm * cm . \quad \text{Το γεγονός αυτό}$$

σημαίνει ότι τα eddy currents του Substrate στην παρούσα τεχνολογία δεν επηρεάζουν την απόδοση του πηνίου.

4.6 Προτεινόμενα Μοντέλα

4.6.1 Εισαγωγή

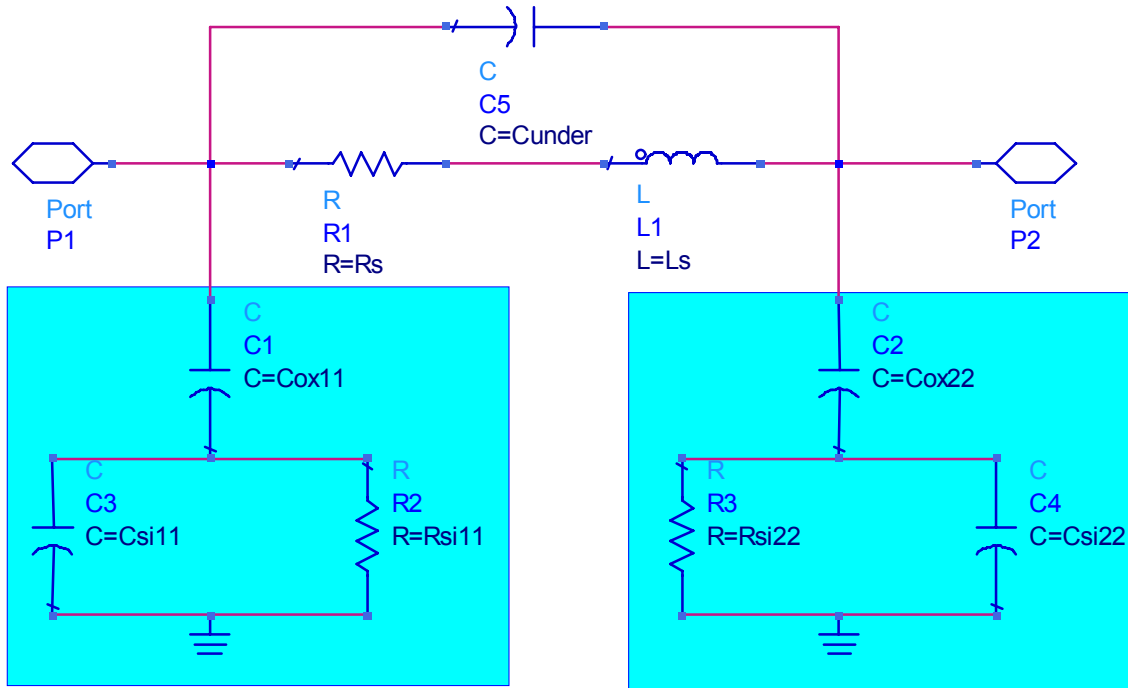
Παρακάτω παρατίθενται τα μοντέλα τα οποία προτείνονται από την βιβλιογραφία που βρέθηκε.

4.6.2 Conventional Single Π model

Το conventional Single Π model που προτείνεται από το [4] είναι αυτό που θεωρείται ως η βάση για την μοντελοποίηση του πηνίου . Ο λόγος είναι ότι βασίζεται στην μοντελοποίηση των βασικότερων φαινομένων που επηρεάζουν την απόδοση του πηνίου. Τα φαινόμενα αυτά είναι το skin effect και η διαρροή ηλεκτρικού πεδίου στο υπόστρωμα. Το μοντέλο φαίνεται στην εικόνα 4.8.

Το Rs υπολογίζεται από τον τύπο (7) . Το Rs είναι η αντίσταση που παρουσιάζει το πηνίο. Το Ls υπολογίζεται από τον τύπο του Greenhouse . Ο τύπος αυτός υπολογίζει την self inductance κάθε πλευράς και την mutual inductance που δημιουργείται από την μαγνητική αλληλεπίδραση της πλευράς αυτής με τις γειτονικές της. Αθροίζοντας όλα τα παραπάνω προκύπτει η συνολική inductance. Παρόλο που θεωρείται ανώτερός του modified Wheeler , για το simulation επιλέγεται ο δεύτερος λόγω της απλότητας και της ικανοποιητικής ακρίβειας του. Το Ls είναι η συνολική επαγωγή που παρουσιάζει το πηνίο. Το Cunder είναι η χωρητικότητα που προκύπτει μεταξύ των MA και underpass και υπολογίζεται από τον τύπο (15). Οι διαρροές στο υπόστρωμα μοντελοποιούνται στις σημειωμένες περιοχές της εικόνας 4.8. Το Cox11

$= C_{ox22} = C_{ox}/2$, όπου το C_{ox} υπολογίζεται από τον τύπο (13). Το $C_{si11} = C_{si12} = C_{si}/2$, όπου το C_{si} υπολογίζεται από τον τύπο (14). Το $R_{si11} = R_{si22} = 2 \cdot R_{si}$, όπου το R_{si} υπολογίζεται από τον τύπο (17). Ουσιαστικά είναι σαν να επιλύουμε τους τύπους 13 , 14 και 17 ως για $len^* = len/2$.



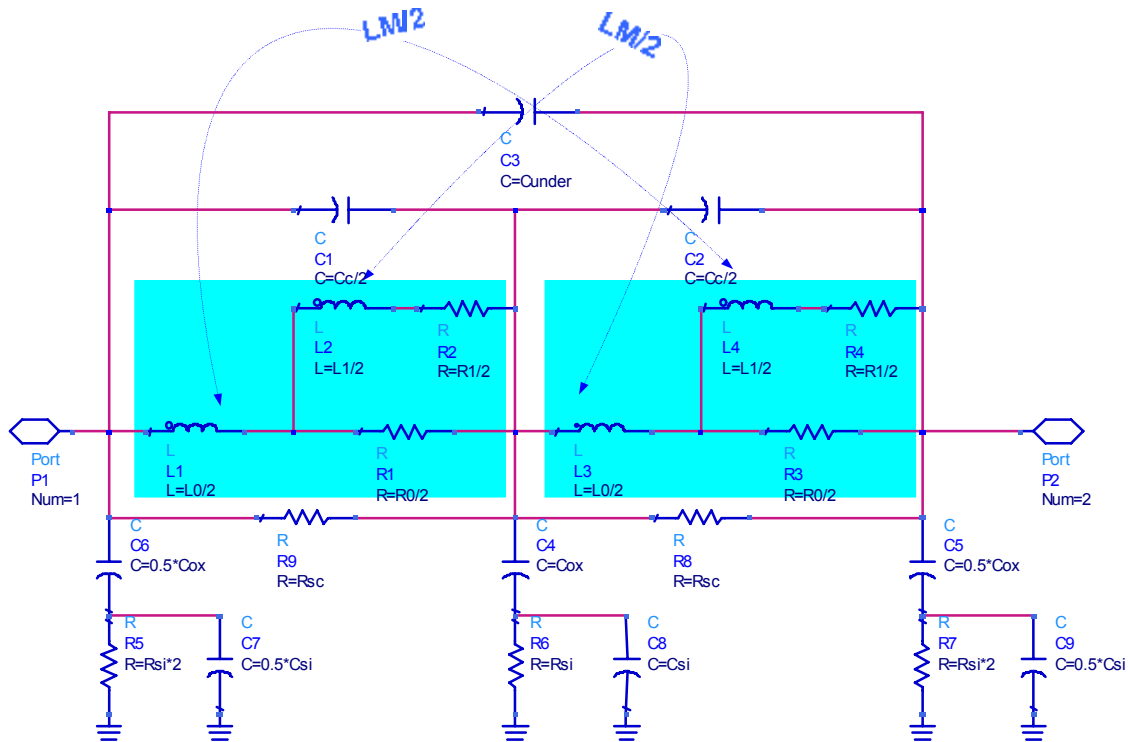
Εικόνα 4.27

4.6.3 Scalable 2 Π model

Στο [9] , παρουσιάζεται ένα μοντέλο στο οποίο γίνεται προτείνεται ένας τρόπος για την αποφυγή του frequency dependent component R_s του παραπάνω μοντέλου και την επίτευξη μεγαλύτερης ακρίβειας στην απόδοση των αποτελεσμάτων. Στο συγκεκριμένο μοντέλο συμπεριλαμβάνονται τα φαινόμενα skin effect , proximity effect και διαρροές στο υπόστρωμα. Το αντίστοιχο κύκλωμα φαίνεται στην εικόνα 4.9.

Το skin effect μοντελοποιείται με ένα ladder circuit . Το ladder κύκλωμα αποτελείται από 4 στοιχεία : 2 επαγωγές ($L0$ & $L1$) και 2 αντιστάσεις ($R0$ & $R1$).

Το proximity effect μοντελοποιείται με την χρήση της mutual inductance $L_m/2$ μεταξύ των $L1$ και $L4$, και μεταξύ των $L2$ και $L3$.



Εικόνα 4.28

Αρχικά υπολογίζονται τα Rdc και Ldc. Το Rdc υπολογίζεται από τον τύπο (1) και το Ldc κάνοντας χρήση του Modified Wheeler τύπου.

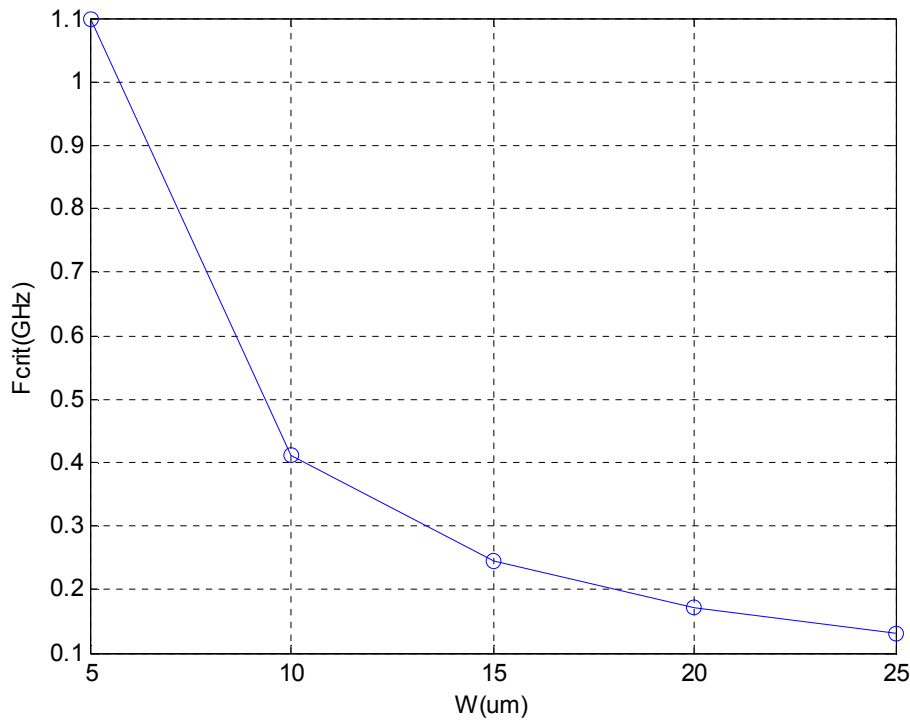
Εν συνεχεία υπολογίζεται το W_{crit} . Το W_{crit} είναι η συχνότητα κατά την οποία τα παρασιτικά eddy ρεύματα στο πηνίο αρχίζουν να έχουν τιμές που επηρεάζουν την απόδοση του πηνίου. Το W_{crit} υπολογίζεται από τον τύπο :

$$\omega_{crit} = \frac{3.1 * P * Rsheet}{mo * w^2}, \text{ όπου το P είναι το } w+s, \text{ το } Rsheet = \frac{pma}{tma} = \frac{1}{tma * \sigma_{\alpha}}, \text{ το}$$

πο είναι το μαγνητική διαπερατότητα του κενού. Ακολουθεί η γραφική που δείχνει την σχέση μεταξύ του ω και της critical frequency η οποία υπολογίζεται από τον τύπο

$f_{crit} = \frac{\omega_{crit}}{2 * \pi}$. Παρατηρείται ότι όσο αυξάνει το W μειώνεται η f_{crit} . Γεγονός που

σημαίνει ότι τα παρασιτικά φαινόμενα σε πηνία με μεγάλο w εγείρονται σε μικρές συχνότητες.



Εικόνα 4.29

Αφού υπολογιστεί η critical frequency , γίνεται επίλυση της παρακάτω δευτεροβάθμιας εξίσωσης:

$$\frac{(0.315 * R_{dc}^2)}{m * \omega_{crit}^2 * L_{dc}^2} * nr^2 + \frac{(\varepsilon_{ox} * len^2)}{(6 * Cox * Ldc * c^2)} * nr - 1 = 0 \quad (18)$$

Όπου το $\varepsilon_{ox} = \varepsilon_r * \varepsilon_0$, το c είναι η ταχύτητα του φωτός (300000 Km/sec) και το

$$m = \frac{240}{n^{1.23}}. \text{Εστω ότι } A = \frac{(0.315 * R_{dc}^2)}{m * \omega_{crit}^2 * L_{dc}^2} \text{ και } B = \frac{(\varepsilon_{ox} * len^2)}{(6 * Cox * Ldc * c^2)}, \text{ οπότε από την}$$

(18) προκύπτει :

$$A * nr^2 + B * nr - 1 = 0$$

Παίρνοντας την διακρίνουσα έχουμε:

$$D = B^2 + 4 * A$$

Οι δύο ρίζες nr1 και nr2 προκύπτουν από τον τύπο:

$$nr_{1,2} = \frac{-B \pm \sqrt{D}}{2 * A}.$$

Από τις 2 ρίζες επιλέγεται η θετική.

Στη συνέχεια υπολογίζεται το K το οποίο είναι το mutual inductor coupling coefficient. Το K υπολογίζεται από τον τύπο :

$$K = \sqrt{\frac{0.315}{m} * \frac{R_{dc}}{\omega_{crit} * L_{dc}}} * nr$$

Οι τιμές των components υπολογίζονται από τους τύπους:

$$R0 = (1 + nr^{-1}) * Rdc$$

$$R1 = nr * R0$$

$$L0 = \frac{(1 - 3.57 * K)}{nr^{3/2}} * Ldc$$

$$L1 = \frac{L0}{0.315 * nr}$$

$$Lm = k * \sqrt{L0 * L1}$$

$$Rsc = 1.5 * \frac{\rho_{si} * n * (w + s)}{len * tsi}$$

Το Rsc αντιπροσωπεύει την ροή φορέων μεταξύ των ports διαμέσου του substrate.

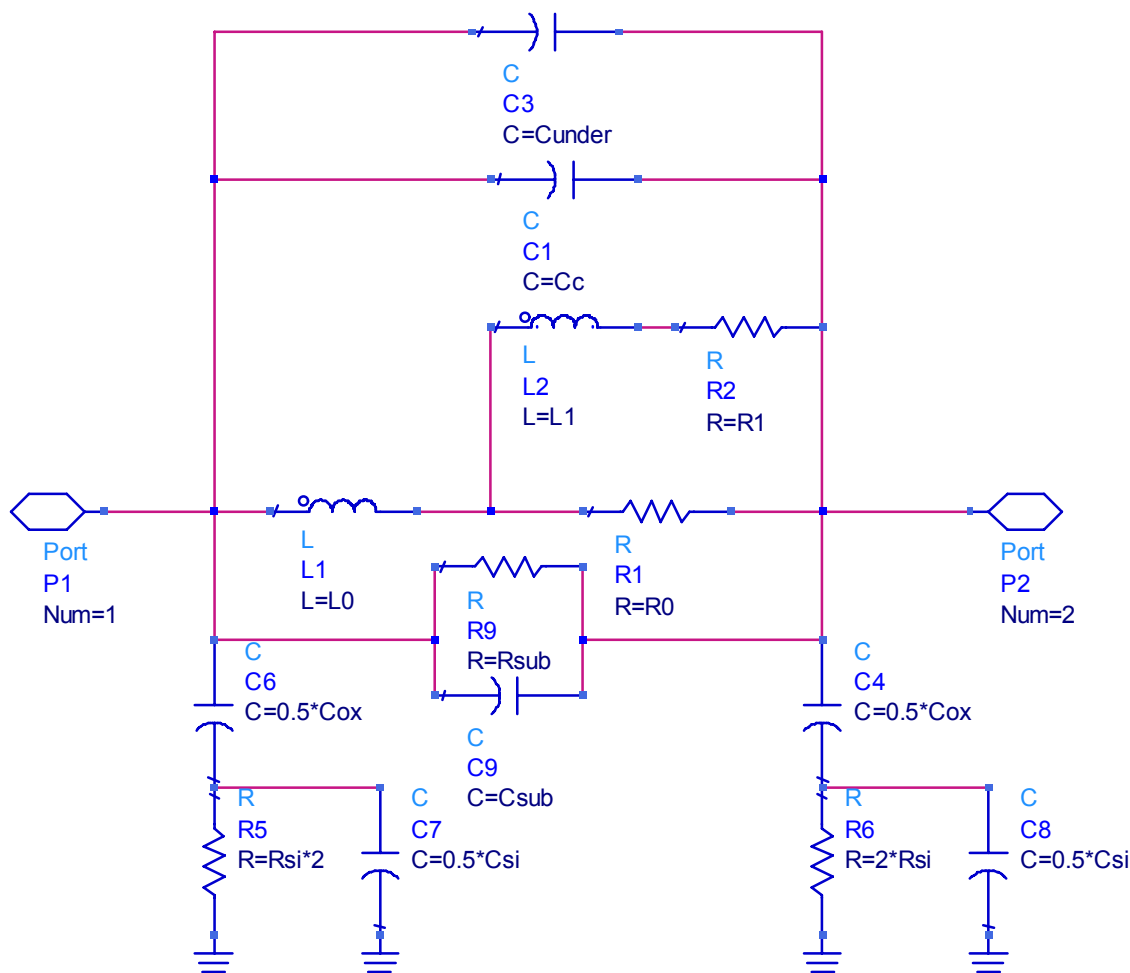
Τα παρασιτικά components Csi , Cox , Rsi , Cs και Cunderpass υπολογίζονται βάσει των τύπων στην παράγραφο 4.5.3.

4.6.4 Scalable Single Π model

Το μοντέλο το οποίο προτείνεται από το [10], και φαίνεται στην 4.11, ακολουθεί την λογική του παραπάνω μοντέλου. Στην περίπτωση αυτή αποφεύγεται να γίνει μοντελοποίηση του proximity effect και προτιμάται η χρήση 2 καινούργιων στοιχείων του Rsub και Csub. Τα Rsub και Csub υπολογίζονται βάσει των αναλυτικών τύπων που βρίσκονται στα [12] και [13]. Προσεγγιστικά θεωρείται ότι το βάθος διείσδυσης του πεδίου μεταξύ των ports είναι περίπου $d_{out} / 6$ οπότε και

$$\text{προκύπτει ότι } R_{sub} = \frac{6 * \rho_{si} * len}{D * w} \text{ και από τον τύπο } R_{sub} * C_{sub} = \frac{esi}{condSi} . \text{Άρα το}$$

$C_{sub} = esi / (CondSi * R_{sub})$. Το Rsub και Csub αναπαριστούν τις διαρροές που προκαλούνται μεταξύ των ports και την χωρητικότητα που δημιουργείται μεταξύ των ports αντίστοιχα. Οι τιμές των υπόλοιπων στοιχείων υπολογίζονται από τους τύπους που έχουν καταχωρηθεί παραπάνω.



Εικόνα 4.30

4.7 ind.net

4.7.1 Εισαγωγή

Στη παράγραφο αυτή περιγράφεται η δομή και η οργάνωση του αρχείου που είναι το μοντέλο ind. Επίσης παρατίθεται ο τρόπος υπολογισμού του len και του toxmael.

4.7.2 Αρχές κατασκευής και δομής του αρχείου

Το αρχείο ind.net περιέχει το μοντέλο (ind) . Η γλώσσα στην οποία γράφεται το ind.net είναι HSPICE. Η συγκεκριμένη γλώσσα είναι σχετικά «άκαμπτη» καθώς δεν επιτρέπει τα loops και δεν μπορούν να εισαχθούν σε αυτήν δεδομένα εκτός των

παραμέτρων. Επίσης δεν ανταποκρίνονται σε αυτή οποιοσδήποτε αλλαγές που πραγματοποιούνται σε callback mode. Τα components που μπορούν να χρησιμοποιηθούν για την δημιουργία του μοντέλου είναι όλα όσα βρίσκονται στα basic libraries του schematic του ADS.

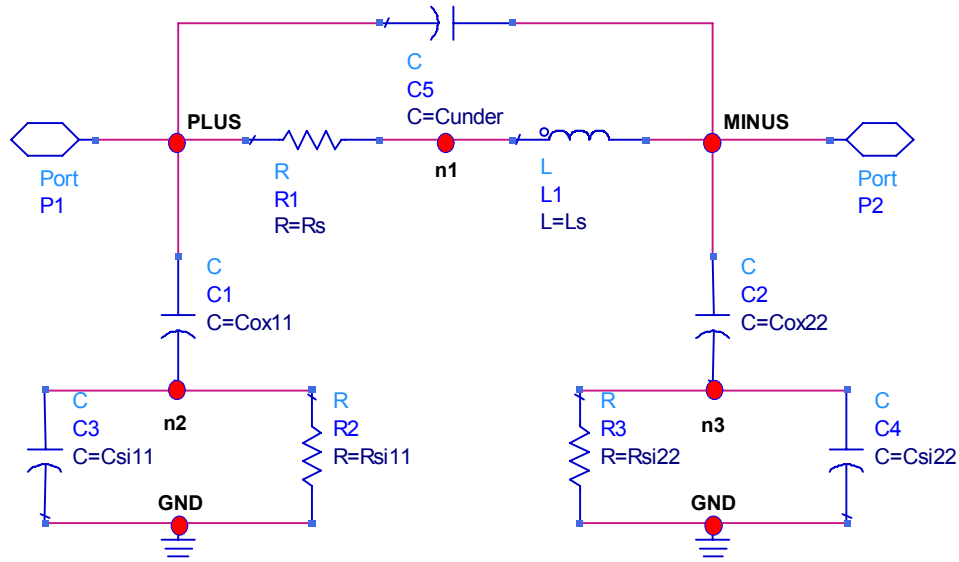
Το ind.net αποτελείται από 3 βασικά μέρη. Στο πρώτο ορίζονται οι τεχνολογικές προδιαγραφές και οι διάφορες μεταβλητές που θα χρησιμοποιηθούν. Ως τεχνολογικές προδιαγραφές ορίζονται οι τιμές εκείνες που είναι χαρακτηριστικές της τεχνολογίας (το πάχος, η resistivity, η ηλεκτρική και μαγνητική διαπερατότητα των μετάλλων και του substrate). Τα παραπάνω είναι γνωστά από τον πίνακα 4.1. Το toxmasi είναι το άθροισμα των παχών των SiO₂ και των μετάλλων που βρίσκονται μεταξύ του μετάλλου και του Si substrate. Όπότε το toxmasi = 17.05um.

Στο δεύτερο μέρος υπολογίζονται οι τιμές των components που θα χρησιμοποιηθούν καθώς και όποια άλλη τιμή που θεωρείται ότι πρέπει να χρησιμοποιηθεί. Το μήκος του inductor υπολογίζεται από τον παρακάτω τύπο:

$$\begin{aligned} len = & \sum_{i=1}^t \left(\frac{5 * (D - 2 * (i - 1) * w_s)}{1 + \sqrt{2}} + \frac{(D - (2 * i - 1) * w_s)}{1 + \sqrt{2}} + 2 * \frac{(D - 2 * (i) * w_s)}{1 + \sqrt{2}} + w_s \right) + \\ & + (-Q_0 * 0.5 + Q_{25} * 1.5 + Q_5 * 3.5 + Q_{75} * 5.5) * \frac{D - 2 * t * (w_s)}{1 + \sqrt{2}} + 0.5 * \frac{D}{1 + \sqrt{2}} = \\ & \frac{t (8 D + (4 + \sqrt{2} - 8 t) w_s)}{1 + \sqrt{2}} + (-Q_0 * 0.5 + Q_{25} * 1.5 + Q_5 * 3.5 + Q_{75} * 5.5) * \frac{D - 2 * t * (w_s)}{1 + \sqrt{2}} + 0.5 * \frac{D}{1 + \sqrt{2}} \end{aligned}$$

Όπου το t είναι ο ακέραιος αριθμός turns και τα Q₀, Q₂₅, Q₅ και Q₇₅ είναι αρχικά μηδέν και εν συνεχεία γίνονται 1 εάν η αφαίρεση turns - t είναι ίση με 0 ή 0.25 ή 0.5 ή 0.75 αντίστοιχα.

Στο τρίτο μέρος πραγματοποιείται η «τοποθέτηση» των στοιχείων στο sub-circuit το οποίο αποτελεί το μοντέλο του inductor. Η τοποθέτηση πραγματοποιείται με την χρήση των pins του inductor (PLUS, MINUS, GND) ως τερματικά σημεία και των εικονικών pins για την «εσωτερική» τοποθέτηση των στοιχείων. Ένα παράδειγμα παρατίθεται στην εικόνα. Τα n1, n2 και n3 είναι τα εικονικά pins. Ο κώδικας του φαίνεται παρακάτω.



Εικόνα 4.31

R : R1 PLUS n1 R = R

L : L1 n1 MINUS L = Ls

C : C1 PLUS n2 C = Cox11

C : C3 n2 GND C = Csi11

R : R2 n2 GND R = Rsi11

C : C2 MINUS n3 C = Cox22

C : C4 n3 GND C = Csi22

R : R3 n3 GND R = Rsi22

ΚΕΦΑΛΑΙΟ 5 – Μετρήσεις και Αποτελέσματα

5.1 Εισαγωγή

Στο παρόν κεφάλαιο αρχικά δίνεται ο ορισμός των S-Parameters και του Quality Factor. Στην συνέχεια παρατίθενται μετρήσεις και συγκρίσεις ως προς την inductance και το Quality factor διαφορετικών layouts. Τέλος πραγματοποιείται σύγκριση μεταξύ των αποτελεσμάτων του layout και του μοντέλου και επισημαίνονται κάποιες βελτιώσεις που πραγματοποιούνται.

5.2 S-parameters

5.2.1 Εισαγωγή

Παρακάτω παρατίθενται ο ορισμός και ο τρόπος υπολογισμού των S-parameters και του Quality factor , σύμφωνα με το [13].

5.2.2 Ορισμός S-parameters

Οι S-Parameters (Scattered Parameters) ανήκουν στην ομάδα των 2-port παραμέτρων. Όπως οι Y ή Z παράμετροι , οι S parameters περιγράφουν πλήρως την απόδοση ενός 2-port. Σε αντίθεση με τις Y και Z παραμέτρους , οι S parameters σχετίζονται με τα κύματα τα οποία διαδίδονται ή ανακλώνται όταν ένα δίκτυο εισάγεται σε μία transmission line με χαρακτηριστική impedance Z_L .

Οι S parameters είναι σημαντικές για το microwave design καθώς είναι ευκολότερο να μετρηθούν. Επίσης είναι απλές , αναλύονται εύκολα και μπορούν να αποδώσουν λεπτομερή επίγνωση μιας μέτρησης ή ενός modeling προβλήματος. Ισχύει ότι :

$$\begin{pmatrix} |b_1|^2 \\ |b_2|^2 \end{pmatrix} = \begin{pmatrix} |S_{11}|^2 & |S_{12}|^2 \\ |S_{21}|^2 & |S_{22}|^2 \end{pmatrix} * \begin{pmatrix} |a_1|^2 \\ |a_2|^2 \end{pmatrix}$$

Όπου :

$|a|^2$: είναι το κύμα που ταξιδεύει από το ένα port στο άλλο

$|b|^2$: είναι το κύμα που ανακλάται από το port

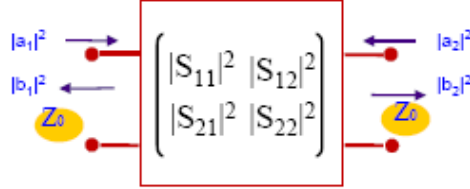
$|S_{11}|^2$: είναι η ισχύς που ανακλάται από το P1

$|S_{12}|^2$: είναι η ισχύς που μεταδίδεται από το P1 σε P2

$|S_{21}|^2$: είναι η ισχύς που μεταδίδεται από το P2 σε P1

$|S_{22}|^2$: είναι η ισχύς που ανακλάται από το P2

Ακολουθεί το σχήμα που φαίνονται τα παραπάνω.

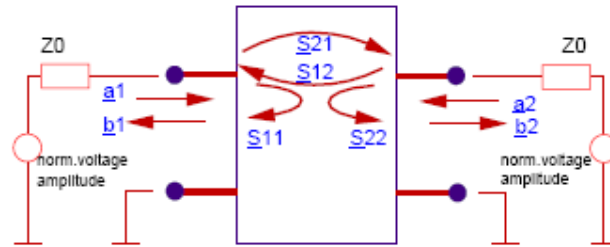


Εικόνα 5.32

Η μετάβαση από ισχύ σε τάση πραγματοποιείται εύκολα. Αρχικά έχουμε : $|a_i|^2 = P = V \cdot I$. Στην συνέχεια γίνεται κανονικοποίηση ως προς Z_0 . Οπότε και προκύπτει $|a_i|^2 = \frac{V \cdot V}{Z_0} \Leftrightarrow a_i = \frac{V}{\sqrt{Z_0}}$. Από τα παραπάνω προκύπτει ότι :

$$a_i = \frac{V_{\text{towards_twoport}}}{\sqrt{Z_0}} \quad (1) \text{ και } b_i = \frac{V_{\text{away_from_twoport}}}{\sqrt{Z_0}} \quad (2).$$

Βάσει του παρακάτω signal flow chart και των τύπων (1) και (2) υπολογίζονται οι S parameters συναρτήσει των τάσεων.



Εικόνα 5.33

$$S_{11} = \frac{b1}{a1} = \frac{V_{\text{reflectedP1}}}{V_{\text{towardsP1}}} \Big/ \alpha 2 = 0$$

$$S_{12} = \frac{b1}{a2} = \frac{V_{\text{outofP1}}}{V_{\text{towardsP2}}} \Big/ \alpha 1 = 0$$

$$\underline{S_{21}} = \frac{\underline{b2}}{\underline{a1}} = \frac{\underline{V_{outofP2}}}{\underline{V_{towardsP1}}} / \alpha 2 = 0$$

$$\underline{S_{22}} = \frac{\underline{b2}}{\underline{a1}} = \frac{\underline{V_{reflectedP2}}}{\underline{V_{towardsP2}}} / \alpha 1 = 0$$

5.2.3 Ορισμός Quality Factor

Σύμφωνα με το [14] , ως Quality Factor (Q) ορίζεται το κλάσμα της μέγιστης ενέργειας που αποθηκεύεται ανά κύκλο διαιρούμενη με την μέση ενέργεια ανά κύκλο που χάνεται λόγω των resistive losses. Η πραγματική τιμή του Q υπολογίζεται με δυσκολία λόγω των πολλών αλληλεπιδράσεων και φαινομένων που προκαλούνται στο πηνίο. Ο συμβατικός τρόπος για τον υπολογισμό του Q είναι:

$$Q = -\frac{\text{imag}(Y(1,1))}{\text{real}(Y(1,1))} \quad (4).$$

Ένας άλλος τρόπος προσέγγισης, σύμφωνα με το [13], είναι η

μετατροπή των 2-ports παραμέτρων σε single port παραμέτρους με τον τύπο:

$$Sp1 = S_{11} - \frac{S_{12} * S_{21}}{1 + S_{22}} \quad (5)$$

Εν συνεχεία υπολογίζεται το Zp1 από τον τύπο:

$$Zp1 = Z_0 * \frac{1 + Sp1}{1 - Sp1}.$$

Οπότε και ο Quality factor υπολογίζεται από τον τύπο :

$$Qp1 = \frac{\text{imag}(Zp1)}{\text{real}(Zp1)} \quad (6).$$

Θα χρησιμοποιηθεί ο τύπος (6) για τον υπολογισμό του Q. Ενώ για τον υπολογισμό

του L χρησιμοποιείται ο τύπος $L = \frac{\text{imag}(Zp1)}{2 * \pi * \text{freq}} \quad (7).$

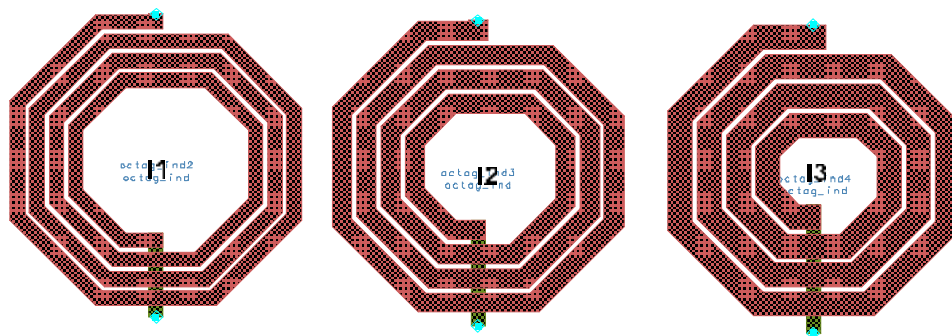
5.3 Μετρήσεις και Συγκρίσεις

5.3.1 Εισαγωγή

Παρακάτω παρατίθενται οι αλλαγές που πραγματοποιούνται στην συμπεριφορά του inductor όταν αλλάζει το πλάτος, το outer dimension και τα turns του inductor. Το εύρος συχνοτήτων που θα γίνουν οι συγκρίσεις είναι από 0.5 έως 20 GHz με βήμα 0.5 GHz.

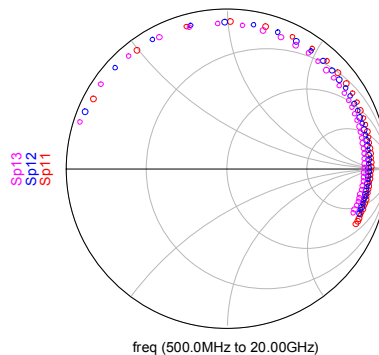
5.3.2 Πηνία με διαφορετικά πλάτη

Παρακάτω συγκρίνονται 3 πηνία με $d_{out} = 300\mu\text{m}$, $s = 5\mu\text{m}$ και $n = 3.5$ και με πλάτη $w_1 = 15\mu\text{m}$ (I1), $w_2 = 20\mu\text{m}$ (I2) και $w_3 = 25\mu\text{m}$ (I3).



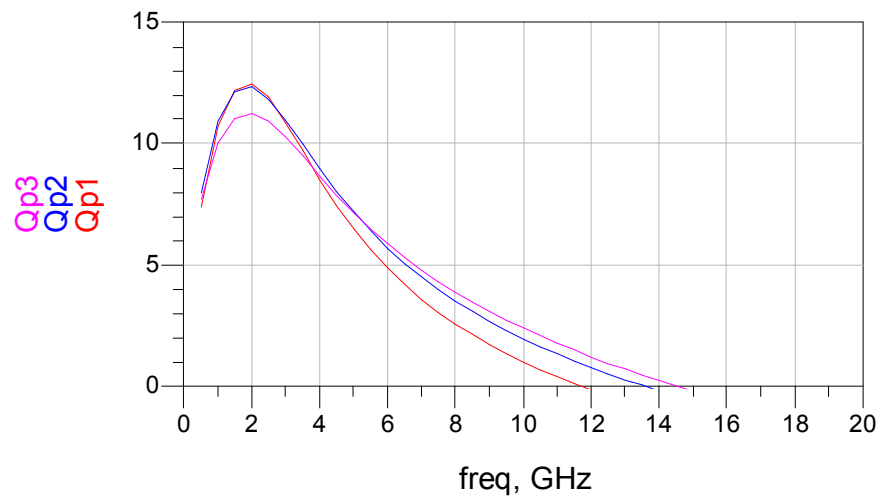
Εικόνα 5.34

Οι 2-port S parameters μετατρέπονται σε 1-port κάνοντας χρήση του τύπου (5). Το smith chart των S-parameters φαίνεται παρακάτω.

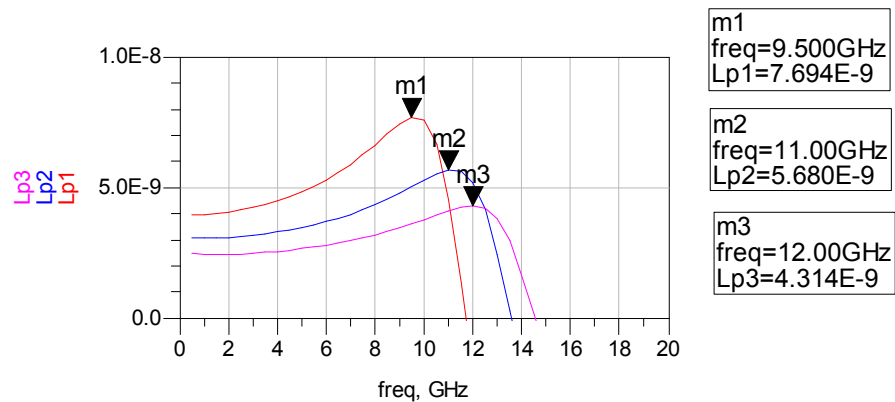


Εικόνα 5.35

Κάνοντας χρήση των τύπων (6) και (7) προκύπτουν οι παρακάτω γραφικές.



σχήμα 5.1

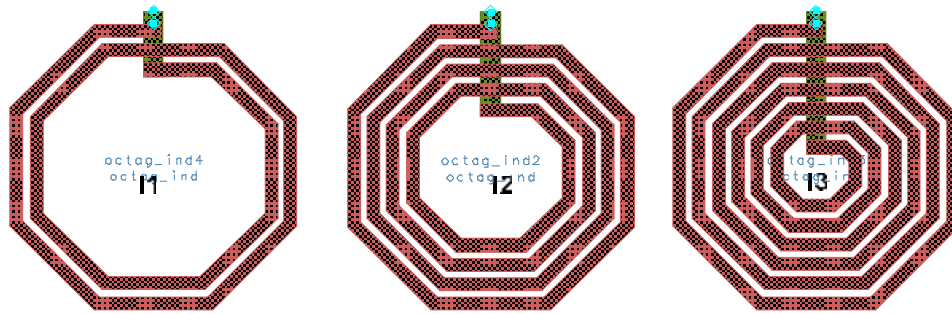


σχήμα 5.2

Παρατηρείται ότι για όσο αυξάνεται το ω , μειώνεται η peak inductance και το peak Q. Όσο αυξάνεται το ω , η τιμή της inductance παραμένει σχετικά σταθερή για μεγαλύτερο εύρος συχνοτήτων.

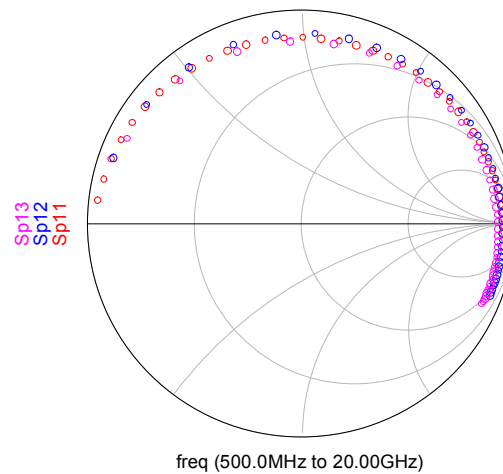
5.3.3 Πηνία με διαφορετικά n

Παρακάτω συγκρίνονται 3 πηνία με $d_{out} = 220\mu m$, $s = 5\mu m$ και $w = 10\mu m$ και με turns $n_1 = 2$ (I1), $n_2 = 4$ (I2) και $n_3=6$ (I3).



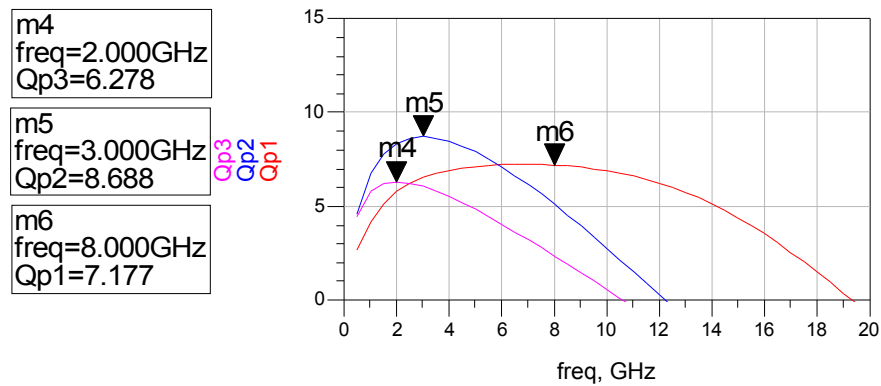
Εικόνα 5.36

Οι 2-port S parameters μετατρέπονται σε 1-port κάνοντας χρήση του τύπου (5). Το smith chart των S-parameters φαίνεται παρακάτω.

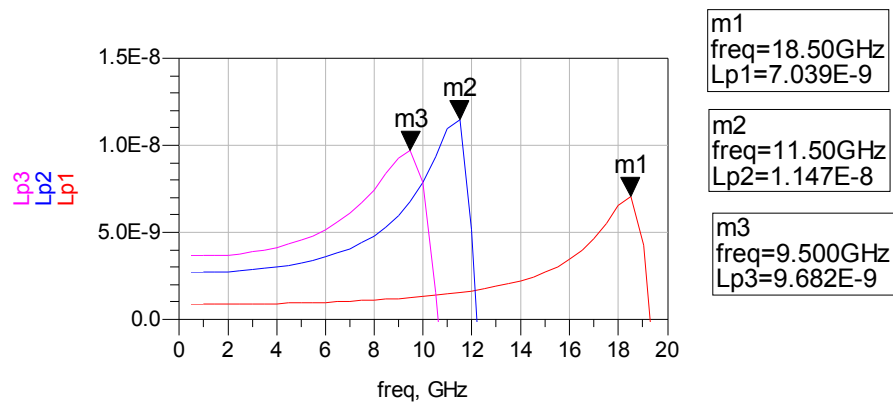


Εικόνα 5.37

Κάνοντας χρήση των τύπων (6) και (7) προκύπτουν οι παρακάτω γραφικές.



σχήμα 5.3

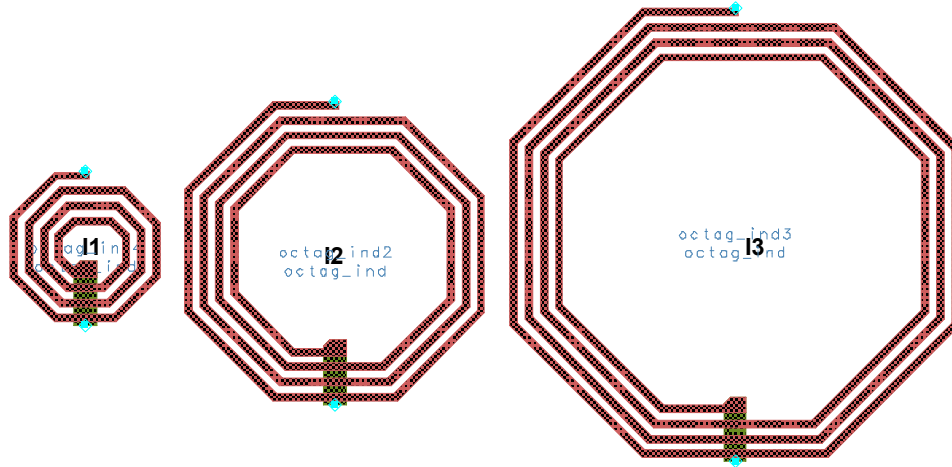


σχήμα 5.4

Παρατηρείται ότι όσο αυξάνονται τα turns τόσο αυξάνεται και το εύρος συχνοτήτων στο οποίο το Q παραμένει σχετικά σταθερό. Επίσης σημειώνεται ότι όσο αυξάνονται τα turns , διατηρείται η inductance σταθερή για όλο και μεγαλύτερο εύρος συχνοτήτων. Το πηνίο I3 δεν έχει την συμπεριφορά που ίσως να αναμενόταν καθώς το d_{in} στο I3 είναι πολύ μικρό γεγονός που σημαίνει ότι οι interactions μεταξύ των πλευρών του πηνίου αυξάνονται δραματικά.

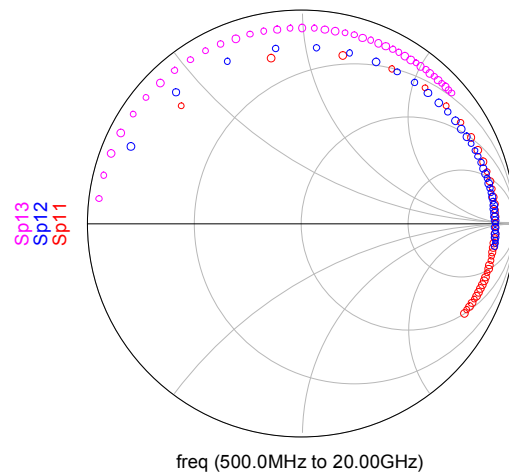
5.3.4 Πηνία με διαφορετικά dout

Παρακάτω συγκρίνονται 3 πηνία με $w = 5\mu\text{m}$, $s = 5\mu\text{m}$ και $n = 3.5$ και με turns $\text{dout1} = 100\mu\text{m}$ (I1), $\text{dout2} = 200\mu\text{m}$ (I2) και $\text{dout3} = 300\mu\text{m}$ (I3).



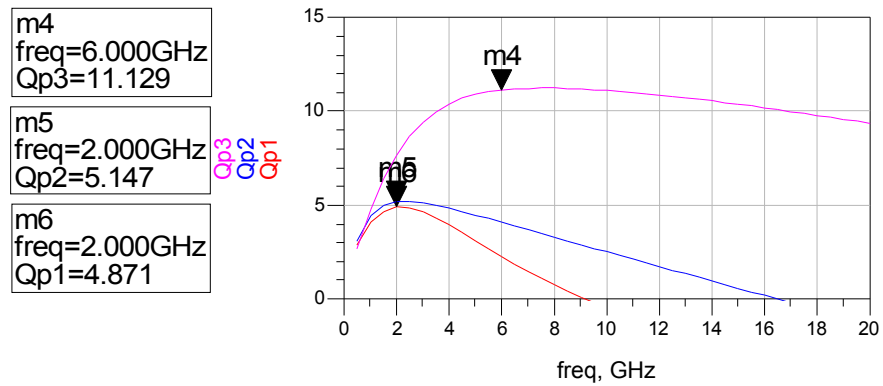
Εικόνα 5.38

Οι 2-port S parameters μετατρέπονται σε 1-port κάνοντας χρήση του τύπου (5). Το smith chart των S-parameters φαίνεται παρακάτω.

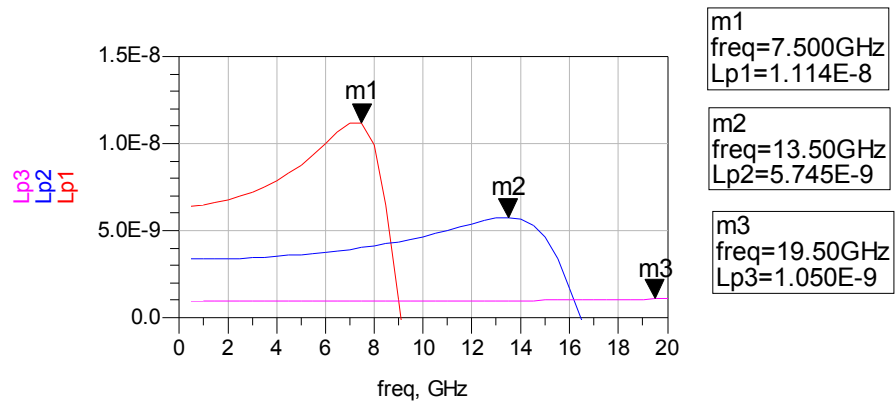


Εικόνα 5.39

Κάνοντας χρήση των τύπων (6) και (7) προκύπτουν οι παρακάτω γραφικές.



σχήμα 5.5



σχήμα 5.6

Επισημαίνεται ότι με την αύξηση του dout , αυξάνεται το Q και το inductance διατηρείται σταθερό για μεγαλύτερο εύρος τιμών.

5.4 Αξιολόγηση και βελτίωση των μοντέλων

5.4.1 Εισαγωγή

Στη παράγραφο αυτή , παρατίθενται οι μετρήσεις που έγιναν στα πηνία και στα αντίστοιχα μοντέλα. Στην συνέχεια υπολογίζονται τα σφάλματα εκτιμώνται τα αποτελέσματα και πραγματοποιούνται οι αντίστοιχες βελτιώσεις.

5.4.2 Σύγκριση μετρήσεων και βελτιώσεις

Το πηνίο του layout που χρησιμοποιείται έχει διαστάσεις:

$$D = 220\mu\text{m}$$

$$W = 5\mu\text{m}$$

$$S=5\mu\text{m}$$

$$N=4$$

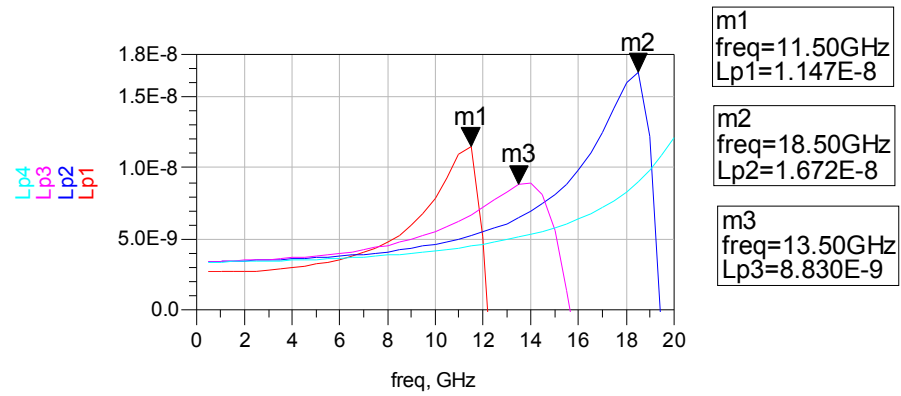
Το L_{p1} και Q_{p1} είναι η inductance και ο quality factor του layout του πηνίου. Τα L_{p2} και Q_{p2} είναι η inductance και ο quality factor του μοντέλου single Π . Τα L_{p3} και Q_{p3} είναι η inductance και ο quality factor του μοντέλου Scalable 2- Π . Τα L_{p4} και Q_{p4} είναι η inductance και ο quality factor του μοντέλου Scalable 1- Π .

Το conventional Π model όπως φαίνεται παρακάτω παρουσιάζει την μεγαλύτερη απόκλιση από τα άλλα 2 μοντέλα.

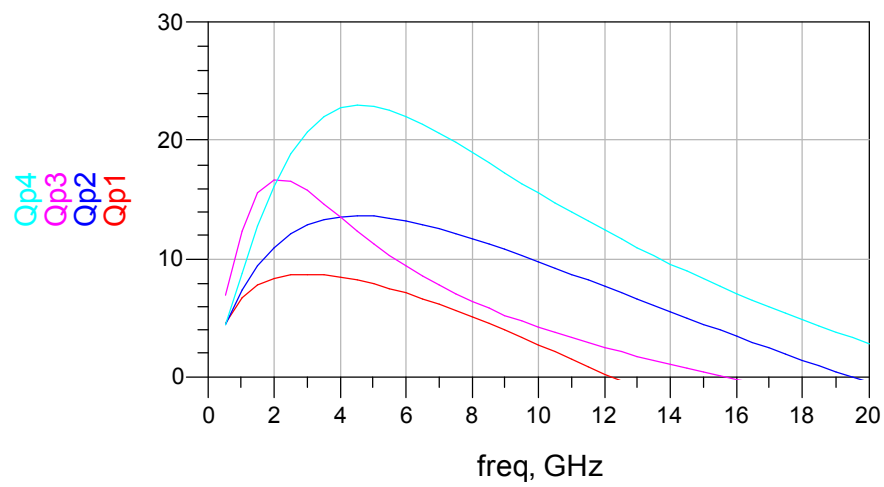
Το σφάλμα υπολογίζεται από τον τύπο:

$$ErrL_{i-1} = \left| \frac{L_{p1} - L_{pi}}{L_{p1}} \right| * 100\%$$

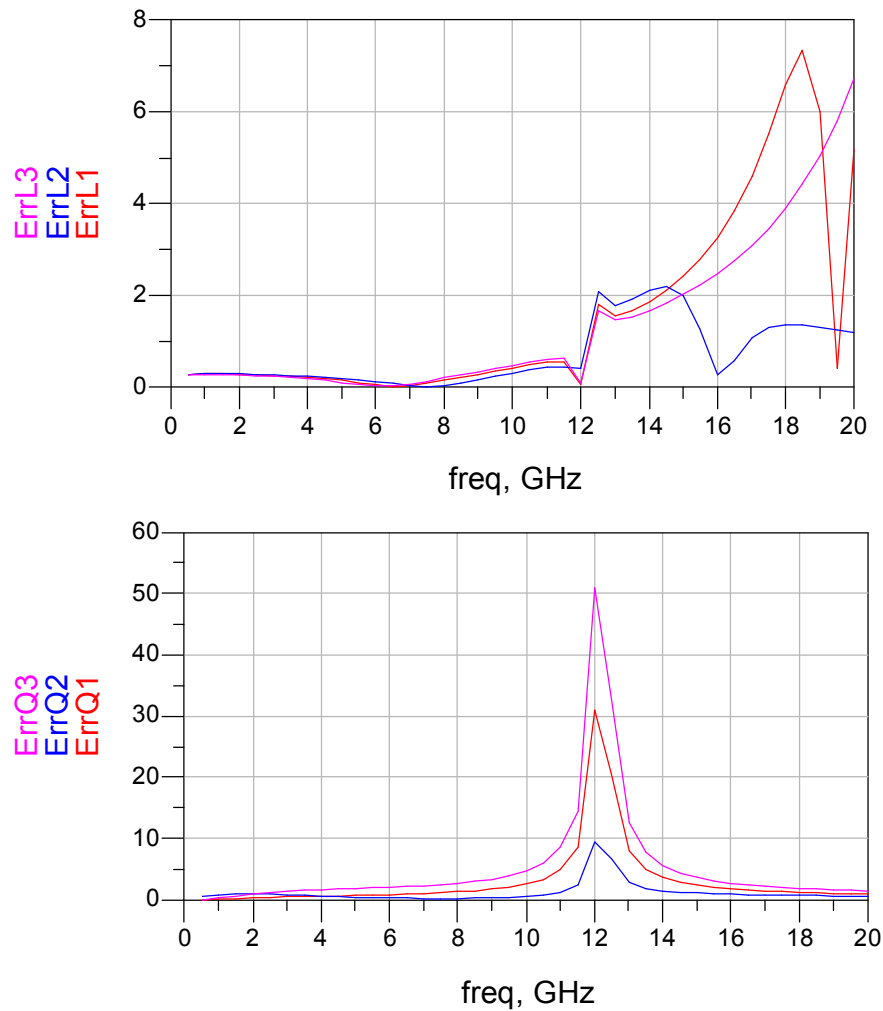
$$ErrQ_{i-1} = \left| \frac{Q_{p1} - Q_{pi}}{Q_{p1}} \right| * 100\%$$



σχήμα 5.7



σχήμα 5.8



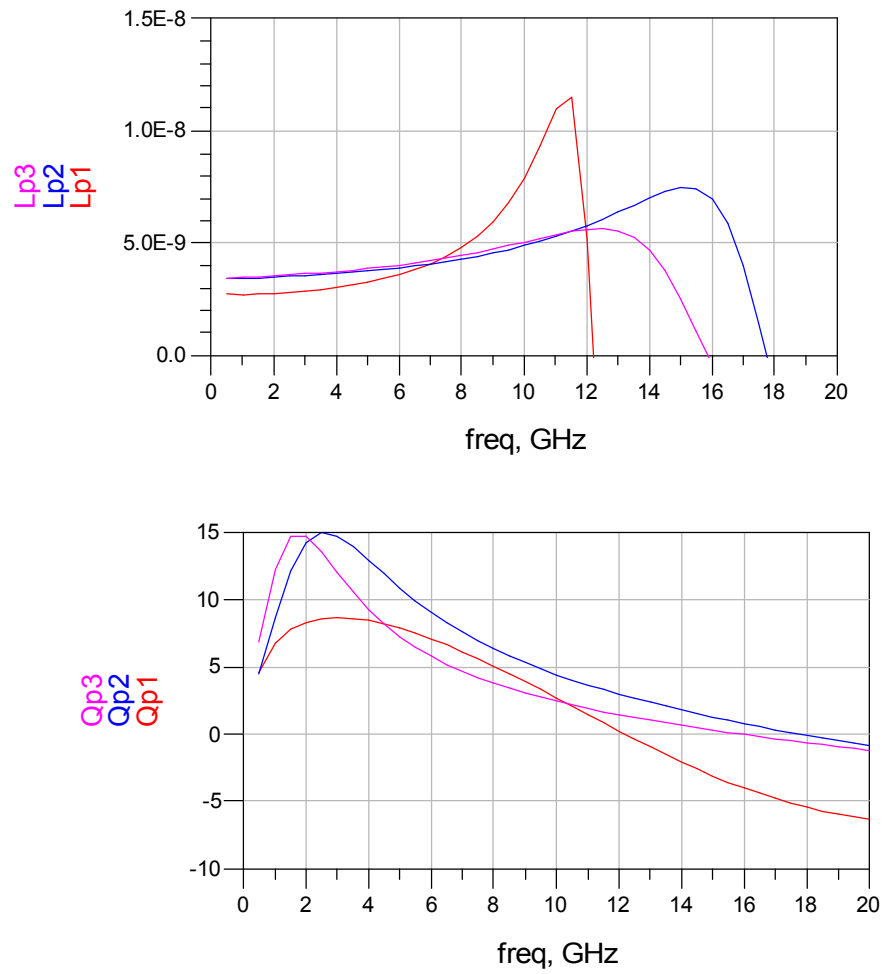
σχήμα 5.9

Από το σχήμα 5.9 προκύπτει ότι την καλύτερη απόδοση έχει το scalable 2Π .

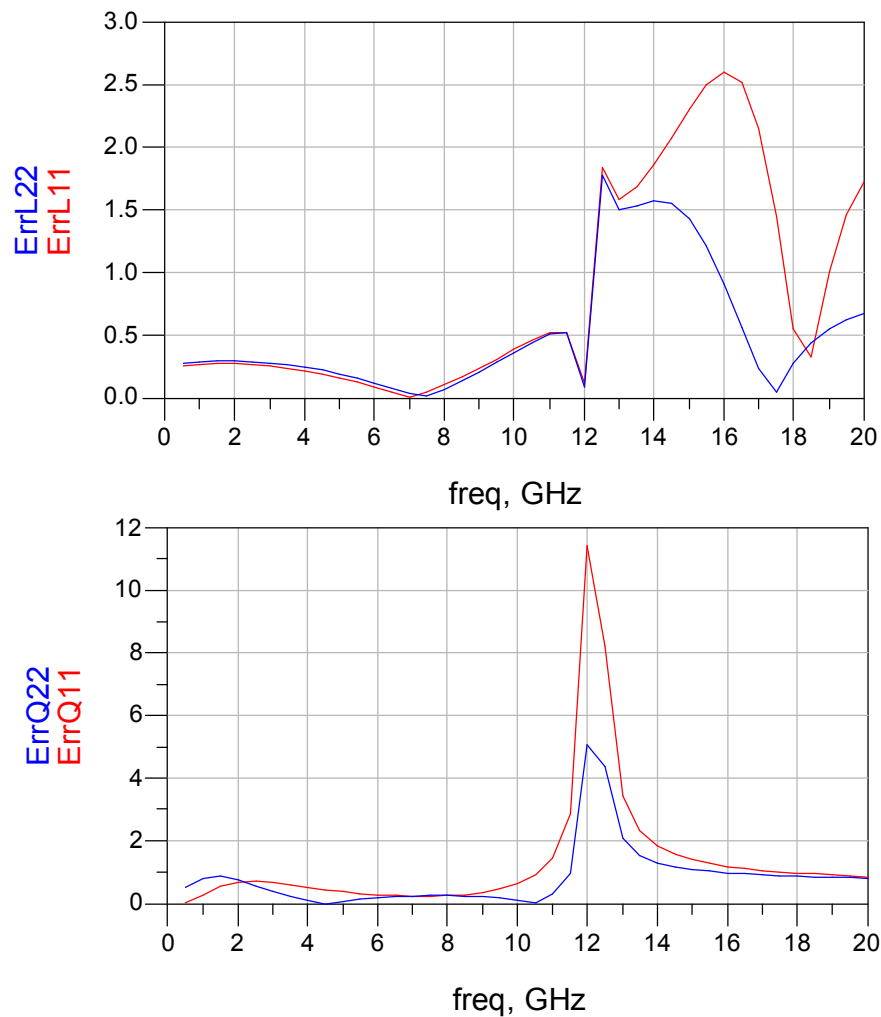
Για να βελτιωθεί το μοντέλο γίνεται η παραδοχή ότι το ηλεκτρικό πεδίο **δεν** κατανέμεται ομοιόμορφα στο substrate. Μετά από πειραματισμούς , προκύπτει ότι το

$W_{ox} = w * (2 + \frac{w}{tox})$ και το $W_{si} = W_{ox} * (4 + \frac{W_{ox}}{tsi})$. Η βελτίωση των τιμών των

ErrL11(σφάλμα για του μοντέλου scalable 2Π) και ErrL22(σφάλμα για του μοντέλου scalable 1Π) φαίνεται στις παρακάτω γραφικές παραστάσεις.

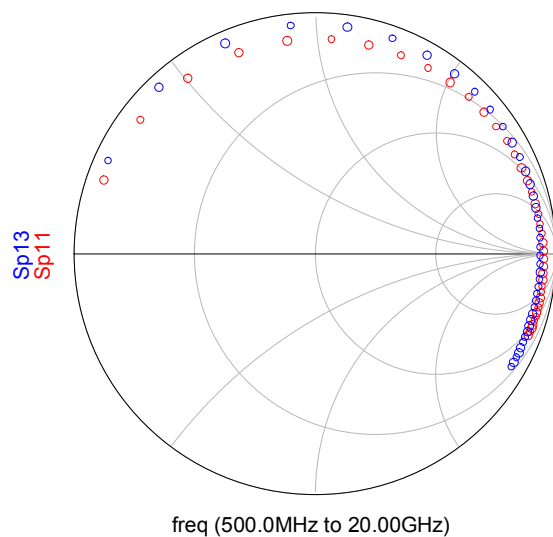


σχήμα 5.10

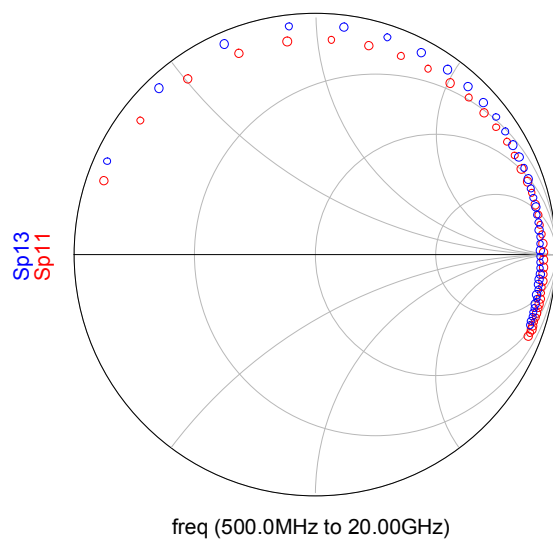


σχήμα 3.11

Το smith chart μπορεί να δώσει πολύ ενδιαφέρουσες πληροφορίες οι οποίες αν αξιοποιηθούν, μπορεί να βελτιωθεί το error. Από το παρακάτω Smith Chart προκύπτει ότι μπορεί να βελτιωθεί περαιτέρω το single Π model. Παρατηρείται ότι οι S-parameters του μοντέλου είναι διασκορπισμένες στην συχνότητα γεγονός το οποίο σημαίνει ότι πρέπει κάποια χωρητικότητα να μειωθεί. Μειώνοντας την τιμή του C_{ooc} κατά 40% προκύπτει το σχήμα 5.10.

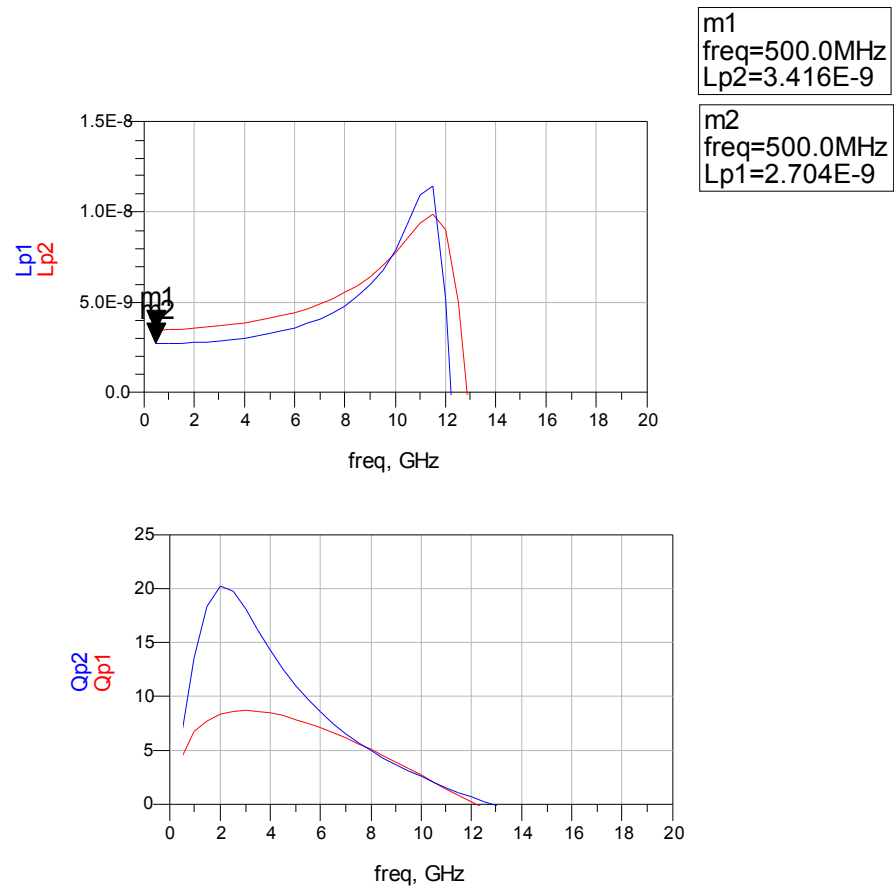


Εικόνα 5.40



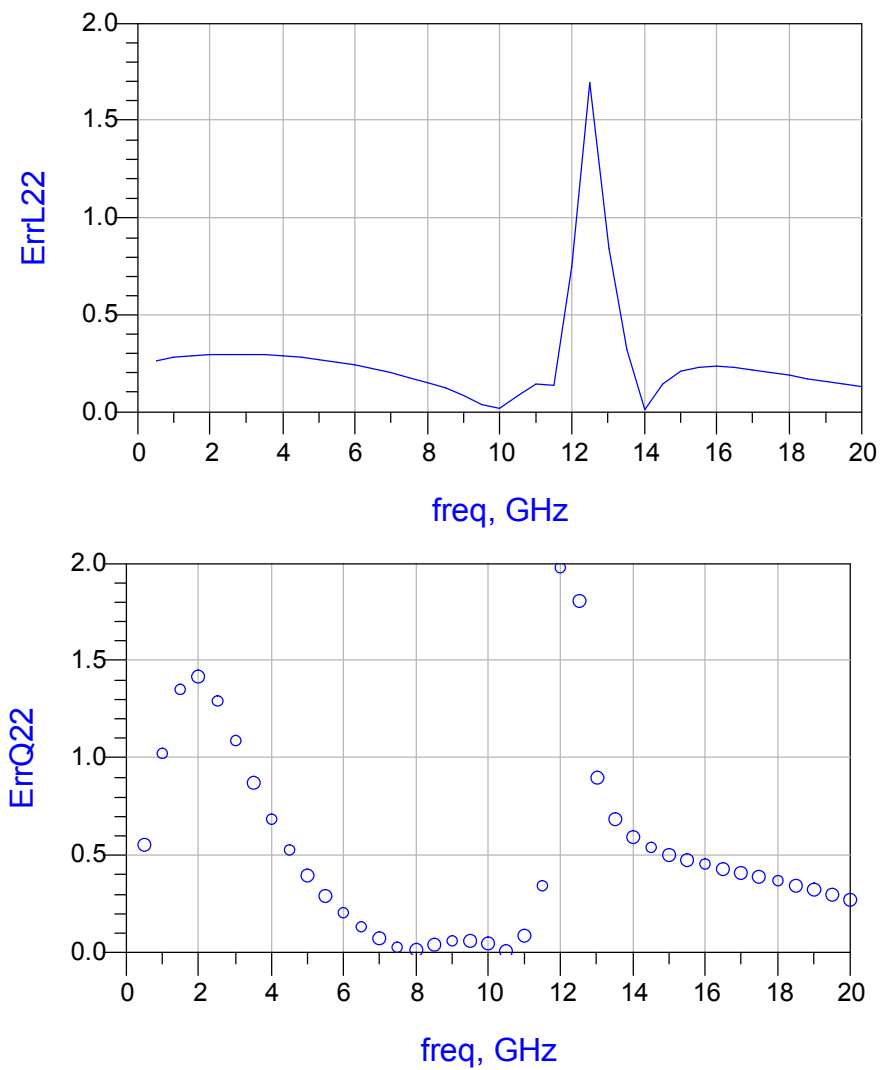
Εικόνα 5.41

Οπότε και προκύπτουν οι παρακάτω γραφικές :



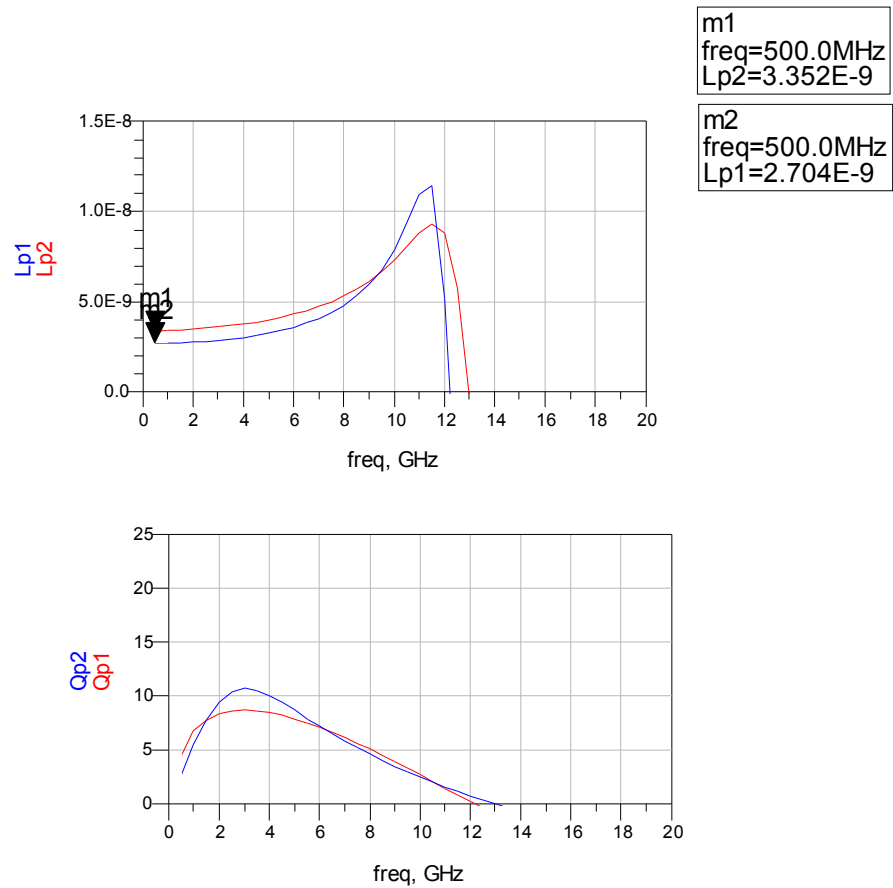
Εικόνα 5.42

Οι γραφικές των σφαλμάτων φαίνονται παρακάτω:



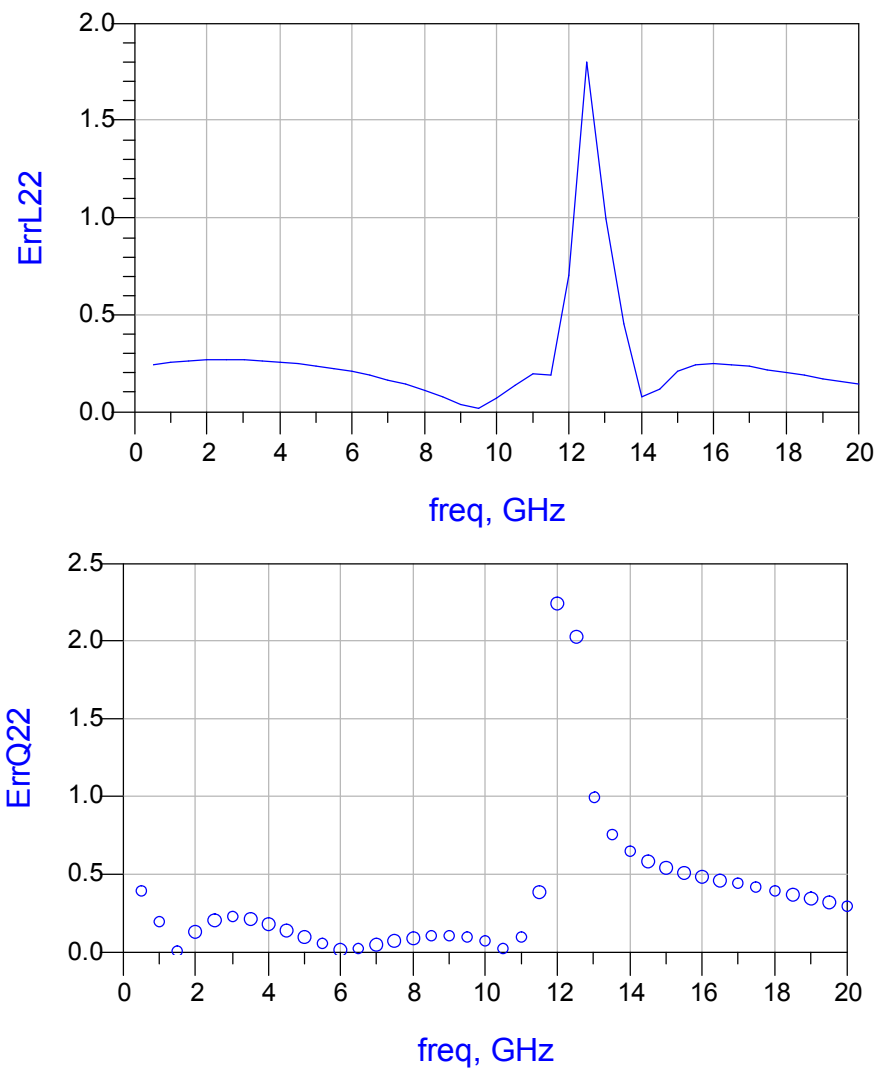
Εικόνα 5.43

Παρατηρείται ότι το error μειώνεται σημαντικά. Αντικαθιστώντας την τιμή του R_{dc} με $R_{dc} \cdot 2.5$ τότε προκύπτει :



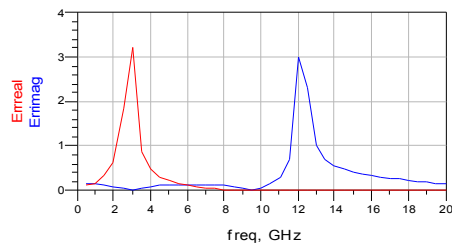
Εικόνα 5.44

Και το σφάλμα που προκύπτει είναι :



Εικόνα 5.45

Το Error είναι πλέον κάτω από το 40% γεγονός το οποίο μας οδηγεί στο να πούμε ότι το σφάλμα είναι αυτό είναι σχετικά αποδεκτό. Υπολογίζοντας το σφάλμα των S παραμέτρων παρατηρούμε ότι είναι αρκετά ικανοποιητικό. Αυτό φαίνεται παρακάτω.



freq	...1 - Sp13) / real(Sp11))	... - Sp13) / imag(Sp11))
500.0 MHz	0.099	0.140
1.000 GHz	0.164	0.137
1.500 GHz	0.309	0.110
2.000 GHz	0.623	0.068
2.500 GHz	1.828	0.022
3.000 GHz	3.206	0.019
3.500 GHz	0.862	0.053
4.000 GHz	0.473	0.080
4.500 GHz	0.304	0.100
5.000 GHz	0.209	0.114
5.500 GHz	0.146	0.123
6.000 GHz	0.103	0.127
6.500 GHz	0.071	0.126
7.000 GHz	0.048	0.121
7.500 GHz	0.030	0.112
8.000 GHz	0.017	0.098
8.500 GHz	0.007	0.078
9.000 GHz	0.001	0.050
9.500 GHz	0.007	0.011
10.00 GHz	0.011	0.046
10.50 GHz	0.013	0.135
11.00 GHz	0.015	0.297
11.50 GHz	0.016	0.683
12.00 GHz	0.016	3.012
12.50 GHz	0.016	2.298
13.00 GHz	0.015	0.994
13.50 GHz	0.014	0.683
14.00 GHz	0.013	0.540
14.50 GHz	0.011	0.455
15.00 GHz	0.010	0.396
15.50 GHz	0.008	0.352
16.00 GHz	0.006	0.317
16.50 GHz	0.005	0.288
17.00 GHz	0.003	0.262

Εικόνα 2.46

Το γράφημα που παρουσιάζεται παραπάνω είναι το σφάλμα που προκύπτει σε κάθε τιμή της συχνότητας στις τιμές των S parameters.

Από τα παραπάνω προκύπτει ότι το μοντέλο αποτυγχάνει να προβλέψει επιτυχώς την συμπεριφορά του πηνίου. Ένα n – Ladder circuit του πηνίου θα μπορούσε να προσομοιώσει την συμπεριφορά του layout πηνίου . Η υλοποίηση του δεν είναι δυνατή καθώς η γλώσσα που χρησιμοποιείται δεν επιτρέπει δυναμικό προγραμματισμό.

Επίλογος

Με την υλοποίηση του πηνίου στο ADS δίνεται η δυνατότητα στον χρήστη για περαιτέρω επέκταση της παρούσας βιβλιοθήκης και την σχεδίαση πολύπλοκων components, όπως διαφορετικών πηνίων και μετασχηματιστών. Η εμπειρία που αποκτήθηκε κατά την υλοποίηση του design kit και των μοντέλων βοηθά στην καλύτερη κατανόηση των φαινομένων που επηρεάζουν την απόδοση του layout. Το γεγονός αυτό οδηγεί τον χρήστη στην καλύτερη σχεδίαση του layout.

Βιβλιογραφία

- [1] ΗΛΕΚΤΡΟΜΑΓΝΗΤΙΣΜΟΣ , John Kraus , Εκδόσεις Α. Τζιόλα co. 1993
- [2] “Physical Modeling of Spiral Inductors on Silicon”, C. Patrick Yue and Simon Wong , *IEEE TRANSACTIONS ON ELECTRON DEVICES* , Vol. 34, NO. 3, March 2000
- [3] “Simple Accurate Expressions for Planar Spiral Inductances” , Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, and Thomas H. Lee , *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 34, NO. 10, October 1999
- [4] “A physical model for planar spiral inductors on Silicon” , C. Patrick Yue, Changsup Ryu, Jack Lau*, Thomas H. Lee, and S. Simon Wong ,
<http://holst.stanford.edu/~CPYue>
- [5] “Passive components in CMOS RF IC” , Jan Hvolgaard Mikkelsen , *Radio Frequency Integrated Systems and Circuits Division Aalborg University* , September 2005
- [6] “Advances in Active and Passive Device Modeling for High Frequency IC Design” , David Vye
- [7] “Design and Optimization of a 10 nH Square-Spiral Inductor for Si RF Ics “, Tuan Huu Bui , *thesis* , 10/27/1999
- [8] “A Simple and Scalable Model for Spiral Inductors on Silicon” , C. B. Sia , K. S. Yeo , W. L. Goh , T. N. Swe , J. G. Ma , M. A. Do , J. S. Lin and L. Chan , *Modeling and Simulation of Microsystems* 2001
- [9] “Frequency – Independent Equivalent – Circuit Model for On-Chip Spiral Inductors ”, Yu Cao , Robert A. Groves , Xuejue Huang , Tsu – Jae King , Chemin Hu , *IEEE Journal OF SOLID-STATE CIRCUITS* , Vol 38 , No.3 March 2003

- [10] “A Simple Wide Band On-Chip Inductor Model for Silicon-Based RF IC’s” , Joonho Gil and Hyungcheol Shin , *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES* , vol. 51 , No 9 , September 2003
- [11] “Silicon Substrate coupling noise modeling , analysis and experimental verification for mixed signal integrated circuit design ”, W. Jin , Y. Eo , J.I. Shim , W. R. Eisenstadt , M.Y. Park and H. K. Yu , *IEEE MMT –S*, 2001
- [12] “Electromagnetic Coupling Effects in RFCMOS circuits”, A.Adan , M. Fukumi , K. Higashi , T. Suyama , M. Miyamoto and M. Hayashi , in *IEEE Radio Frequency Integrated circuits Symp.* , 2001
- [13] “Basics of S-Parameters” , Franz Sischka
- [14] “Bicmos 7WL Model Reference Guide” , IBM
- [15] “Accurate Modeling of Spiral For Wireless RF IC Designs” , Jan Van Hese , *Agilent Technologies*
- [16] “S – PARAMETERS TECHNIQUES” , HP , <http://www.hp.com/go/tmapnotes>
- [17] “An Efficient and Accurate Model for RF/Microwave Spiral Inductors Using Microstrip Lines Theory” , Nasser Masoumi, Safieddin Safavi-Naeiniy, and Mohamed I. Elmasry *VLSI Research Group, University of Waterloo, Waterloo, Canada, N2L 3G1 Center for Wireless Communications, University of Waterloo*
- [18] “Compact Modeling of High Frequency Phenomena for On-Chip Spiral Inductors” , Niranjana Talwalkar, C. Patrick Yue, S. Simon Wong
- [19] “APPROXIMATE ANALYTICAL MODELING OF CURRENT CROWDING EFFECTS IN MULTI-TURN SPIRAL INDUCTORS” William B. Kuhn , Nouredin M. Ibrahim

[20] “Accurate Modeling of Spiral Inductors on Silicon From Within Cadence Virtuoso using Planar EM Simulation” , Agilent *EEsof RFIC Seminar Spring 2004*

[21] “Accurate Subcircuit Model of an On-Chip Inductor with a New Substrate Network”, Minoru Fujishima and Jun Kino , *2004 Symposium on VLSI Circuits Digest of Technical Papers*