



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ

Διπλωματική Εργασία

Προσδιορισμός Παραμέτρων Συμπαγούς
Μοντέλου MOSFET για Σχεδίαση Αναλογικών
Ολοκληρωμένων Κυκλωμάτων CMOS
Ανοικτής Πρόσβασης

Φοιτητής:

Βίτσιος Γεώργιος

Επιτροπή:

Καθηγητής Ματτίας Μπούχερ (επιβλέπων)

Καθηγητής Απόστολος Δόλλας

Δρ. Νικόλαος Φασαράκης

October 30, 2024

This page is intentionally left blank

Περίληψη

Η εξέλιξη των ψηφιακών τεχνολογιών είναι ραγδαία τα τελευταία χρόνια. Έχει ενδι-αφέρον ότι παρατηρείται η εμφάνιση χρήσης λογισμικών ανοικτής πρόσβασης (open-source software) αλλά ιδιαίτερα και υλικού («open-source silicon»). Η παρούσα διπλωματική εργασία εντάσσεται στα πλαίσια ανάπτυξης εργαλείων computer-aided design (CAD tools) ανοικτής πρόσβασης, με στόχο την υποβοήθεια σχεδίασης αναλο-γικών ολοκληρωμένων κυκλωμάτων (integrated circuits, ICs) τεχνολογίας CMOS. Ως βάση χρησιμοποιείται το μοντέλο φορτίων του τρανζίστορ MOS τύπου sEKV. Το εν λόγω μοντέλο καλύπτει όλο το φάσμα από ασθενή έως μέτρια και ισχυρή αναστροφή, με ιδιαίτερη μέριμνα για το φαινόμενο του κορεσμού ταχύτητας (ve-locity saturation), με σκοπό να εξυπηρετήσει τις ανάγκες σχεδίασης αναλογικών κυκλωμάτων χαμηλής κατανάλωσης. Τα πειραματικά δεδομένα αντλούνται από απο-θετήριο ανοικτής πρόσβασης της IHP, τεχνολογίας τύπου BiCMOS 130nm. Στόχος είναι η ανάπτυξη μοντέλων ρεύματος DC και διαγωγιμότητας AC, καλύπτοντας όλα τα μήκη καναλιού και όλο το εύρος θερμοκρασίας από $-40\text{ }^{\circ}\text{C}$ έως $125\text{ }^{\circ}\text{C}$ (233 K έως 398 K). Ιδιαίτερη έμφαση δίνεται στο ρεύμα, την διαγωγιμότητα, και τον λόγο διαγωγιμότητας προς ρεύμα, με έμφαση στον δείκτη αναστροφής (inversion coeffi-cient). Αναπτύσσονται πλήρως τα μοντέλα τόσο για τρανζίστορ τύπου NMOS όσο και PMOS σε όλο το φάσμα του μήκους καναλιού (length scaling) και θερμοκρασίας (temperature scaling). Αποτέλεσμα είναι το μοντέλο να μπορέσει να καλύψει αποτε-λεσματικά και με ελάχιστες παραμέτρους, όλο το φάσμα λειτουργίας των τρανζίστορ MOS, όπως απαιτείται για την σχεδίαση αναλογικών ολοκληρωμένων κυκλωμάτων.

Abstract

The rapid evolution of digital technologies in recent years has seen a surge in the adoption of open-source software, and more notably, open-source hardware. This thesis contributes to the development of open-source computer-aided design (CAD) tools aimed at facilitating the design of analog integrated circuits (ICs) in CMOS technology. The sEKV MOS transistor load model is used as a foundation. This model encompasses the entire spectrum from weak to moderate and strong inversion, with particular attention to the velocity saturation phenomenon, to cater to the needs of low-power analog circuit design. Experimental data is drawn from the IHP's open-access repository of BiCMOS 130nm technology. The objective is to develop DC current and AC conductance models, covering all channel lengths and a temperature range from -40°C to 125°C (233 K to 398 K). Particular emphasis is placed on current, conductance, and the ratio of conductance to current, with a focus on the inversion coefficient. Models are fully developed for both NMOS and PMOS transistors across the entire spectrum of channel length and temperature scaling. As a result, the model can effectively and with minimal parameters cover the entire operating range of MOS transistors, as required for the design of analog integrated circuits.

Acknowledgements

Η εργασία αυτή δεν θα μπορούσε να πραγματοποιηθεί χωρίς την υποστήριξη και καθοδήγηση από ανθρώπους που θα ήθελα σε αυτό το σημείο να ευχαριστήσω. Αρχικά, θα ήθελα να ευχαριστήσω τον καθηγητή και επιβλέποντα σε αυτή την εργασία Ματτίας Μπούχερ, ο οποίος με τις γνώσεις του και μέσα από τα μαθήματά του με εφοδίασε με όλες τις απαραίτητες γνώσεις προκειμένου να μπορέσω να ανταπεξέλθω στις απαιτήσεις αυτής της εργασίας και της μετέπειτα σταδιοδρομίας μου. Επιπλέον, θα ήθελα να ευχαριστήσω τον καθηγητή Απόστολο Δόλλα και τον Δρ. Νικόλαο Φασαράκη για την αποδοχή της συμμετοχής τους στην τριμελή επιτροπή της παρουσίασης της εργασίας. Θα ήθελα να ευχαριστήσω ακόμα, τους φίλους μου που ήταν δίπλα μου στα εύκολα αλλά και στα δύσκολα όλα αυτά τα χρόνια. Και τέλος, θα ήθελα να πω ένα μεγάλο ευχαριστώ στους γονείς μου που με στήριξαν με ό,τι είχαν αυτά τα χρόνια των σπουδών μου στα Χανιά.

Contents

1	Εισαγωγή	9
2	Η τεχνολογία BiCMOS	10
3	Το μοντέλο-Εξισώσεις	11
4	Περιοχές Λειτουργίας	13
5	Φαινόμενα μικρού καναλιού	14
5.1	Drain-induced barrier lowering (DIBL)	14
5.2	Velocity Saturation (VS)	14
6	Εξισώσεις βασικών παραμέτρων	15
6.1	Length scaling	15
6.2	Temperature scaling	15
7	Υπολογισμός $C_{ox'}$	18
8	Υπολογισμός κινητικότητας μ	18
9	Εξαγωγή Παραμέτρων	20
9.1	Εξαγωγή I_0	20
9.2	Εξαγωγή λc	21
9.3	Εξαγωγή n	22
9.4	Εξαγωγή V_{TO}	22
10	Γραφικά Αποτελέσματα-Χαρακτηριστικές	23
10.1	Length scaling	23
10.1.1	Ρεύμα απαγωγού ως προς τάση πύλης $I_D - V_G$	23
10.1.2	Διαγωγιμότητα πύλης ως προς τάση πύλης $g_m - V_G$	25
10.1.3	Transconductance efficiency $\frac{g_m U_T}{I_D} - I_D$	26
10.1.4	Κανονικοποιημένο transconductance efficiency $\frac{g_m n U_T}{I_D} - I_D$	30
10.1.5	Παράμετροι μοντέλου	32
10.2	Temperature scaling	34
10.2.1	Ρεύμα απαγωγού ως προς τάση πύλης $I_D - V_G$	34
10.2.2	Διαγωγιμότητα πύλης ως προς τάση πύλης $g_m - V_G$	35
10.2.3	Transconductance efficiency $\frac{g_m U_T}{I_D} - I_D$	38
10.2.4	Κανονικοποιημένο transconductance efficiency $\frac{g_m n U_T}{I_D} - I_D$	39
10.2.5	Παράμετροι μοντέλου	40

List of Figures

1	Εξαγωγή χωρητικότητας οξειδίου ανά μονάδα χώρου $C_{ox'}$ και κινητικότητας μ	18
2	Εξαγωγή βασικής παραμέτρου του μοντέλου I_0	20
3	Γράφημα με την εξαγωγή βασικών παραμέτρων λc , n , V_{TO} , του μοντέλου.	21
4	$I_D - V_G$ και $IC - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L	24
5	$I_D - V_G$ και $IC - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L	25
6	$g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L	27
7	$g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L	28
8	$\frac{g_m U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L	29
9	$\frac{g_m U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L	30
10	$\frac{g_m n U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L	32
11	$\frac{g_m n U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L	33
12	Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λc , n , V_{TO} για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L	34
13	Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λc , n , V_{TO} για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L	35
14	$I_D - V_G$ και $IC - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T	36
15	$I_D - V_G$ και $IC - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T	37
16	$g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T	38
17	$g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T	39
18	Γράφημα με $g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ για διαφορετικές τιμές της παραμέτρου ταχύτητας κορεσμού λc για NMOS τεχνολογία και μήκος κύματος $L=130\text{nm}$	40

19	Γράφημα με $\frac{g_m n U_T}{I_D} - I_D$ και $\frac{g_m n U_T}{I_D} - IC$ για διαφορετικές τιμές της παραμέτρου ταχύτητας κορεσμού λc για NMOS τεχνολογία και μήκος κύματος $L=130\text{nm}$	41
20	$\frac{g_m U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T	42
21	$\frac{g_m U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T	43
22	$\frac{g_m n U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T	44
23	$\frac{g_m n U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T	45
24	Γράφημα με τις βασικές παραμέτρους του μοντέλου $I_0, \lambda c, n, V_{TO}$ για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T	46
25	Γράφημα με τις βασικές παραμέτρους του μοντέλου $I_0, \lambda c, n, V_{TO}$ για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T	47

List of Tables

1	Πίνακας με τιμές για όλες τις παραμέτρους των εξισώσεων του μοντέλου	16
---	--	----

1 Εισαγωγή

Η εργασία αυτή έχει ως σκοπό την δημιουργία ενός απλοποιημένου μοντέλου βασισμένο στο sEKV μοντέλο και τον προσδιορισμό παραμέτρων αυτού για σχεδίαση αναλογικών ολοκληρωμένων κυκλωμάτων CMOS, χρησιμοποιώντας δεδομένα της εταιρείας IHP για τρανζίστορ τεχνολογίας 130nm BiCMOS. Ως βάση χρησιμοποιείται το μοντέλο φορτίων του τρανζίστορ MOS τύπου sEKV. Στόχος είναι να δημιουργηθούν μοντέλα και εξισώσεις, για διαφορετικά μήκη καναλιού (length scaling) και διαφορετικές θερμοκρασίες (temperature scaling), και να εξαχθούν οι βασικές παράμετροι αυτών για τα παραπάνω τρανζίστορ. Η διαδικασία αυτή γίνεται τόσο NMOS όσο και για PMOS τρανζίστορ.

Πιο αναλυτικά, το Open-Source PDK (Process Design Kit) που προσφέρει η IHP παρέχει χαρακτηριστικές εισόδου ($I_D - V_G$) τρανζίστορ για NMOS και PMOS τεχνολογία για διαφορετικά μήκη καναλιού και διαφορετικές θερμοκρασίες. Συγκεκριμένα καλύπτει 10 διαφορετικές γεωμετρίες μήκους καναλιού από 10um (long channel) έως 120nm (short channel) και όσον αφορά την θερμοκρασία προσφέρει δεδομένα για 4 θερμοκρασίες από 233K έως 398K. Τα δεδομένα της θερμοκρασίας καλύπτουν 3 διαφορετικά μήκη καναλιού (10um, 180nm και 130nm).

Σε αυτά τα δεδομένα θα στηριχτεί η παρούσα διπλωματική εργασία για να επιτύχει τόσο το length όσο και το temperature scaling. Επιπρόσθετα, με κατάλληλη χρήση των δεδομένων αυτών δίνεται η δυνατότητα αναγνώρισης των περιοχών λειτουργίας των τρανζίστορ και εξαγωγής παραμέτρων του μοντέλου που χαρακτηρίζουν πλήρως την λειτουργικότητα των προαναφερθέντων τρανζίστορ.

2 Η τεχνολογία BiCMOS

Η τεχνολογία Bipolar CMOS (BiCMOS) είναι μια τεχνολογία ημιαγωγών που συμπεριέχει διπολικά τρανζίστορ (bipolar junction transistor) και CMOS (Complementary Metal-Oxide-Semiconductor) σε μια τεχνολογία. Τα διπολικά τρανζίστορ — εδώ πρόκειται για SiGe HBT τεχνολογία — προτιμούνται ιδιαίτερα στην σχεδίαση κυκλωμάτων υψηλής ισχύος και υψηλών συχνοτήτων καθώς προσφέρουν υψηλές ταχύτητες και κέρδος (gain), συνθήκες οι οποίες είναι θεμιτές σε εφαρμογές RF (radio frequency) ενισχυτών. Τα μειονεκτήματα της τεχνολογίας BiCMOS είναι το αυξημένο κόστος παραγωγής συγκριτικά με την απλή τεχνολογία CMOS καθώς η παραγωγή τους προκύπτει μετά από επιπλέον τεχνολογικά βήματα. Τα τρανζίστορ CMOS προσφέρουν, από την άλλη, μεταξύ άλλων, πλεονεκτήματα όπως μεγαλύτερη κλίμακα ολοκλήρωσης, καθώς και μειωμένη κατανάλωση. Το τελευταίο ευνοεί ιδίως τα ψηφιακά κυκλώματα.

3 Το μοντέλο-Εξισώσεις

Το μοντέλο της εργασίας βασίζεται στο simplified charged-based EKV μοντέλο (sEKV) [1], [2] για MOSFET (metal-oxide-semiconductor field-effect), το οποίο χρησιμοποιείται σε σύνθετες και περίπλοκες διαδικασίες (processes) παρά τις λιγοστές παραμέτρους που το περιγράφουν. Πιο αναλυτικά, το συγκεκριμένο μοντέλο που θα αναλυθεί περιγράφεται πλήρως από 4 βασικές παραμέτρους. Το slope factor n , την τάση κατωφλίου V_{T0} , την παράμετρο κορεσμού ταχύτητας I_0 και το I_0 που ονομάζεται specific current.

Οι βασικές εξισώσεις που περιγράφουν το μοντέλο παρουσιάζονται στην συνέχεια της εργασίας. Το μοντέλο αυτό βασίζεται στον συντελεστή αναστροφής IC (inversion coefficient) ο οποίος ορίζεται ως:

$$IC \triangleq \frac{I_D}{I_{spec}} \quad (1)$$

που ισχύει στον κορεσμό.

Το μοντέλο αυτό βασίζεται στο inversion coefficient IC που αποτελεί και βασική παράμετρο σχεδίασης και αντικαθιστά το $V_{ov} = V_G - V_{T0}$. Ως βασική παράμετρο σχεδίασης θα προσδιοριστούν ως προς το IC βασικές γραφικές αξιολόγησης των τρανζίστορ όπως το transconductance efficiency g_m/I_D , το οποίο και θεωρείται μέτρο αποδοτικότητας FOM (Figure of Merit). Οι σχέσεις που θα προκύψουν περιλαμβάνουν και το φαινόμενο μικρού καναλιού κορεσμού της ταχύτητας VS (Velocity Saturation), το οποίο αναλύεται στην συνέχεια.

Με βάση το IC ορίζονται οι διαφορετικές περιοχές λειτουργίας του MOSFET ως εξής:

- $IC \leq 0.1$ WI (weak inversion)
- $0.1 < IC \leq 10$ MI (moderate inversion)
- $10 < IC$ SI (strong inversion)

Η παράμετρος specific current I_{spec} χρησιμοποιείται για την κανονικοποίηση των ρευμάτων του device και δίνεται από τον τύπο:

$$I_{spec} \triangleq I_0 \cdot \frac{W}{L}$$

όπου η παράμετρος I_0 αποτελεί χαρακτηριστική παράμετρο της τεχνολογίας του τρανζίστορ με πλάτος W και μήκος L και ορίζεται ως:

$$I_0 = 2n\mu_0 C_{ox} U_T^2 \quad (2)$$

όπου n είναι το slope factor, μ_0 είναι η κινητικότητα (mobility) του καναλιού και ο υπολογισμός της θα οριστεί στην συνέχεια, C_{ox} είναι η χωρητικότητα οξειδίου ανά περιοχή και U_T ορίζεται η θερμοδυναμική τάση, η οποία εξαρτάται από την θερμοκρασία και δίνεται από τον τύπο $U_T = \frac{kT}{q}$.

Το I_0 υπολογίζεται ξεχωριστά για την κάθε τεχνολογία (n-type και p-type) τρανζίστορ και αποτελεί μια από τις πιο σημαντικές παραμέτρους σχεδίασης MOS-FET. Στην συνέχεια, έχοντας εκφράσει πειραματικά το I_D του device συναρτήσει του IC, μπορεί να εκφραστεί το κανονικοποιημένο φορτίο φορέων στην πηγή q_s .

$$q_s = \frac{1}{2} \cdot (\sqrt{4 \cdot IC + (1 + \lambda c)^2} - 1) \quad (3)$$

με μόνη άγνωστη παράμετρο την λc η οποία εξάγεται όπως θα αναλυθεί στην συνέχεια.

Το κανονικοποιημένο saturation voltage μπορεί να εκφραστεί συναρτήσει του q_s από την σχέση:

$$U_{dsat} = 2 \cdot q_s + \ln q_s \quad (4)$$

με το κανονικοποιημένο saturation voltage να ορίζεται ως

$$U_{dsat} = \frac{V_P - V_S}{U_T} \quad (5)$$

Επιπλέον γνωρίζοντας το pinch off voltage V_P μπορεί να εκφραστεί ως

$$V_P = \frac{V_G - V_{T0}}{n} \quad (6)$$

συνδυάζοντας τις 2 σχέσεις προκύπτει ότι

$$V_G = n \cdot V_P + V_{T0} = n \cdot (U_T \cdot u_{dsat} + V_S) + V_{T0} \quad (7)$$

η οποία έχει ως μόνο άγνωστο την παράμετρο V_{T0} .

Τέλος, συνδυάζοντας όλες τις σχέσεις και ξεκινώντας από το I_D καταλήγουμε στην εξής διαδρομή:

$I_D \rightarrow IC \rightarrow q_s \rightarrow V_{dsat} \rightarrow V_G$ όπου κάθε ρεύμα καναλιού απαγωγού I_D του device έχει εκφραστεί συναρτήσει της τάσης πύλης V_G .

4 Περιοχές Λειτουργίας

Μέσω του EKV3 μοντέλου μπορούν να βρεθούν οι περιοχές λειτουργίας που ισχύουν και για το μοντέλο που παρουσιάζεται στην εργασία.

- Cut-off region:

Σε αυτή την περιοχή λειτουργίας το device βρίσκεται σε off-state και το κανάλι δεν διαρρέεται από ρεύμα, $I_D \approx 0A$. Αρκεί να ισχύει $V_G < V_{TO}$ για να βρίσκεται το τρανζίστορ σε αυτήν την περιοχή.

- Saturation region:

Για να εισέλθει το device σε κορεσμό (saturation region) για την περίπτωση της χαρακτηριστικής εισόδου, σύμφωνα με το EKV3 μοντέλο, θα πρέπει να ισχύει ότι $V_G > V_{TO}$. Συνεπώς, θα βρίσκεται σε κορεσμό αφού εξέλθει από το cut-off region εκεί όπου οριακά ισχύει $V_G \approx V_{TO}$.

- Linear region:

Όσο αυξάνεται η τάση της πύλης V_G , από κάποια τιμή και μετά θα ισχύει $V_P \geq V_D \Rightarrow \frac{V_G - V_{TO}}{n} \geq V_D$, καθώς στις χαρακτηριστικές εισόδου η τάση κατωφλίου V_{TO} παραμένει σταθερή όσο παραμένει σταθερή η τάση απαγωγού V_D όπως και το slope factor n παραμένει σταθερό.

Συνεπώς, με την αύξηση της τάσης πύλης V_G από κάποια τιμή και έπειτα θα ισχύει $\frac{V_G - V_{TO}}{n} \geq V_D$, γεγονός που σηματοδοτεί την εισαγωγή του device στην γραμμική περιοχή (linear region). Επίσης, για να βρίσκεται στην περιοχή αυτή θα πρέπει το device να βρίσκεται σε on-state κατάσταση, δηλαδή να ισχύει $V_G > V_{TO}$. Τα παραπάνω συνοψίζονται στην εξής έκφραση:

$$V_P = V_{DSAT} = \frac{V_G - V_{TO}}{n}$$

5 Φαινόμενα μικρού καναλιού

5.1 Drain-induced barrier lowering (DIBL)

Το φαινόμενο Drain-induced barrier lowering (DIBL) [5] είναι ένα φαινόμενο μικρού καναλιού, το οποίο αναφέρεται στην μείωση της τάσης κατωφλίου V_{TO} του τρανζίστορ σε υψηλές τιμές τάσης απαγωγού V_D .

Όταν η πύλη (Gate) πλησιάζει τον απαγωγό (Drain) η τάση του απαγωγού μπορεί να επηρεάσει το φράγμα δυναμικού στο άκρο της πηγής (Source) με αποτέλεσμα η συγχέντρωση των φορέων σε εκείνη την περιοχή να μην είναι πλέον σταθερή.

Σε μια διάταξη μεγάλου καναλιού (long channel) ο σχηματισμός του καναλιού συμβαίνει αρκετά έξω από την επαφή του απαγωγού, η οποία είναι ηλεκτροστατικά προστατευμένη από την πύλη. Επομένως, η τάση κατωφλίου είναι ανεξάρτητη από την τάση απαγωγού.

Σε μια διάταξη μικρού καναλιού (short channel) δεν ισχύει το ίδιο. Ο απαγωγός βρίσκεται κοντά με την πύλη και έτσι μια υψηλή τάση απαγωγού μπορεί να ενεργοποιήσει το τρανζίστορ πρόωμα.

Πιο αναλυτικά, το συνολικό φορτίο στην περιοχή διακένωσης (depletion region) της συσκευής αποτελείται από 3 φορτία: της πύλης, της πηγής και του απαγωγού. Καθώς η τάση του απαγωγού αυξάνεται, η περιοχή διακένωσης της p-n επαφής του απαγωγού μεγαλώνει σε μέγεθος και επεκτείνεται κάτω από την πύλη. Ως αποτέλεσμα το φορτίο στην πύλη ελκύει περισσότερους φορείς στο κανάλι, και με αυτόν τον τρόπο παρατηρείται το φαινόμενο μείωσης της τάσης κατωφλίου (threshold voltage).

5.2 Velocity Saturation (VS)

Το φαινόμενο του velocity saturation (VS) [6] αναφέρεται στην μέγιστη ταχύτητα που μπορεί να αναπτύξει ένας φορέας φορτίου (ηλεκτρόνιο) σε έναν ημιαγωγό υπό την επίδραση υψηλού ηλεκτρικού πεδίου.

Η σύνηθης μέση ταχύτητα που αναπτύσσει ένας φορέας εξαιτίας του ηλεκτρικού πεδίου ονομάζεται drift velocity. Μία σημαντική παράμετρος που επηρεάζει το ηλεκτρικό πεδίο και κατ' επέκταση την ταχύτητα του φορέα είναι η κινητικότητα των φορέων (mobility). Ο τρόπος με τον οποίο υπολογίζεται παρατίθεται στην συνέχεια της εργασίας. Η κινητικότητα εξαρτάται από το υλικό του ημιαγωγού. Όσο πιο καλός είναι ένας ημιαγωγός τόσο πιο μεγάλη τιμή μπορεί να πάρει η κινητικότητα και τόσο πιο μεγάλη μπορεί να γίνει η ταχύτητα φορέα. Ωστόσο, υπάρχει ένα όριο στην διαδικασία αυτή καθώς μετά από κάποια μεγάλη τιμή του ηλεκτρικού πεδίου που επιδρά ο φορέας φορτίου δεν μπορεί να αναπτύξει μεγαλύτερη ταχύτητα και σε αυτή την κατάσταση λέγεται ότι η ταχύτητα φορέα έχει φτάσει στον κορεσμό (saturation velocity).

6 Εξισώσεις βασικών παραμέτρων

6.1 Length scaling

Τα δεδομένα που παρέχει η IHP αναλύονται για 10 διαφορετικά μήκη καναλιού, το πιο long και wide τρανζίστορ είναι στα 10um πλάτος και μήκος καναλιού, ενώ το πιο short έχει μήκος καναλιού 120nm. Στο πλάτος καναλιού W στην συγκεκριμένη εργασία δεν γίνεται scaling οπότε και παραμένει σταθερό στα 10um.

Στο σημείο αυτό θα παρουσιαστούν οι εξισώσεις των παραμέτρων που απαρτίζουν το μοντέλο ως προς το length scaling:

Για την επιλογή της κατάλληλης εξίσωσης χρησιμοποιήθηκε το εργαλείο του Matlab και πιο συγκεκριμένα το εργαλείο Curve Fitting και επιλέχτηκε εξίσωση πρώτου βαθμού της μορφής $y = ax^b + c$.

Όπως προκύπτει για την τάση κατωφλίου V_{TO} η εξίσωση θα είναι:

$$V_{TO_L} = V_{TO_a} \left(\frac{L}{L_{V_{TO_0}}} \right)^{V_{TO_b}} + V_{TO_c}$$

Για το slope factor n η εξίσωση θα είναι:

$$n_L = n_a \left(\frac{L}{L_{n0}} \right)^{n_b} + n_c$$

Για την παράμετρο κορεσμού ταχύτητας λc η εξίσωση θα είναι:

$$\lambda c_L = \left(\frac{LSAT}{L} \right) + L_{\lambda c_0}$$

Για το I_0 η εξίσωση θα είναι:

$$I_{0_L} = I_{0_a} \left(\frac{L}{L_{I_0}} \right)^{I_{0_b}} + I_{0_c}$$

Όλες οι παράμετροι με τις αντίστοιχες τιμές τους απεικονίζονται στον Πίνακα 1.

6.2 Temperature scaling

Στην παρούσα εργασία γίνεται η ανάλυση 4 διαφορετικών θερμοκρασιών για το συγκεκριμένο device με δεδομένα της IHP. Οι θερμοκρασίες αυτές είναι:

- $T_1 = 233 \text{ K}$ ή -40°
- $T_2 = 300 \text{ K}$ ή 27°
- $T_3 = 343 \text{ K}$ ή 70°

- $T_4 = 398 \text{ K}$ ή 125°

Στο σημείο αυτό θα παρουσιαστούν οι εξισώσεις που απαρτίζουν το μοντέλο ως προς το temperature scaling. Για την τάση κατωφλίου V_{TO} η εξίσωση θα είναι:

Table 1: Πίνακας με τιμές για όλες τις παραμέτρους των εξισώσεων του μοντέλου

Table of model Parameters				
Parameter name	N-type Length	N-type Temp	P-type Length	P-type Temp
VTO_a	0.117	0.117	0.06	0.06
VTO_b	-0.19	-0.19	-0.405	-0.405
VTO_c	0.069	0.069	0.339	0.339
n_a	0.38	0.38	1.985	1.985
n_b	-2.81	-2.81	-2.9	-2.9
n_c	1.225	1.225	1.2382	1.2382
I_{0a}	-0.51 E-07	-0.51 E-07	0.31 E-07	0.31 E-07
I_{0b}	-1.03	-1.03	-1.8525	-1.8525
I_{0c}	12.7 E-07	12.7 E-07	2.24 E-07	2.24 E-07
lc_0	0.1	0.1	0.1015	0.1015
$LSAT$	10.5 E-09	10.5 E-09	6 E-09	6 E-09
L_{VTO_0}	25 E-06	25 E-06	10 E-06	10 E-06
L_{n_0}	7 E-08	7 E-08	4.15 E-08	4.15 E-08
L_{I0_0}	1.3 E-06	1.3 E-06	0.187 E-06	0.187 E-06
T_{VTO_0}	-	0.0005	-	0.005
T_{n_0}	-	0.06	-	0.05
T_{lc_0}	-	-0.15	-	1.15
T_{I0_0}	-	0.2	-	1.6
$TNOM$	-	300	-	300

$$V_{TO_T} = V_{TO_L} - (T_{VTO_0} \cdot DT)$$

με $DT = TempK - TNOM$. TempK είναι η θερμοκρασία σε Kelvin $TempK = TEMP + 273$ και $TEMP$ η θερμοκρασία του εκάστοτε device σε θερμοκρασία Celsius. TNOM είναι μία σταθερά με τιμή $TNOM=300$.

Για το slope factor n η εξίσωση θα είναι:

$$n_T = n_L \cdot (rT^{T_{n_0}})$$

με rT να είναι ίσο με $rT = \frac{TempK}{TNOM}$, τα οποία ορίστηκαν προηγουμένως.

Για το lc η εξίσωση θα είναι:

$$lc_T = lc_L \cdot (rT^{T_{lc_0}})$$

Για το I_0 η εξίσωση θα είναι:

$$I0_T = I0_L \cdot (rT^{T_{i0}})$$

Όλες οι παράμετροι με τις αντίστοιχες τιμές τους απεικονίζονται στον Πίνακα 1.

7 Υπολογισμός $C_{ox'}$

Το $C_{ox'}$ δίνεται από τον τύπο: $C_{ox'} = \frac{C_{ox}}{M \cdot W \cdot L}$.

Το $C_{ox'}$ θα βρεθεί παρακάτω από την γραφική του $C_{GG} - V_G$, το L είναι το μήκος καναλιού, και W το πλάτος καναλιού του device. Ο όρος M αναφέρεται στο πόσες στοιβάδες τρανζίστορ χρησιμοποιήθηκαν για να προκύψουν οι μετρήσεις που παρατίθενται παρακάτω. Στην συγκεκριμένη περίπτωση $M=12$.

Για τον υπολογισμό του $C_{ox'}$ χρησιμοποιήθηκαν τα δεδομένα της IHP για γεωμετρία $W=400\mu m$ και $L=10\mu m$. Από το Figure 1 φαίνεται ότι η μέγιστη τιμή είναι $C_{ox}=603.8$ pF.

Επομένως, το κανονικοποιημένο $C_{ox'}$ θα ισούται με: $C_{ox} = \frac{603.8pF}{12 \cdot 400\mu m \cdot 10\mu m} = 0.0125 \frac{F}{m^2}$.

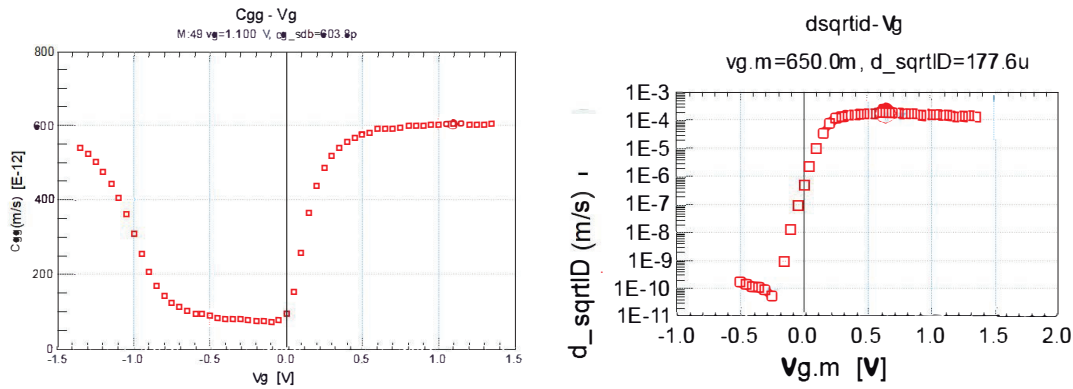


Figure 1: Εξαγωγή χωρητικότητας οξειδίου ανά μονάδα χώρου $C_{ox'}$ και κινητικότητας μ

8 Υπολογισμός κινητικότητας μ

Για την εξαγωγή της κινητικότητας μ έγιναν τα εξής: το β δίνεται από τον τύπο: $\beta = \mu C_{ox'} \frac{W}{L}$. Για το ρεύμα του drain σε saturation ισχύει ο τύπος: $I_D = \frac{n\beta}{2} \cdot (V_P - V_S)^2$, με $V_P = \frac{V_G - V_T}{n}$. Βάζοντας σε ρίζα τα μέλη της πρώτης έκφρασης και ισχύει:

$$\sqrt{I_D} = \sqrt{\frac{n\beta}{2}} \cdot (V_P - V_S) = \sqrt{\frac{n\beta}{2}} \cdot \left(\frac{V_G}{n} - \frac{V_T}{n} - V_S \right)$$

Παραγωγίζοντας με $\frac{d}{dV_G}$ και τα δύο μέλη και προκύπτει:

$$\frac{d\sqrt{I_D}}{dV_G} = \sqrt{\frac{n\beta}{2}} \cdot \frac{d}{dV_G} \left(\frac{V_G}{n} - \frac{V_T}{n} - V_S \right)$$

με τις V_T , n , V_S να είναι σταθερές οπότε η σχέση θα γίνει ως:

$$\frac{d\sqrt{I_D}}{dV_G} = \sqrt{\frac{n\beta}{2}} \cdot \frac{1}{n} = \sqrt{\frac{n\beta}{2n^2}} = \sqrt{\frac{\beta}{2n}}$$

άρα

$$\beta = 2n \left(\frac{d\sqrt{I_D}}{dV_G} \right)^2 = \mu C_{ox}' \frac{W}{L}$$

Από την τελευταία σχέση μπορεί να εξαχθεί η κινητικότητα μ .

$$\mu C_{ox}' \frac{W}{L} = 2n \left(\frac{d\sqrt{I_D}}{dV_G} \right)^2 \rightarrow \mu_{max} = \frac{2n}{C_{ox}'} \cdot \frac{L}{W} \cdot \left(\frac{d\sqrt{I_D}}{dV_G} \right)_{max}^2$$

Αφού κάνουμε plot την γραφική παρατηρούμε ότι το max του όρου $\left(\frac{d\sqrt{I_D}}{dV_G} \right)_{max}^2$ εντοπίζεται στα 177.6υ (m/s). Για $n=1.24$ η κινητικότητα ισούται με $\mu = 0.035 \frac{m^2}{V \cdot s}$

9 Εξαγωγή Παραμέτρων

9.1 Εξαγωγή I_0

Ως I_0 ορίζεται η βασική παράμετρος για μια συγκεκριμένη τεχνολογία MOSFET τρανζίστορ (2) και παρακάτω υπολογίζεται αναλυτικά. Σύμφωνα με [3] για το κανονικοποιημένο transconductance efficiency ισχύει ότι:

$$\frac{g_{ms}}{i_d} = \frac{1}{1 + q_s} = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + IC}}$$

Στο σημείο για το οποίο ισχύει $IC=2$ αντιστοιχεί στο ρεύμα απαγωγού I_D όπου το g_m/i_d παίρνει τιμή ίση με το 50% της μέγιστής της όπως φαίνεται στο Figure 2.

Για $IC=2$ θα ισχύει ότι

$$IC = 2 = \frac{I_D}{I_{spec}} = \frac{I_D}{I_0 \cdot \frac{W}{L}}$$

και επειδή ισχύει $W=L=10\mu m$ στην συγκεκριμένη περίπτωση προκύπτει:

$$I_0 = \frac{I_D}{2}$$

οπότε για $I_D = 2.480E-006$, το I_0 θα ισούται με $I_0=1.24E-006$. Όμοια, υπολογίζεται και για PMOS με τιμή $I_0=2.24E-007$.

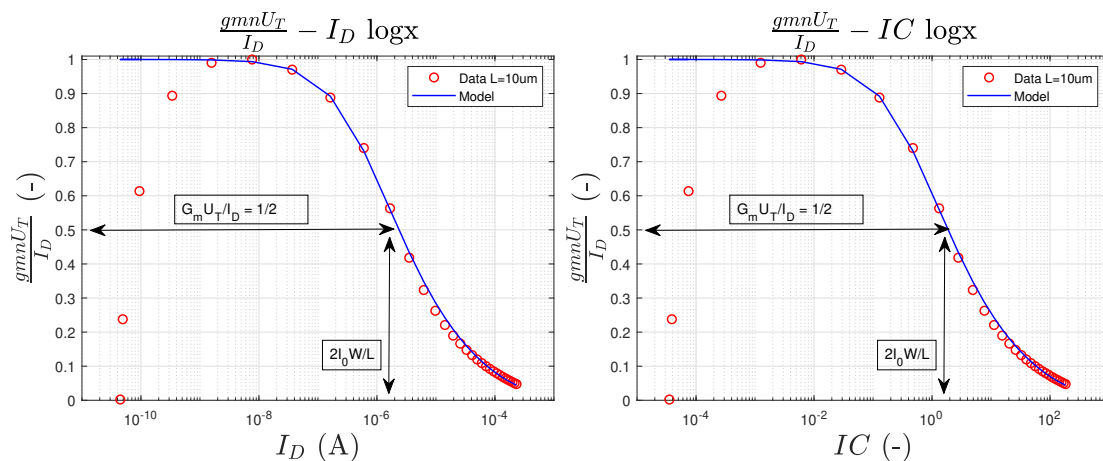


Figure 2: Εξαγωγή βασικής παραμέτρου του μοντέλου I_0

9.2 Εξαγωγή λ_c

Η παράμετρος του velocity saturation λ_c μπορεί να εξαχθεί από το διάγραμμα $G_m n U_T / IC$ αφού πρώτα έχει γίνει εξαγωγή της παραμέτρου n (slope factor). Σύμφωνα και με το άρθρο [1] η εξαγωγή του λ_c γίνεται με την βοήθεια της ασύπτωτης στο SI του device, στο σημείο όπου τέμνει την οριζόντια μονάδα. Όπως φαίνεται στο Figure 3 στο σημείο αυτό το IC (inversion coefficient) ισούται με $\frac{1}{\lambda_c}$. Συνεπώς, όπως φαίνεται από την εικόνα η τιμή της παραμέτρου λ_c ισούται με $\lambda_c = \frac{1}{4.573} = 0.2186$.

Το τρανζίστορ όπου έγινε η συγκεκριμένη μέτρηση είναι short channel ($W=10\mu m$ και $L=130nm$). Όμοια υπολογίζεται η παράμετρος για τις υπόλοιπες γεωμετρίες για NMOS και PMOS τεχνολογία.

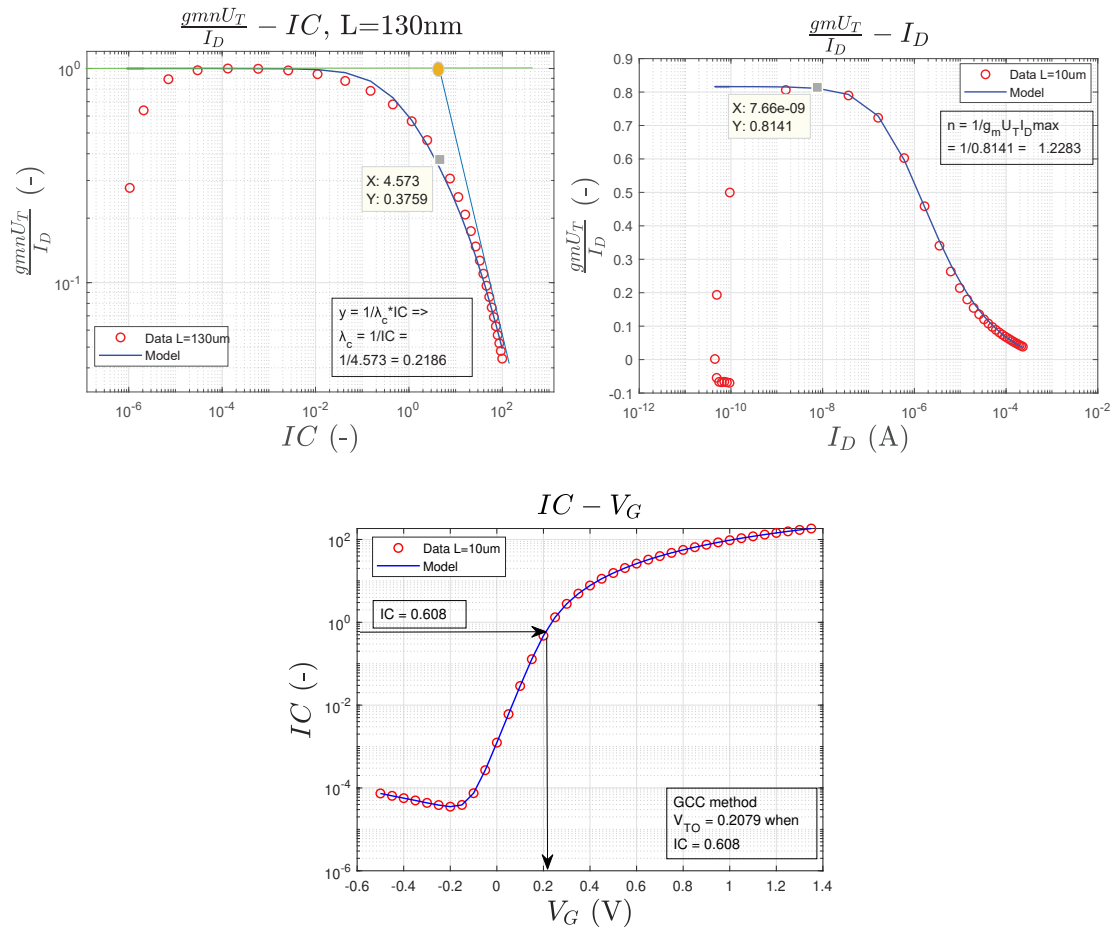


Figure 3: Γράφημα με την εξαγωγή βασικών παραμέτρων λ_c , n , V_{TO} , του μοντέλου.

9.3 Εξαγωγή n

Ο συντελεστής n (slope factor) είναι μια παράμετρος διάταξης (device parameter) του μοντέλου sEKV και αναλύεται η διαδικασία για την εξαγωγή του ως εξής:

Από το διάγραμμα $\frac{G_m U_T}{I_D} - I_D$ παρουσιάζεται το πλατό (plateau), δηλαδή στα σημεία όπου η τιμή του διαγράμματος φτάνει την μέγιστη τιμή και παρουσιάζεται μικρή μεταβολή της τιμής αυτής. Πιο συγκεκριμένα, στην περιοχή αυτή η τιμή του n θα ισούται με

$$n = \frac{1}{\left(\frac{G_m U_T}{I_D}\right)_{max}}$$

Όπως φαίνεται από το Figure 3 η τιμή του n σε αυτή την περίπτωση θα είναι ίση με:

$$n = \frac{1}{0.8141} = 1.2283$$

Η διαδικασία είναι η ίδια τόσο για long channel τρανίστορ όσο και για short channel τρανίστορ όπου επιδρούν φαινόμενα μικρού καναλιού.

9.4 Εξαγωγή V_{TO}

Για την εξαγωγή του V_{TO} (threshold voltage) χρησιμοποιήθηκε η μέθοδος GCC (Generalized Constant Current). Στην μέθοδο αυτή σε αντίθεση με άλλες μεθόδους η τάση κατωφλίου (threshold voltage) μπορεί να υπολογιστεί από τις χαρακτηριστικές μεταφοράς (transfer characteristics) σε οποιοδήποτε σημείο του ρεύματος. Βασίζεται στην φόρμουλα του μοντέλου φορτίων των MOSFET και επικεντρώνεται στον κορεσμό των τρανζίστορ ως γενίκευση. Η μέθοδος αυτή εφαρμόζεται κυρίως στα weak και moderate επίπεδα (WI και MI) και γι' αυτό καταφέρνει να κρατάει σε μικρό βαθμό την επίδραση του velocity saturation (VS).

Όπως παρουσιάζεται αναλυτικά [3] όταν $IC = 0.608$ σημειώνεται η συνθήκη $V_P = V_S$. Έτσι, μπορεί να εφαρμοστεί κριτήριο ρευμάτων για $IC = 0.608$ στην χαρακτηριστική ($I_D - V_G$) στον κορεσμό με την τάση κατωφλίου να ορίζεται ως

$$V_{TO} = V_G \mid V_P = V_S = 0V$$

Όπως φαίνεται στο Figure 3 στην συγκεκριμένη περίπτωση ισχύει: $V_{TO} = V_G = 0.2079$ όταν $IC = 0.608$.

10 Γραφικά Αποτελέσματα-Χαρακτηριστικές

10.1 Length scaling

10.1.1 Ρεύμα απαγωγού ως προς τάση πύλης $I_D - V_G$

Παρακάτω παρετίθενται οι χαρακτηριστικές εισόδου για NMOS και PMOS τρανζίστορ ($I_D - V_G$) για διαφορετικά μήκη καναλιού όπως φαίνεται στα Figure 4 και 5. Για κάθε χαρακτηριστική, αν $V_G < V_{T0}$ τότε δεν υπάρχει κανάλι ηλεκτρονίων (όταν αναφερόμαστε σε NMOS τρανζίστορ) και το τρανζίστορ βρίσκεται σε αποκοπή (cut-off region), δηλαδή το ρεύμα είναι σχεδόν μηδέν. Το τρανζίστορ βρίσκεται στην ασθενή περιοχή (weak inversion).

$$I_D = I_{off} \approx 0A$$

Υπάρχει ένα πολύ μικρό ρεύμα που ονομάζεται leakage current και οφείλεται στην ύπαρξη τάσεων V_D και V_G , οι οποίες δημιουργούν αντίστροφα ρεύματα προς το υπόστρωμα). Η τάση V_{T0} ονομάζεται τάση κατωφλίου του τρανζίστορ και ο τρόπος εξαγωγής της έχει αναλυθεί νωρίτερα. Όταν ισχύει $V_G > V_{T0}$ τότε δημιουργείται κανάλι ηλεκτρονίων στο NMOS τρανζίστορ και αυτό βρίσκεται στην γραμμική περιοχή ή σε περιοχή κορεσμού.

Στην ισχυρή αναστροφή (strong inversion) το ρεύμα του καναλιού δίνεται από την σχέση:

$$I_D = \frac{\beta}{2 \cdot n} \cdot (V_G - V_{T0} - n \cdot V_S)^2 \quad (8)$$

$$\text{όπου } \beta = \mu \cdot C_{ox} \cdot \frac{W}{L}.$$

Σύμφωνα με την σχέση (8) το ρεύμα καναλιού I_D συναρτήσει της τάσης πύλης V_G θα σχηματίσει παραβολή για σταθερή τάση πηγής V_S .

Από τις παρακάτω γραφικές στις χαρακτηριστικές εισόδου διακρίνονται διαφορές μεταξύ long και short channel devices. Η τάση κατωφλίου στα short channel είναι μικρότερη από την αντίστοιχη στα long, δηλαδή $V_{T0,short} < V_{T0,long}$. Το φαινόμενο αυτό οφείλεται στο φαινόμενο DIBL (Drain-Induced-Barrier-Lowering).

Επιπλέον, παρατηρείται πως στα πιο μικρά μήκη κύματος το ρεύμα I_D τείνει να γραμμικοποιηθεί με την τάση V_G , όταν δηλαδή είναι πιο έντονο το φαινόμενο κορεσμού της ταχύτητας V_S . Κατά τον κορεσμό για το ρεύμα σύμφωνα με [6] ισχύει:

$$I_D = W \cdot C_{ox} \cdot u_{SAT} \cdot (V_G - V_{T0} - n \cdot V_S)$$

γεγονός που αποδεικνύει την γραμμικοποίηση του ρεύματος στα short channel τρανζίστορ.

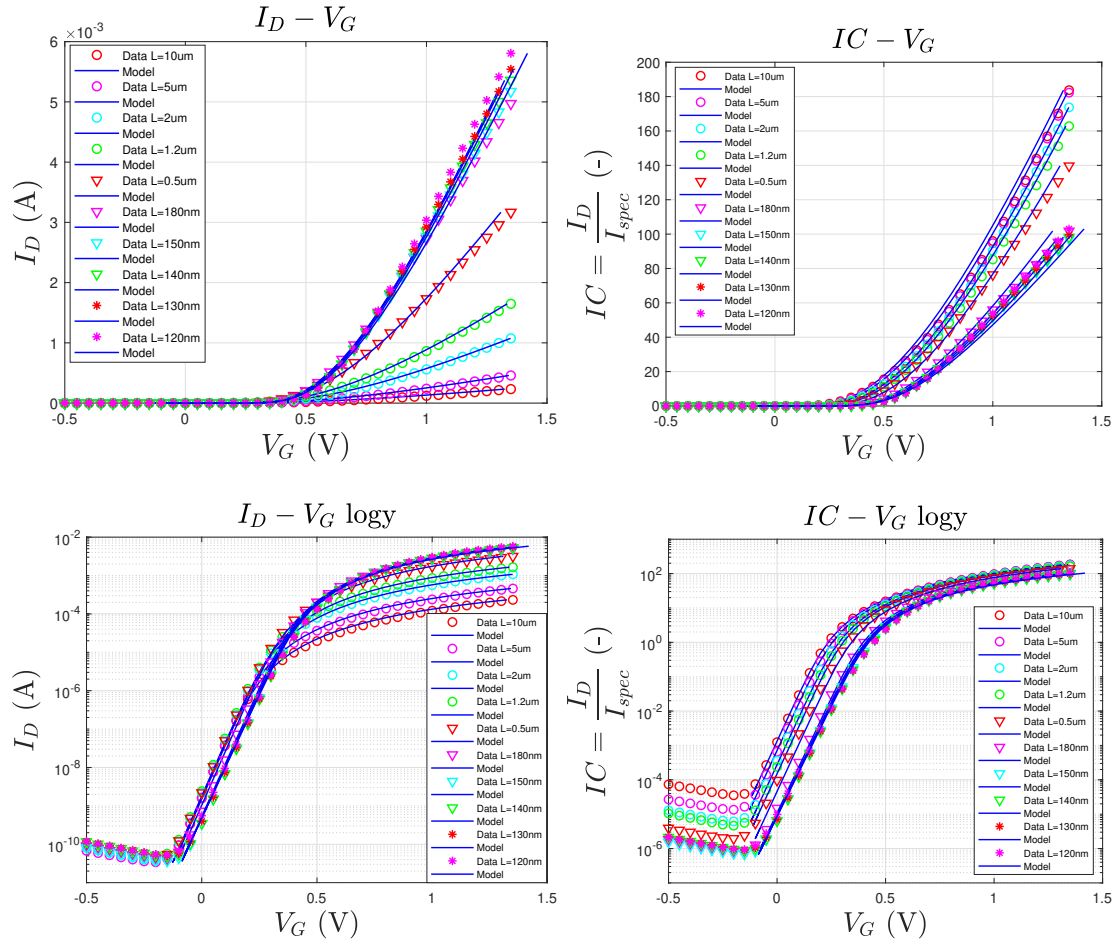


Figure 4: $I_D - V_G$ και $IC - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

Όπως φαίνεται στα διαγράμματα το ρεύμα στα short channel τρανζίστορ είναι αισθητά μικρότερο (μία τάξη μεγέθους μικρότερο). Ωστόσο, στα διαγράμματα ως προς τον συντελεστή αναστροφής IC λόγω της κανονικοποίησης των ρευμάτων των τρανζίστορ με το I_{spec} του καθενός, τα ρεύματα καταλήγουν στην ίδια τάξη μεγέθους.

Επίσης, στο διάγραμμα $IC - V_G$ παρατηρείται η επιρροή της σύμκρινσης του device, καθώς στα πιο short τρανζίστορ το ρεύμα αυξάνεται σχεδόν γραμμικά με την τάση V_G , ενώ στα long τρανζίστορ η σχέση του ρεύματος I_D με την τάση V_G τείνει να γίνει τετραγωνική.

Στην ασθενή αναστροφή (WI) ή περιοχή υποκατωφλίου (subthreshold region) παρατηρείται ότι το ρεύμα καναλιού $I_D \approx 0$, για τιμές τάσης πύλης μικρότερες της τάσης κατωφλίου ($V_G < V_{TO}$).

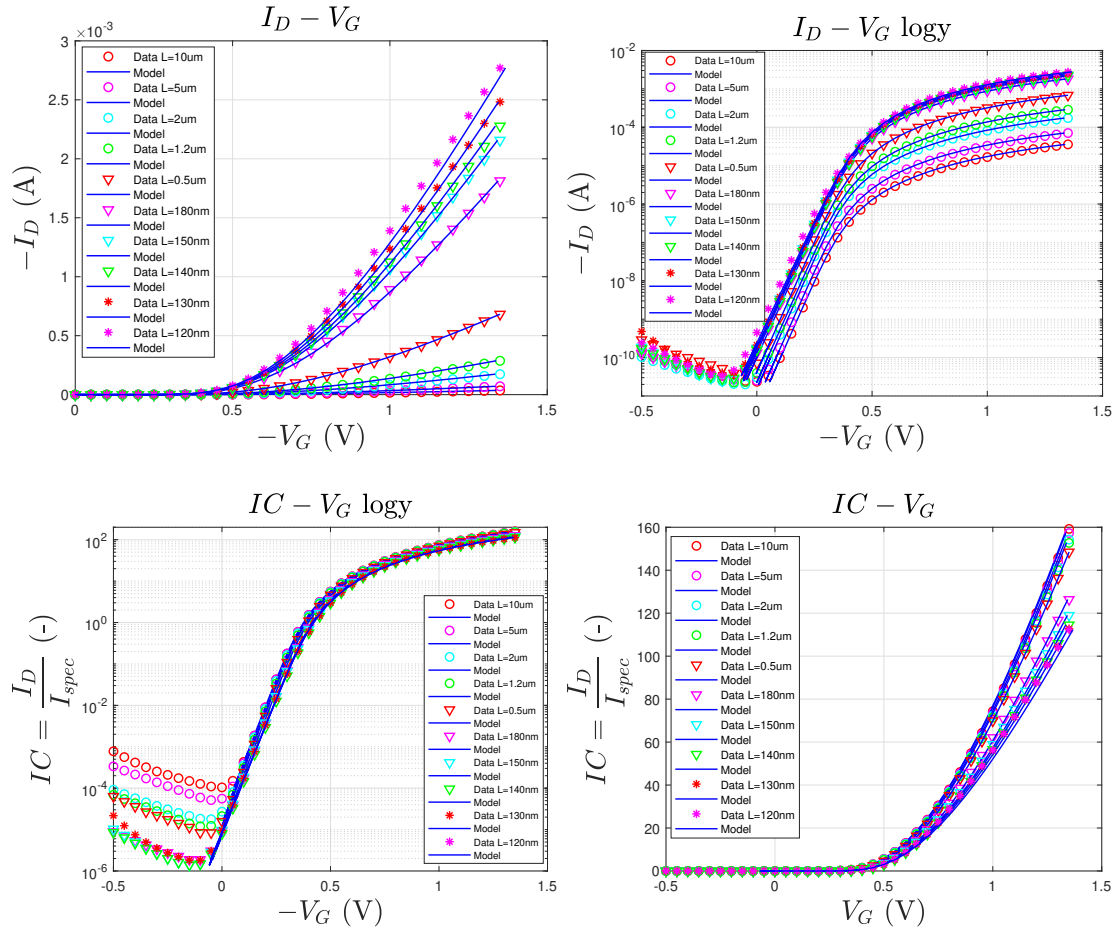


Figure 5: $I_D - V_G$ και $IC - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

Το διάγραμμα $IC - V_G$ είναι κανονικοποιημένο διάγραμμα καθώς το IC στον κορεσμό δίνεται από τον τύπο (1). Ουσιαστικά δηλαδή διαιρείται το ρεύμα καναλιού I_D με το specific current I_{spec} του κάθε τρανζίστορ. Όπως παρατηρείται και στο διάγραμμα λόγω της κανονικοποίησης των ρευμάτων των τρανζίστορ οι τιμές των κανονικοποιημένων ρευμάτων IC έχουν την ίδια τάξη μεγέθους.

Τέλος, όσον αφορά το ρεύμα απαγωγού I_D παρατηρείται ότι στα NMOS τρανζίστορ είναι περίπου διπλάσιο συγκριτικά με τα PMOS τρανζίστορ.

10.1.2 Διαγωγιμότητα πύλης ως προς τάση πύλης $g_m - V_G$

Η διαγωγιμότητα εκφράζει την μεταβολή του ρεύματος καναλιού I_D λόγω της μεταβολής της τάσης εισόδου V_G . Ουσιαστικά αντιπροσωπεύει ένα μέτρο ποιότητας

του device για το πόσο καλά μπορεί να μετατρέψει μία τάση σε ρεύμα. Η διαγωγιμότητα πύλης G_m ως προς την τάση πύλης του device υπολογίζεται ως η παράγωγος του ρεύματος καναλιού I_D ως προς την τάση V_G , για κάθε τιμή του V_G .

Αυτό φαίνεται στην παρακάτω σχέση:

$$G_m = \frac{\partial I_D}{\partial V_G} \quad (9)$$

Η εξίσωση που χρησιμοποιήθηκε για την διαγωγιμότητα g_m του μοντέλου σύμφωνα με το [2] είναι:

$$g_{m_{sEKV}} = \frac{G_{spec}}{n} \cdot \frac{(\sqrt{4IC + (1 + \lambda_c IC)^2} - 1)}{\lambda_c \cdot (\lambda_c \cdot IC + 1) + 2} \quad (10)$$

Για τιμές $V_G < V_{TO}$ δεν έχει δημιουργηθεί κανάλι στο device, άρα η διαγωγιμότητα θα είναι επίσης μηδενική.

Για τιμές $V_G \geq V_{TO}$ παρατηρείται γραμμικότητα στην χαρακτηριστική (περιοχή κορεσμού).

Ως διαγωγιμότητα ορίζεται η μερική παράγωγος του ρεύματος καναλιού I_D ως προς την τάση πύλης V_G , όπως ορίστηκε στην σχέση (9).

Παραγωγίζοντας την σχέση (9) του ρεύματος I_D προκύπτει

$$G_m = \frac{\partial I_D}{\partial V_G} = \frac{\partial \left(\frac{\beta}{2 \cdot n} \cdot (V_G - V_{TO} - n \cdot V_S)^2 \right)}{\partial V_G} = \frac{\beta}{n} \cdot (V_G - V_{TO} - n \cdot V_S)$$

θεωρώντας V_{TO} , V_S , n , β ανεξάρτητα της τάσης πύλης V_G που ισχύει.

Επομένως, στα long channel τρανζίστορ αναμένεται γραμμική εξάρτηση της διαγωγιμότητας G_m ως προς την τάση της πύλης V_G στον κορεσμό (SI). Στην sub-threshold περιοχή (WI) ισχύει ότι $I_D \approx 0$ αφού $V_G < V_{TO}$ άρα και η διαγωγιμότητα θα ισούται με $G_m = 0$ S.

Ο συνδυασμός αυτών των παρατηρήσεων επαληθεύεται στα διαγράμματα Figure 6 και 7 που ακολουθούν.

Συγκρίνοντας τα γραφήματα της διαγωγιμότητας ως προς την τάση πύλης για NMOS και PMOS παρατηρείται ότι τα PMOS έχουν μικρότερο g_m από ότι τα NMOS. Στα κανονικοποιημένα, ωστόσο, διαγράμματα $\frac{g_m}{G_{spec}} - V_G$ οι τιμές της διαγωγιμότητας έρχονται στην ίδια τάξη τιμών καθώς η διαγωγιμότητα κανονικοποιείται διαιρώντας με $G_{spec} = \frac{I_{spec}}{U_T}$.

10.1.3 Transconductance efficiency $\frac{g_m U_T}{I_D} - I_D$

Το μέγεθος του $\frac{G_m U_T}{I_D}$ (transconductance efficiency) δείχνει την αποδοτικότητα της διαγωγιμότητας της πύλης G_m σε σχέση με το ρεύμα πόλωσης που υπάρχει στο

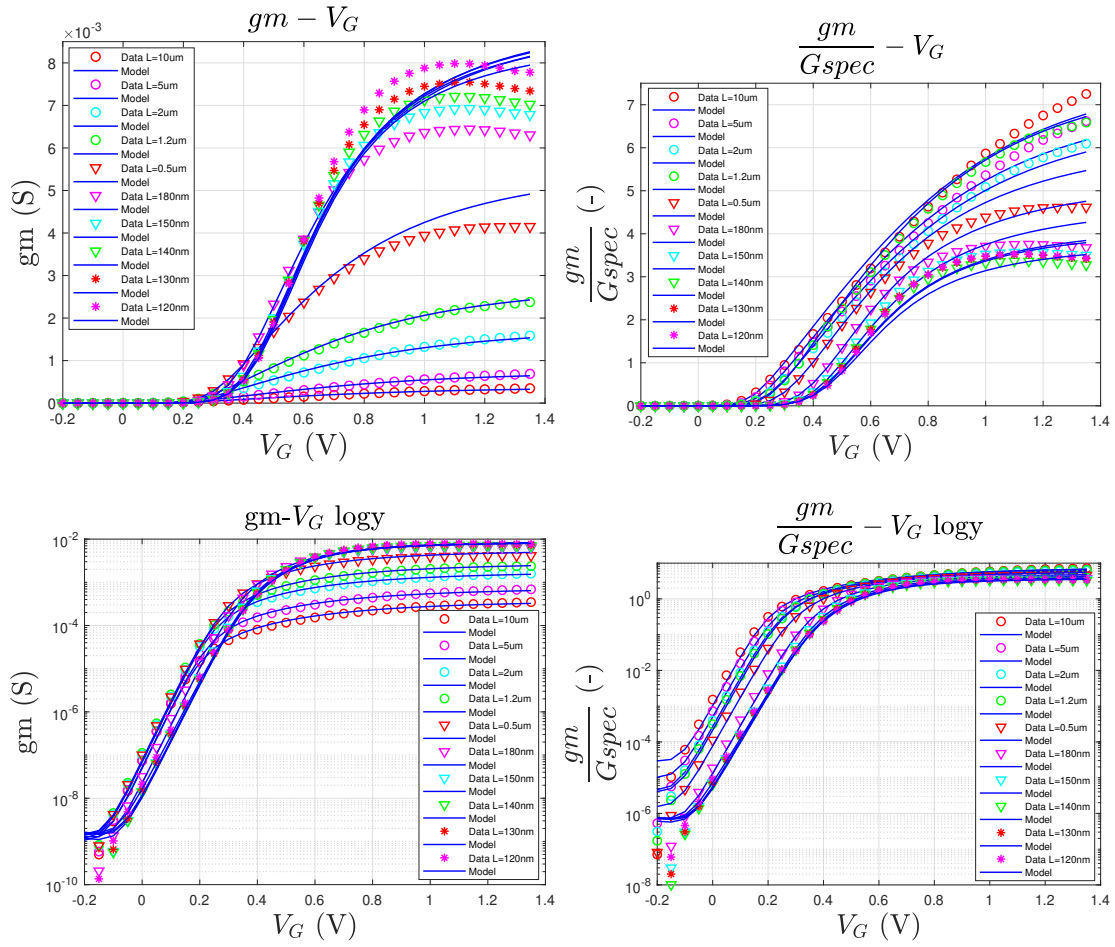


Figure 6: $g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

device. Όσο πιο μεγάλες είναι οι τιμές του μεγέθους αυτού τόσο μεγαλύτερες τιμές λαμβάνει η διαγωγιμότητα της πύλης σε σχέση με το ρεύμα καναλιού I_D . Πρόκειται για ένα μέγεθος που χαρακτηρίζεται ως Figure-Of-Merit (FOM), καθώς το διάγραμμα του καθορίζει την αποδοτικότητα του device που μελετάται.

Η μέγιστη αποδοτικότητα του transconductance efficiency επιτυγχάνεται στο cut-off region, καθώς η περιοχή ρευμάτων στην περιοχή αυτή έχει τιμές της τάξεως μερικών δεκάδων nA.

Επίσης, γίνεται αντιληπτό από τον τύπο της αποδοτικότητας της διαγωγιμότητας της πύλης, όσο αυξάνεται το ρεύμα πόλωσης του device τόσο θα μειώνεται η αποδοτικότητα της διαγωγιμότητας της πύλης.

Σε μια περαιτέρω προσπάθεια ερμηνείας και χρησιμότητας του μεγέθους αυτού

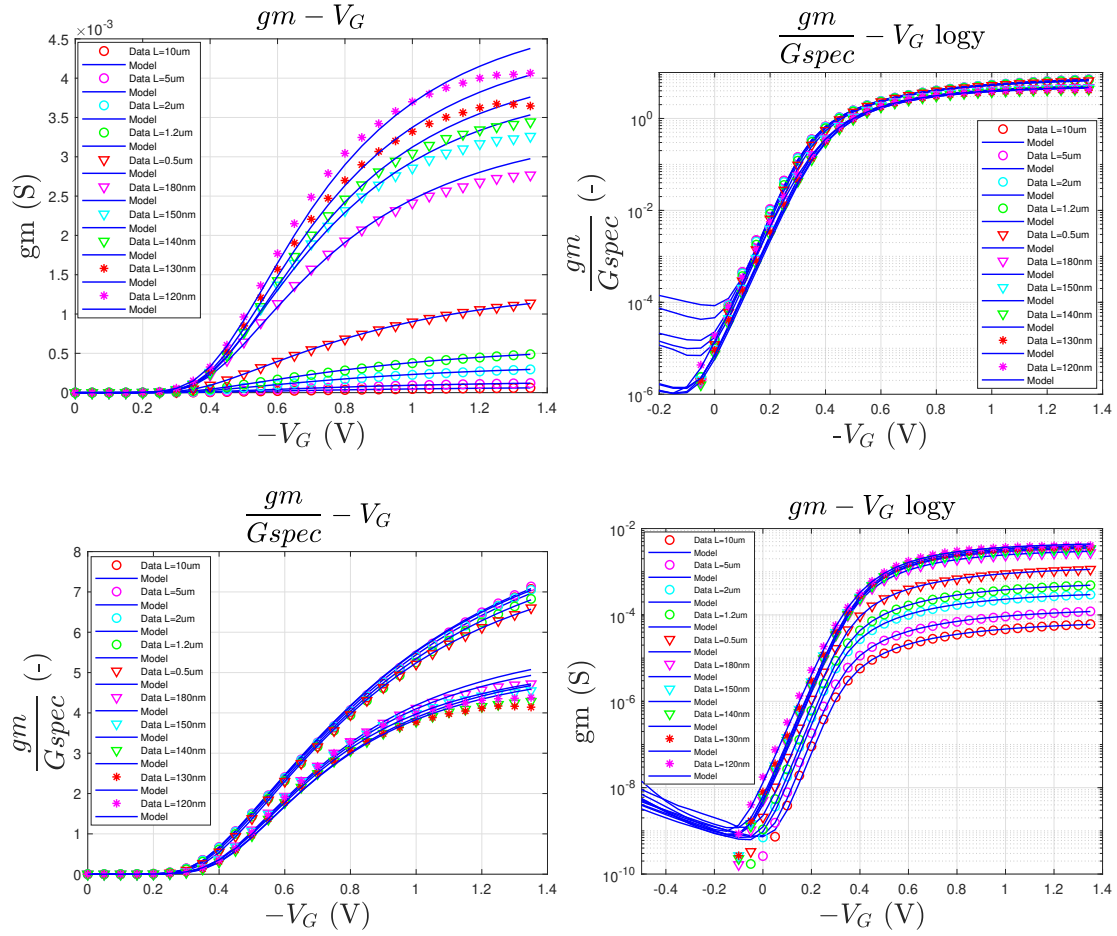


Figure 7: $g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

στην πραγματική χρήση ενός σχεδιαστή αναλογικών κυκλωμάτων, αυτός θα μπορέσει να λάβει την επιθυμητή διαγωγιμότητα για το MOSFET επιλέγοντας την ελάχιστη κατανάλωση ρεύματος (I_D). Με αυτόν τον τρόπο βελτιστοποιείται η ενεργειακή απόδοση της συσκευής που θα χρησιμοποιεί τα MOSFET με την μέγιστη αποδοτικότητα διαγωγιμότητας (transconductance efficiency).

Ο τύπος για το g_m/i_d που χρησιμοποιείται στο μοντέλο είναι:

$$\frac{g_m U_T}{I_D}_{sEKV} = \frac{1}{n} \cdot \frac{(\sqrt{4IC + (1 + \lambda_c IC)^2} - 1)}{IC[(\lambda_c \cdot (\lambda_c IC + 1) + 2]}$$

και τα γραφικά του αποτελέσματα φαίνονται στα Figure 8 και 9.

Τα σημεία του μοντέλου που φαίνονται να μην ακολουθούν τα πειραματικά δε-

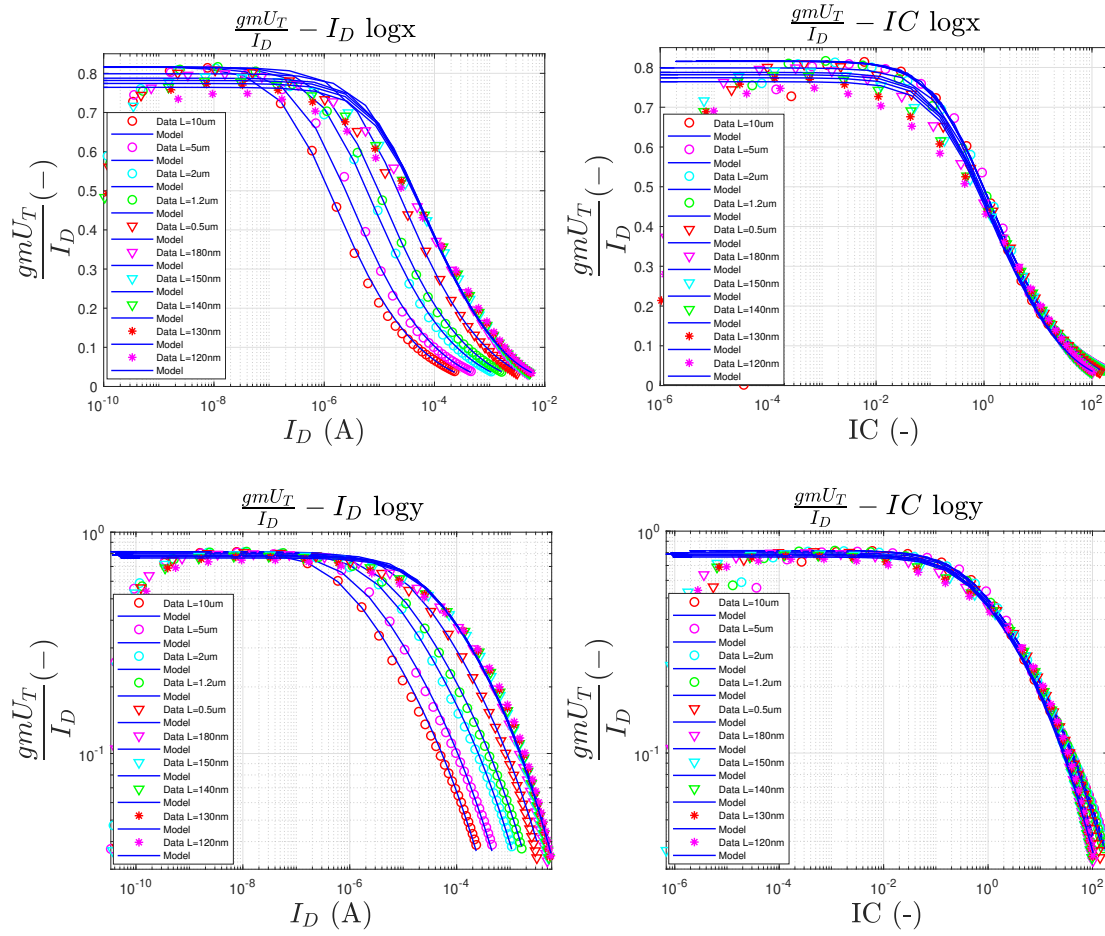


Figure 8: $\frac{gmU_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

δομένα οφείλονται σε ρεύματα διαρροής (leakage currents) και είναι σημεία που δεν περιλαμβάνει η μοντελοποίηση της παρούσας εργασίας.

Όσον αφορά το υπόλοιπο του γραφήματος φαίνεται ότι το μοντέλο ακολουθεί σχεδόν πιστά τα δεδομένα της IHP. Ειδικότερα, στα κανονικοποιημένα γραφήματα του $\frac{gm}{i_d}$ ως προς τον συντελεστή αναστροφής είναι πιο αισθητή αυτή η "ταύτιση" πειραματικών και θεωρητικών δεδομένων (σε NMOS και PMOS) σε όλο το φάσμα του μήκους κύματος συμπεριλαμβάνοντας ικανοποιητικά τα short channel φαινόμενα που επιδρούν λόγω του VS.

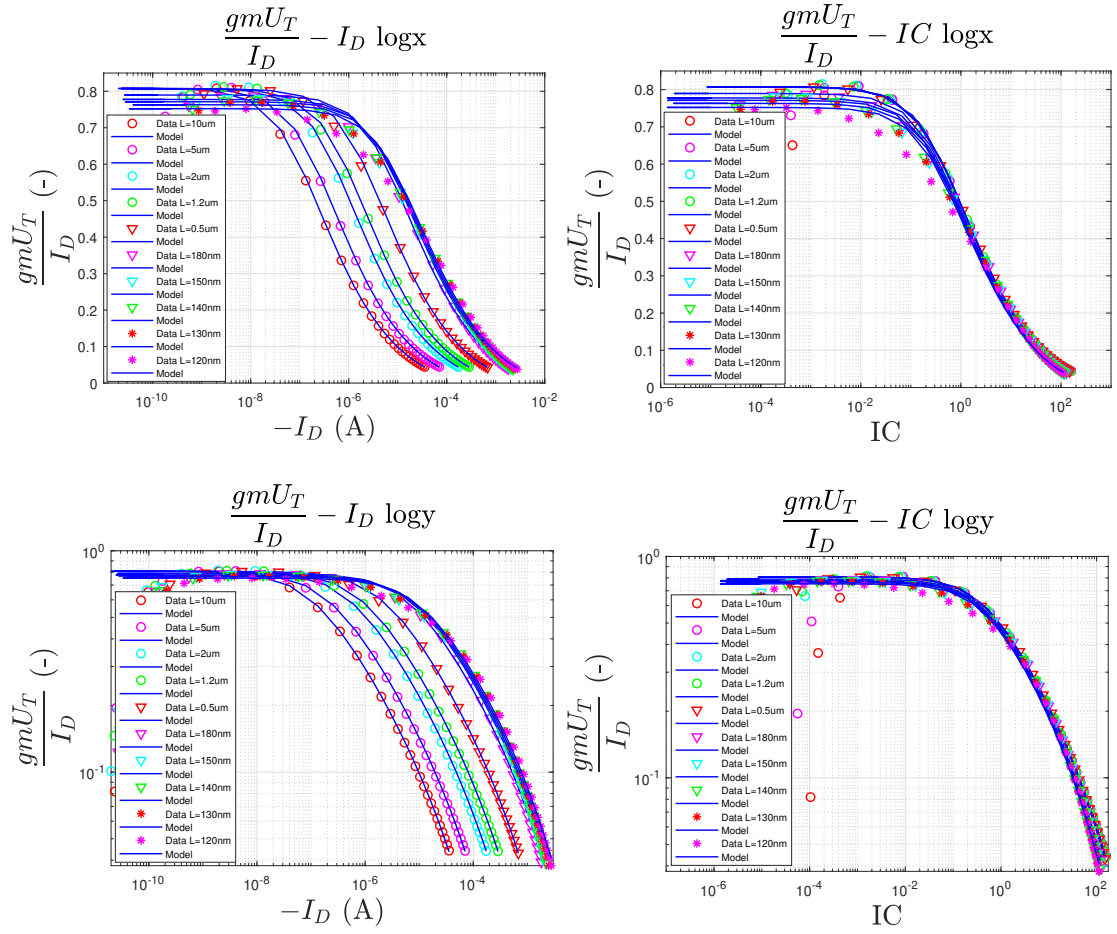


Figure 9: $\frac{gmU_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L.

10.1.4 Κανονικοποιημένο transconductance efficiency $\frac{gmU_T}{I_D} - I_D$

Στην κανονικοποιημένη του μορφή, το transconductance efficiency περιγράφεται ως εξής:

$$\frac{g_{ms}}{IC} = \frac{G_{ms} \cdot I_{spec}}{G_{spec} \cdot I_D} = \frac{G_{ms} \cdot I_{spec} \cdot U_T}{I_{spec} \cdot I_D} = \frac{G_m \cdot n \cdot U_T}{I_D}$$

όπου χρησιμοποιήθηκαν οι εξής σχέσεις:

$$g_{ms} = \frac{G_{ms}}{G_{spec}}$$

$$G_{spec} = \frac{I_{spec}}{U_T}$$

$$G_{ms} = G_m \cdot n, \text{ στον κορεσμό}$$

Σύμφωνα με το άρθρο [1] το transconductance efficiency στην κανονικοποιημένη του μορφή ορίζεται ως

$$\frac{g_{ms}}{IC} = \frac{G_m \cdot n U_T}{I_D} \Rightarrow g_{mnutid_{SEKV}} = \frac{(\sqrt{4IC + (1 + \lambda_c IC)^2} - 1)}{IC[\lambda_c \cdot (\lambda_c IC + 1) + 2]} \quad (11)$$

Η έκφραση αυτή (11) ισχύει από το WI (weak inversion) έως το SI (strong inversion) και περιλαμβάνει το φαινόμενο του velocity saturation (VS). Όπως φαίνεται στις γραφικές Figure 10 και 11 ο όρος $\frac{G_m n U_T}{I_D}$ γίνεται μέγιστος και ίσος με μονάδα στο WI και μειώνεται κατά $\frac{1}{\sqrt{IC}}$ στο SI για τα long-channel τρανζίστορ, στα οποία το φαινόμενο του VS είναι μικρό.

Το κανονικοποιημένο transconductance efficiency [6] δίνεται από την σχέση:

$$\frac{G_{ms} \cdot U_T}{I_D} = \frac{G_m \cdot U_T \cdot n}{I_D} = \frac{2}{\sqrt{4IC + 1} + 1} \quad (12)$$

και επειδή στον κορεσμό ισχύει ότι

$$i_f = \frac{I_F}{I_{spec}} = \frac{I_D}{I_{spec}} = IC$$

Οπότε η σχέση (12) θα είναι η εξής:

$$\frac{G_{ms} \cdot U_T}{I_D} = \frac{G_m \cdot U_T \cdot n}{I_D} = \frac{2}{\sqrt{4IC + 1} + 1} = \begin{cases} 1, & \text{if } IC \leq 1 \\ \frac{1}{\sqrt{IC}}, & \text{if } IC \geq 1 \end{cases} \quad (13)$$

Όσον αφορά την διαγωγιμότητα πύλης ως προς τον συντελεστή αναστροφής [1] δίνεται από την εξής σχέση:

$$\frac{g_m}{IC} = \frac{g_{ms}}{n \cdot IC} = \frac{G_m \cdot U_T}{I_D}$$

Το γράφημα ως προς IC είναι ουσιαστικά το κανονικοποιημένο γράφημα ως προς το ρεύμα. Η κανονικοποίηση αυτή δείχνει την μείωση του transconductance efficiency λόγω της σύμκρινσης του καναλιού του device.

Με βάση τις περιοχές λειτουργίας των τρανζίστορ όπως έχουν ορίσει προηγουμένως αυτές διακρίνονται και στα κανονικοποιημένα γραφήματα ως προς τον συντελεστή αναστροφής IC . Πιο αναλυτικά, στο WI το κανονικοποιημένο g_m/i_d παίρνει την μέγιστη τιμή του ίση με μονάδα. Στο MI για $0.1 \leq IC \leq 10$ το device

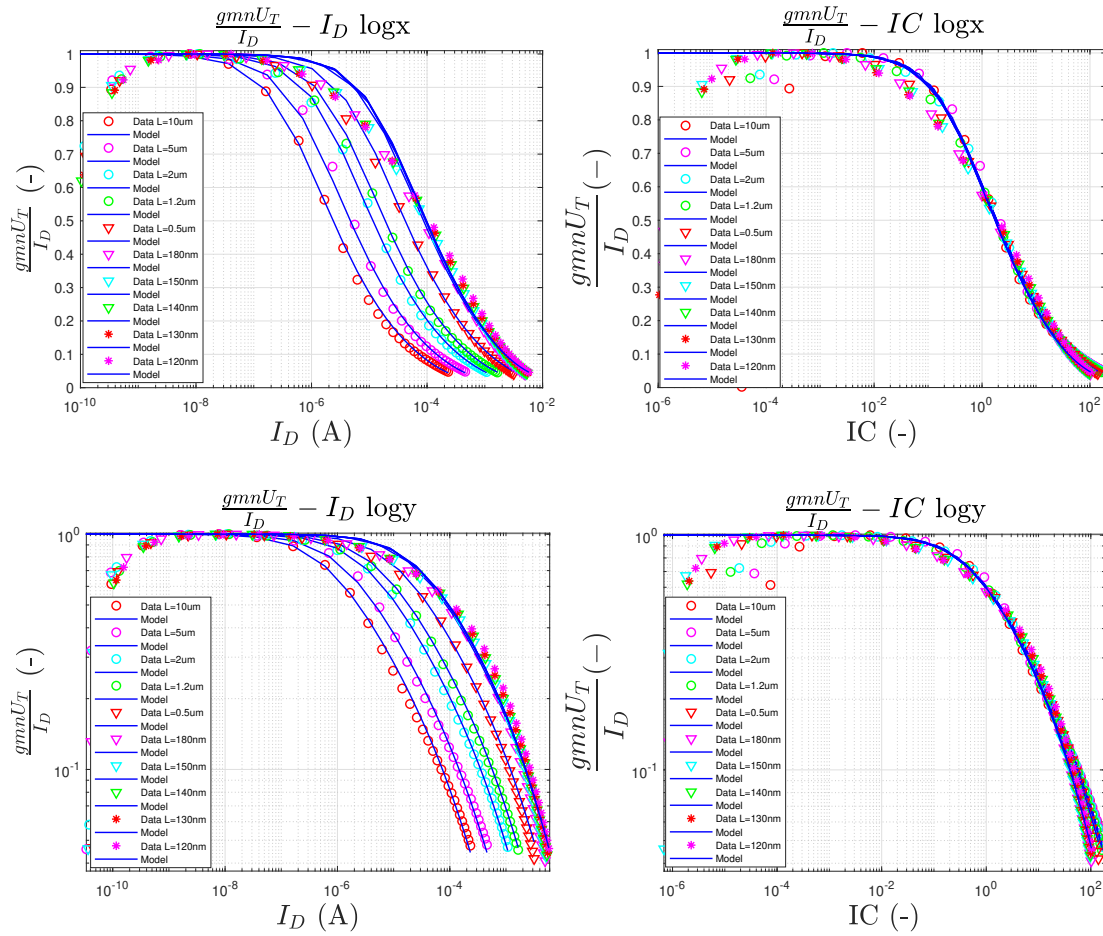


Figure 10: $\frac{gm n U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

χάνει σταδιακά έως και το 80% της απόδοσής του και όταν φτάσει στο SI το device πλέον είναι ενεργειακά ασύμφορο. Στο SI χρειάζεται πολύ ρεύμα για να υπάρξει διαγωγιμότητα και είναι μια περιοχή που θα μπορούσε να χαρακτηριστεί ενεργειακά ασύμφορη.

10.1.5 Παράμετροι μοντέλου

Στο σημείο αυτό παρατίθενται στα Figure 12 και 13 τα συγκεντρωτικά γραφήματα των βασικών παραμέτρων του μοντέλου για NMOS και PMOS τρανζίστορ που προέκυψαν από το scaling ως προς το μήκος κύματος L .

Στα γραφήματα παρουσιάζονται οι εξισώσεις της καθεμιάς παραμέτρου μαζί με τις τιμές των παραμέτρων που την ακολουθούν. Παρουσιάζονται με κύκλο τα θεωρητικά

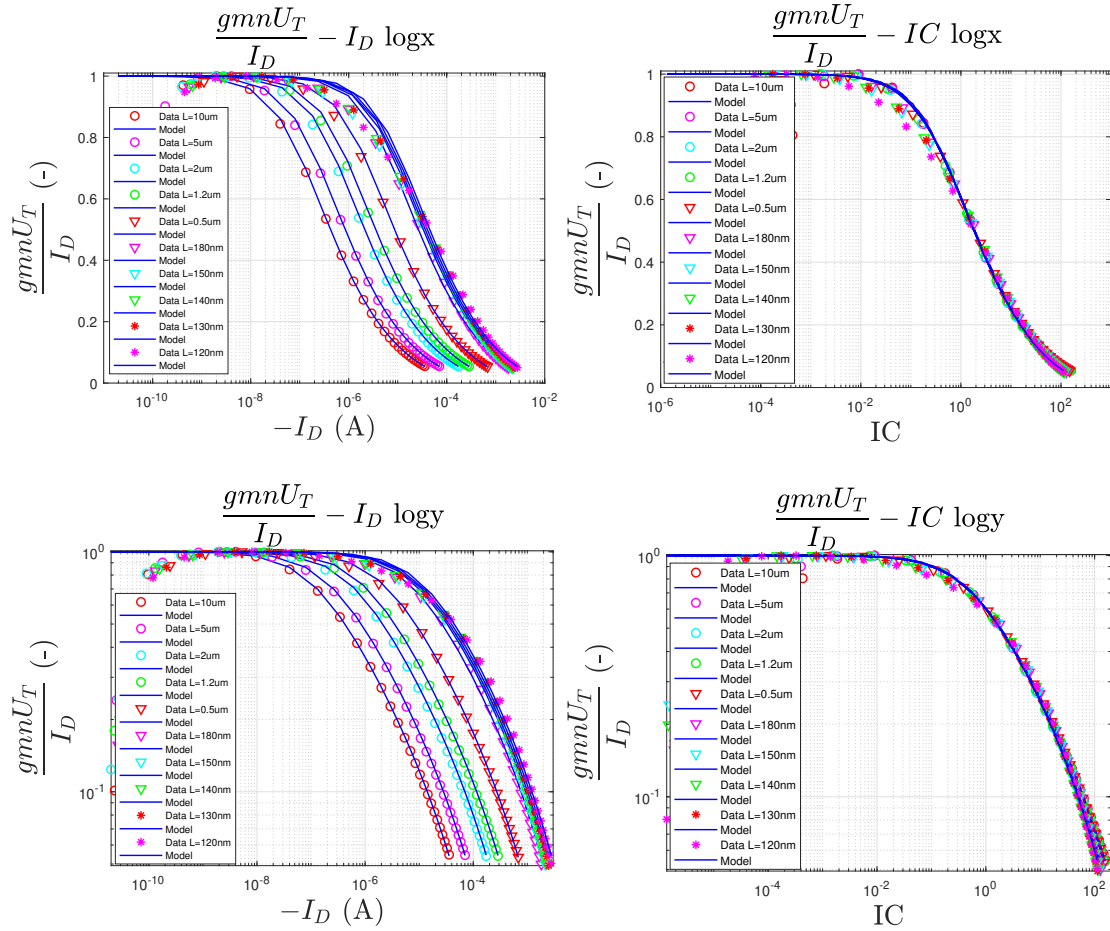


Figure 11: $\frac{g_{mn}U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

δεδομένα της IHP και με γραμμή τα δεδομένα του μοντέλου.

Όπως γίνεται αντιληπτό το scaling ως προς τις 3 από τις 4 (I_0, n, V_{TO}) βασικές παραμέτρους είναι πολύ κοντά στο επιθυμητό και χαρακτηρίζουν ικανοποιητικά το μοντέλο. Στην μοντελοποίηση της παραμέτρου κορεσμού της ταχύτητας μ_c παρατηρείται μια απόκλιση που οφείλεται στην μέθοδο εξαγωγής της παραμέτρου. Η μέθοδος αυτή εξαρτάται σε μέγιστο βαθμό από την ασύμπτωτη που εφαρμόζεται, η οποία δεν δημιουργείται μέσω κώδικα, και είναι λογικό να υπάρχουν αποκλίσεις στις τιμές ανάλογα με το σε ποια σημεία αυτή εφαρμόζεται. Για τον λόγο αυτό έχουν πραγματοποιηθεί δύο διαφορετικές εξαγωγές των δεδομένων με την δεύτερη να προσεγγίζει σε πιο ικανοποιητικό βαθμό το μοντέλο.

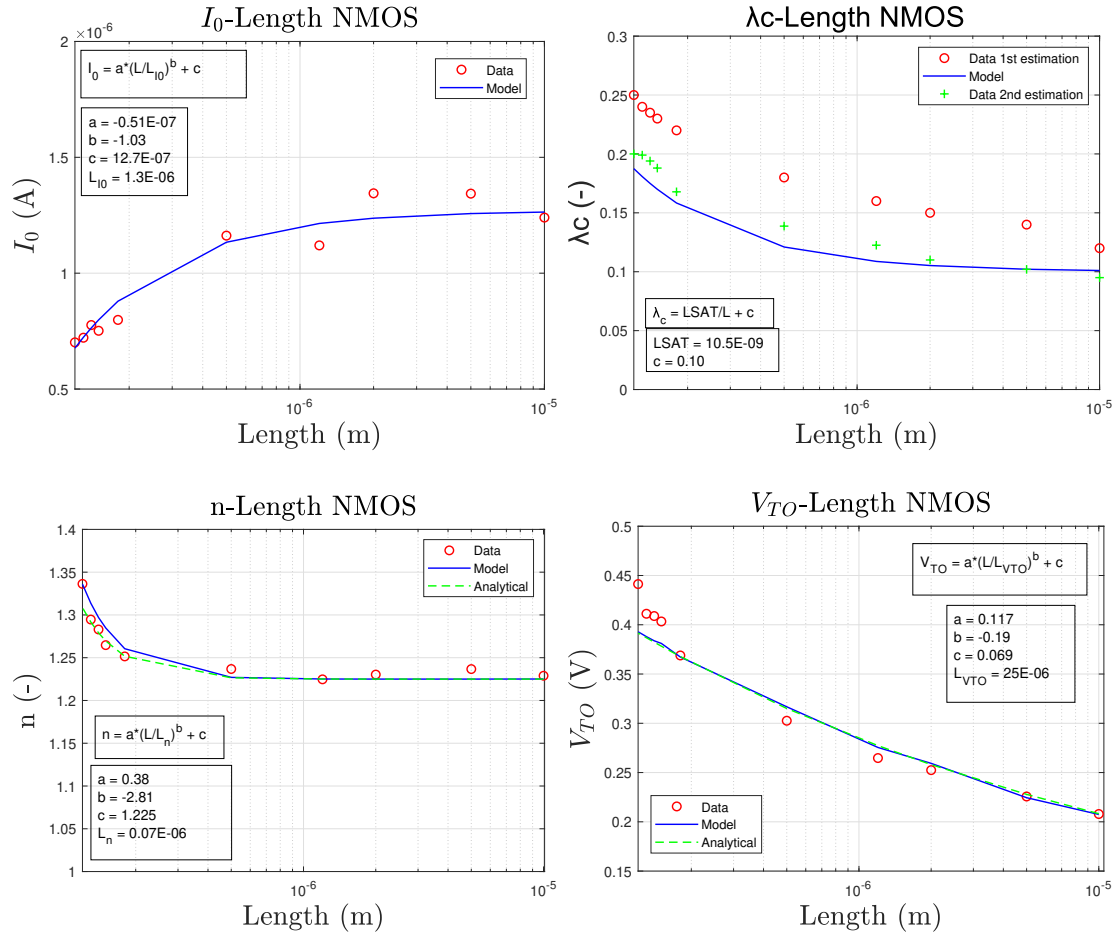


Figure 12: Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λ_c , n , V_{TO} για NMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

10.2 Temperature scaling

10.2.1 Ρεύμα απαγωγού ως προς τάση πύλης $I_D - V_G$

Παρακάτω παρετίθενται στα Figure 14 και 15 οι χαρακτηριστικές εισόδου του τρανζίστορ ($I_D - V_G$) για διαφορετικές θερμοκρασίες. Το μοντέλο περιλαμβάνει δεδομένα για 4 θερμοκρασίες και μοντελοποιείται για 2 διαφορετικά μήκη κύματος, ένα long channel ($L=10\mu\text{m}$) και ένα short channel ($L=130\text{nm}$).

Όπως φαίνεται στις γραφικές όσο μεγαλώνει η θερμοκρασία στα device τόσο μειώνεται το ρεύμα I_D . Το φαινόμενο του VS περιγράφεται σε μεγάλο βαθμό.

Στα γραφήματα το μοντέλο εφαρμόζεται ικανοποιητικά (σε NMOS και PMOS) πάνω στα δεδομένα και αυτό φαίνεται καλύτερα στα κανονικοποιημένα διαγράμματα

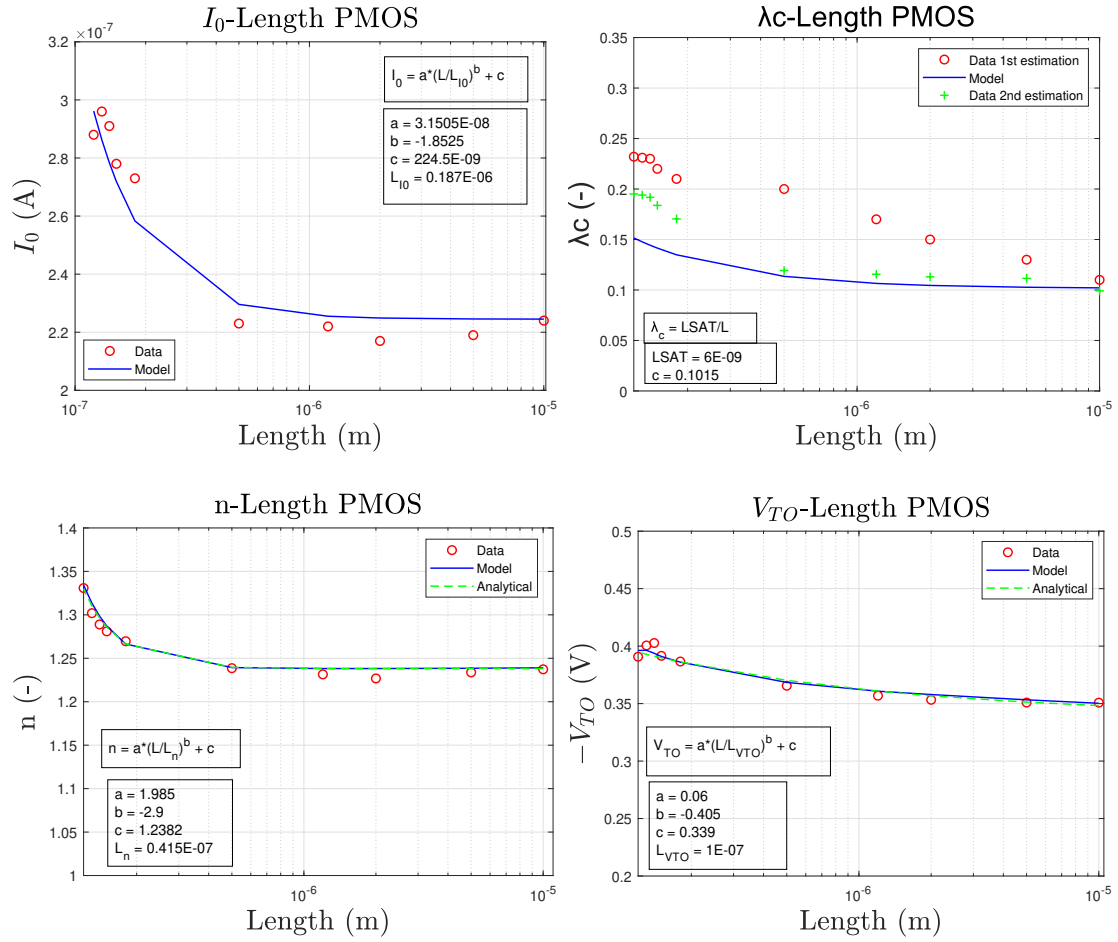


Figure 13: Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λ_c , n , V_{TO} για PMOS τεχνολογία με scaling ως προς το μήκος κύματος L .

ως προς τον συντελεστή αναστροφής IC.

10.2.2 Διαγωγιμότητα πύλης ως προς τάση πύλης $g_m - V_G$

Το ίδιο όπως και για το ρεύμα απαγωγού I_D ισχύει και για την διαγωγιμότητα g_m καθώς αυτή εξαρτάται από το ρεύμα όπως έχει οριστεί (9).

Η διαγωγιμότητα g_m ως προς την πύλη τάσης V_G όπως φαίνεται στα διαγράμματα δεν ακολουθείτε πιστά από το μοντέλο. Το γεγονός αυτό οφείλεται στο ότι οι τιμές του μοντέλου προκύπτουν χρησιμοποιώντας την σχέση (10), καθώς δεν γίνεται να γίνει χρήση της σχέσης (9) αφού για το μοντέλο δεν γνωρίζουμε το ρεύμα απαγωγού I_D . Αυτό χρησιμοποιείται ως δεδομένο προκειμένου να καταλήξει το μοντέλο στην τάση $V_{G_{sEKV}}$.

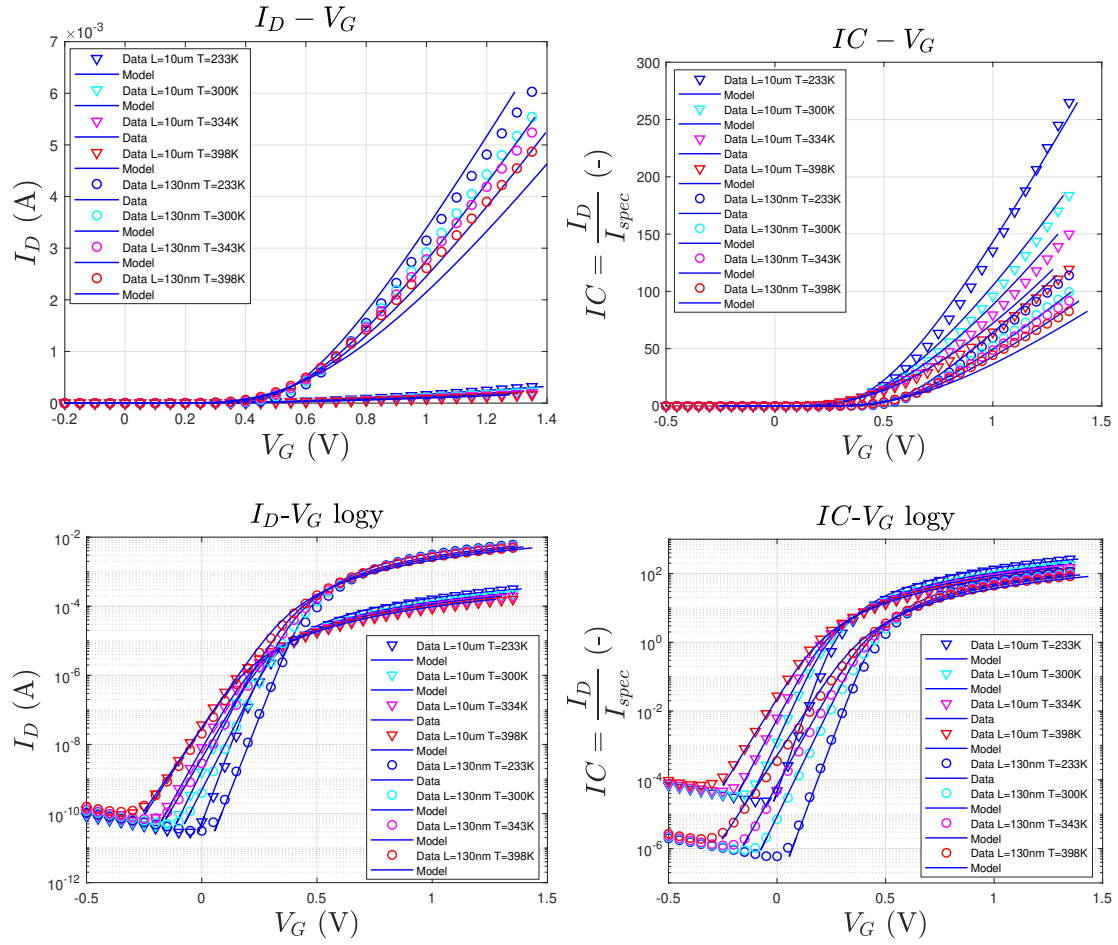


Figure 14: $I_D - V_G$ και $IC - V_G$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

Για να γίνει πιο κατανοητό αυτό για το NMOS τρανζίστορ των 130nm εφαρμόστηκε το μοντέλο για διαφορετικές τιμές του λ_c προκειμένου να ελεγχθεί η επίδραση του ως VS φαινόμενο. Στις γραφικές Figure 18 και 19 φαίνονται τα κύρια διαγράμματα περιγραφής του μοντέλου. Όπως παρατηρείται και στα γραφήματα της διαγωγιμότητας δεν μπορεί να προσδιοριστεί βέλτιστα το μοντέλο πάνω στα δεδομένα. Η τιμή της παραμέτρου κορεσμού της ταχύτητας που επιλέχτηκε είναι $\lambda_c = 0.1$.

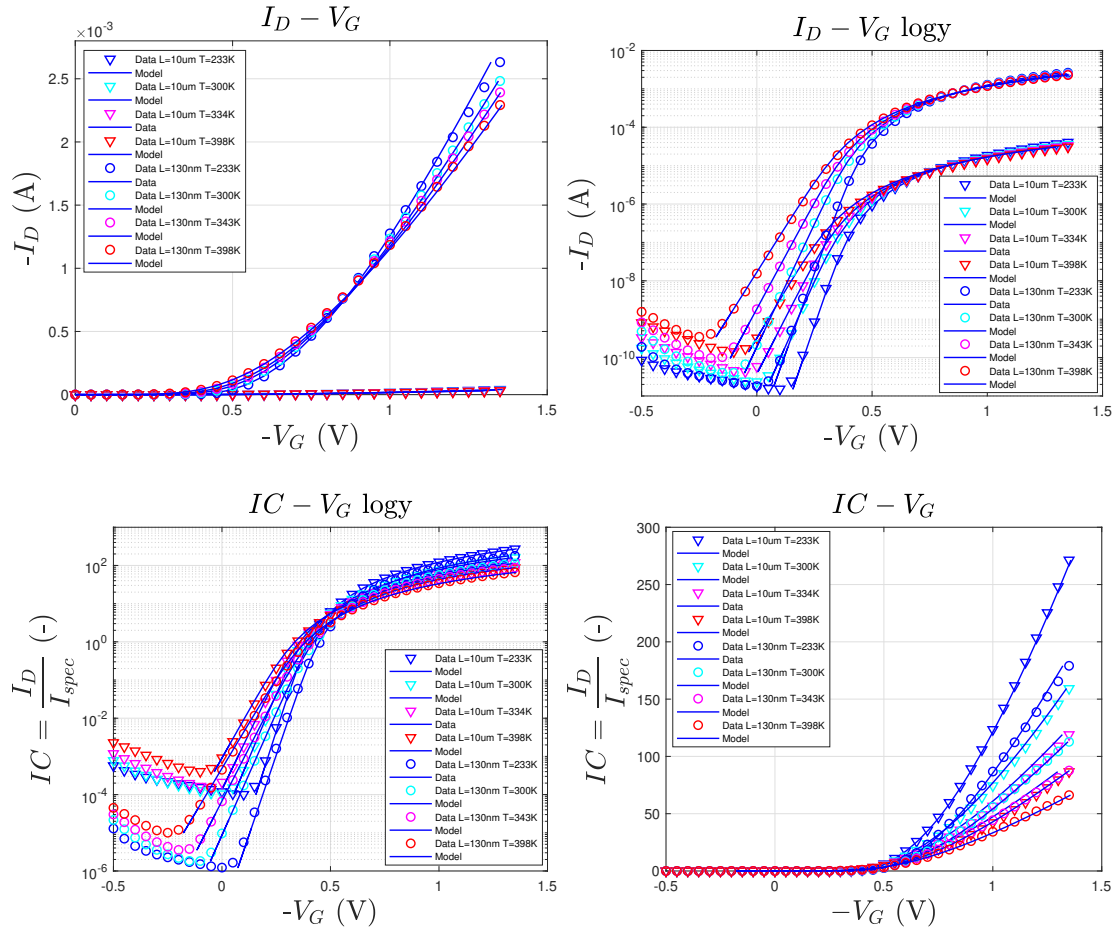


Figure 15: $I_D - V_G$ και $I_C - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T .

Ουσιαστικά με τα Figure 18 και 19 υπογραμμίζεται ότι οι αποκλίσεις που παρατηρούνται στο μοντέλο οφείλονται στην μη επιθυμητή αντίδραση του λ_c στην διαγωγιμότητα g_m , η οποία επηρεάζει και τα υπόλοιπα γραφήματα. Ωστ όσο, επισημαίνεται ότι το μοντέλο συνεχίζει να ακολουθεί ικανοποιητικά τα δεδομένα ακόμα και στα short channel τρανζίστορ με VS επίδραση.

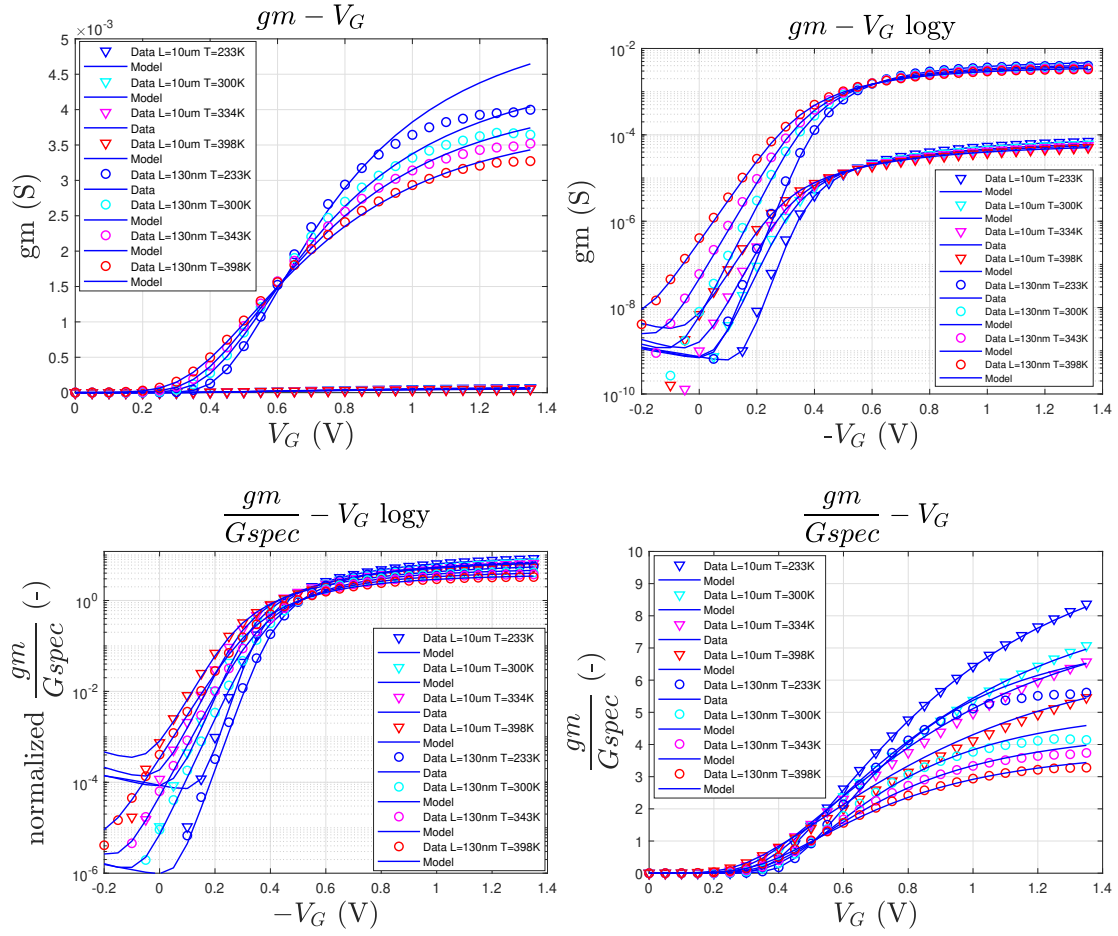


Figure 17: $g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

10.2.4 Κανονικοποιημένο transconductance efficiency $\frac{g_m n U_T}{I_D} - I_D$

Στα Figure 22 και 23 απεικονίζεται το κανονικοποιημένο transconductance efficiency $\frac{g_m n U_T}{I_D}$ ως προς ρεύμα απαγωγού I_D και συντελεστής αναστροφής IC.

Για το $\frac{G_m n U_T}{I_D}$ ισχύουν τα ίδια όπως και στο length scaling. Ξεκινώντας από το WI στην μέγιστη τιμή του, όσο πηγαίνει προς το SI η αποδοτικότητα φθίνει έως ότου να μην είναι πλέον ενεργειακά αποδοτικό.

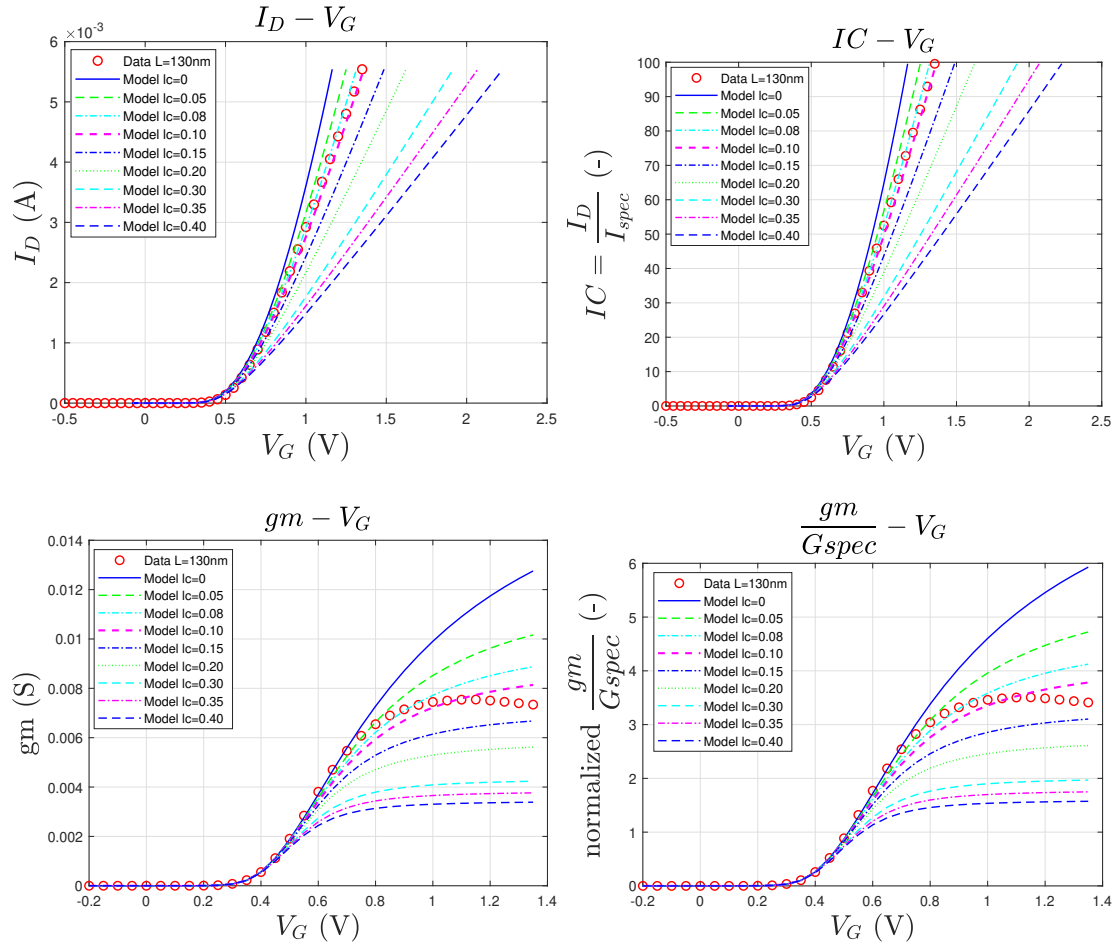


Figure 18: Γράφημα με $g_m - V_G$ και $\frac{g_m}{G_{spec}} - V_G$ για διαφορετικές τιμές της παραμέτρου ταχύτητας κορεσμού v_{sat} για NMOS τεχνολογία και μήκος κύματος $L=130\text{nm}$.

10.2.5 Παράμετροι μοντέλου

Στο σημείο αυτό παρατίθενται στα Figure 24 και 25 τα συγκεντρωτικά γραφήματα των βασικών παραμέτρων του μοντέλου για NMOS και PMOS τρανζίστορ που προέκυψαν από το scaling ως προς την θερμοκρασία T . Τα γραφήματα αφορούν 4 διαφορετικές θερμοκρασίες και περιλαμβάνουν μετρήσεις για τρία διαφορετικές γεωμετρίες ($L=10\mu\text{m}$, $L=180\text{nm}$ και $L=130\text{nm}$).

Όπως παρατηρείται στα NMOS και στα PMOS η δημιουργία των εξισώσεων των βασικών παραμέτρων του μοντέλου επιδρά όπως θα αναμενόταν στα δεδομένα. Ειδικά, για τις παραμέτρους V_{TO} και n το μοντέλο συμπεριφέρεται σχεδόν ιδανικά. Η παράμετρος I_0 λόγω της απλοποιημένης μορφής της εξίσωσής της (πρώτου βαθμού)

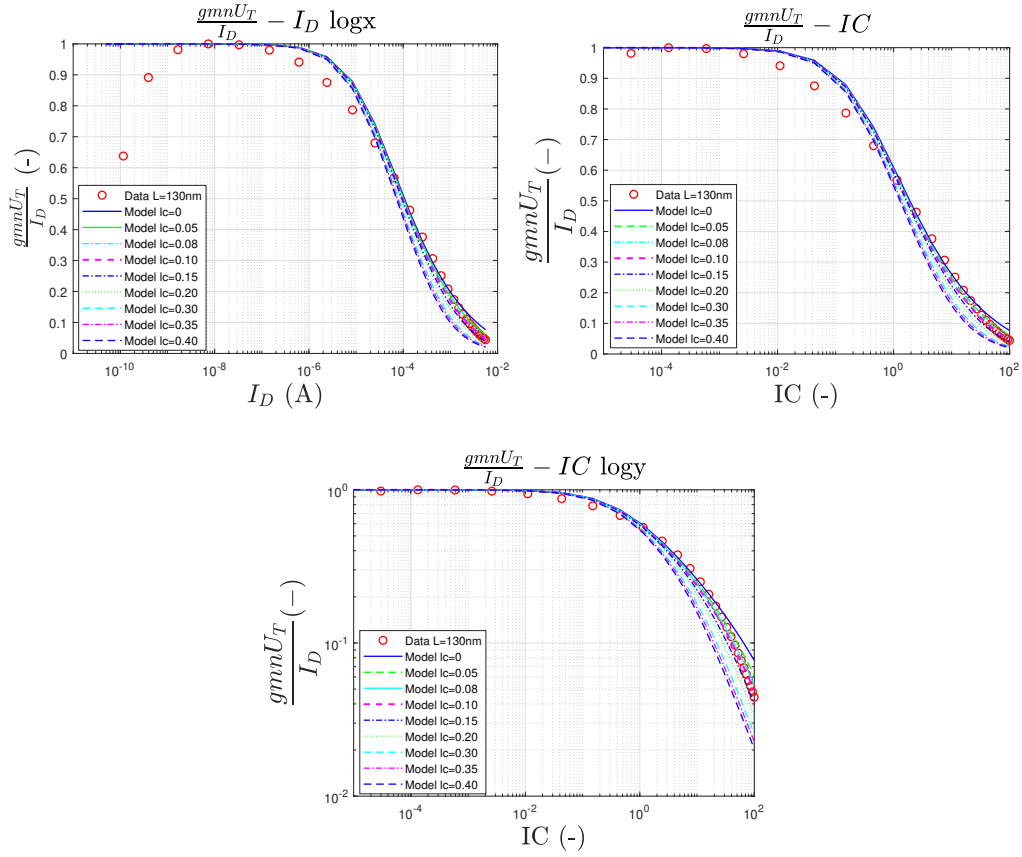


Figure 19: Γράφημα με $\frac{g_m U_T}{I_D} - I_D$ και $\frac{g_m U_T}{I_D} - IC$ για διαφορετικές τιμές της παραμέτρου ταχύτητας κορεσμού lc για NMOS τεχνολογία και μήκος κύματος $L=130\text{nm}$.

δεν περιγράφει ιδανικά τα δεδομένα, καθώς τα δεδομένα για το πιο long τρανζίστορ με $L=10\mu\text{m}$ φαίνεται να παραμένει σχεδόν σταθερή ως προς την θερμοκρασία σε αντίθεση με τα πιο short transistor (130nm και 180nm) που φαίνεται πως έχουν παρόμοια αντίδραση. Τέλος, η παράμετρος lc φαίνεται να υποεκτιμάται μερικώς, και γι' αυτό οφείλεται η μέθοδος εξαγωγής της όπως αναλύθηκε νωρίτερα στην εργασία.

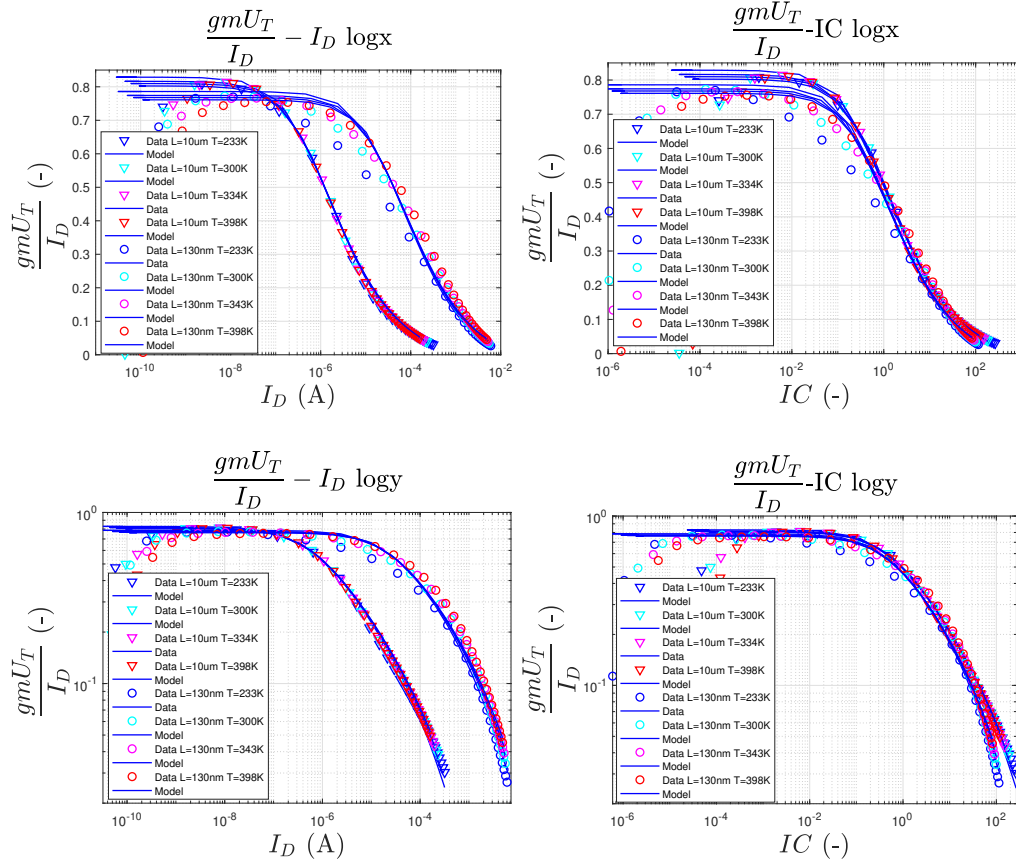


Figure 20: $\frac{gmU_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

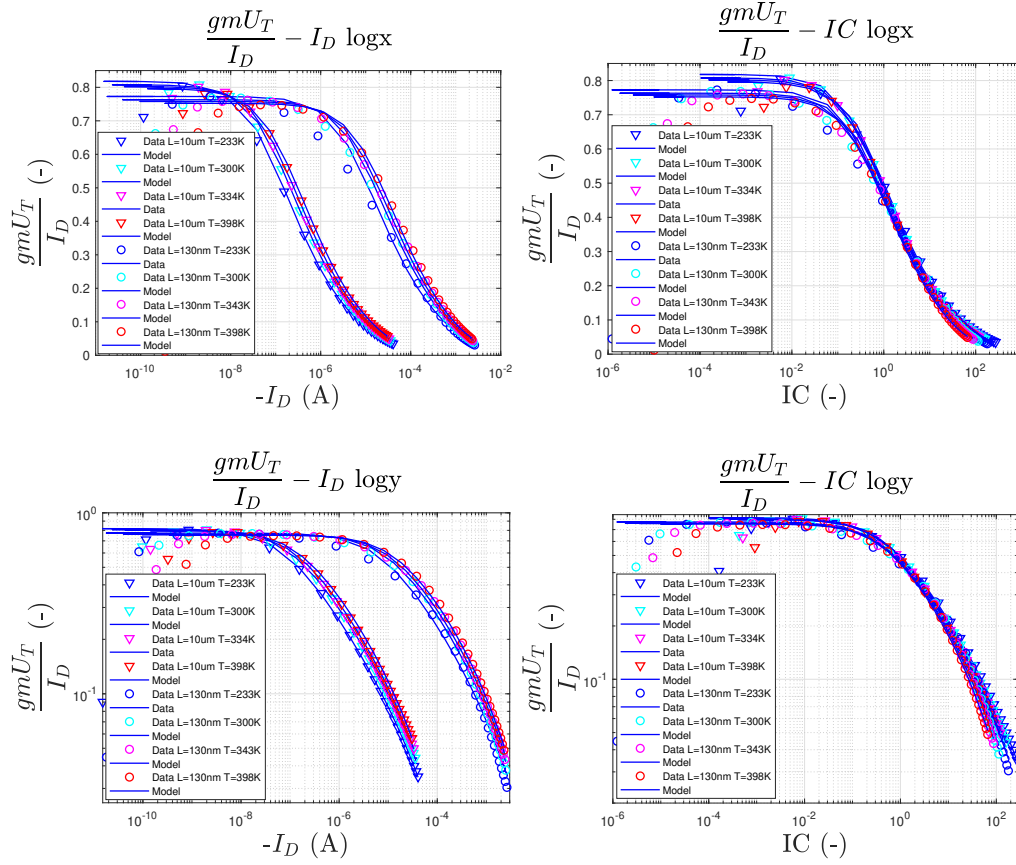


Figure 21: $\frac{gmU_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

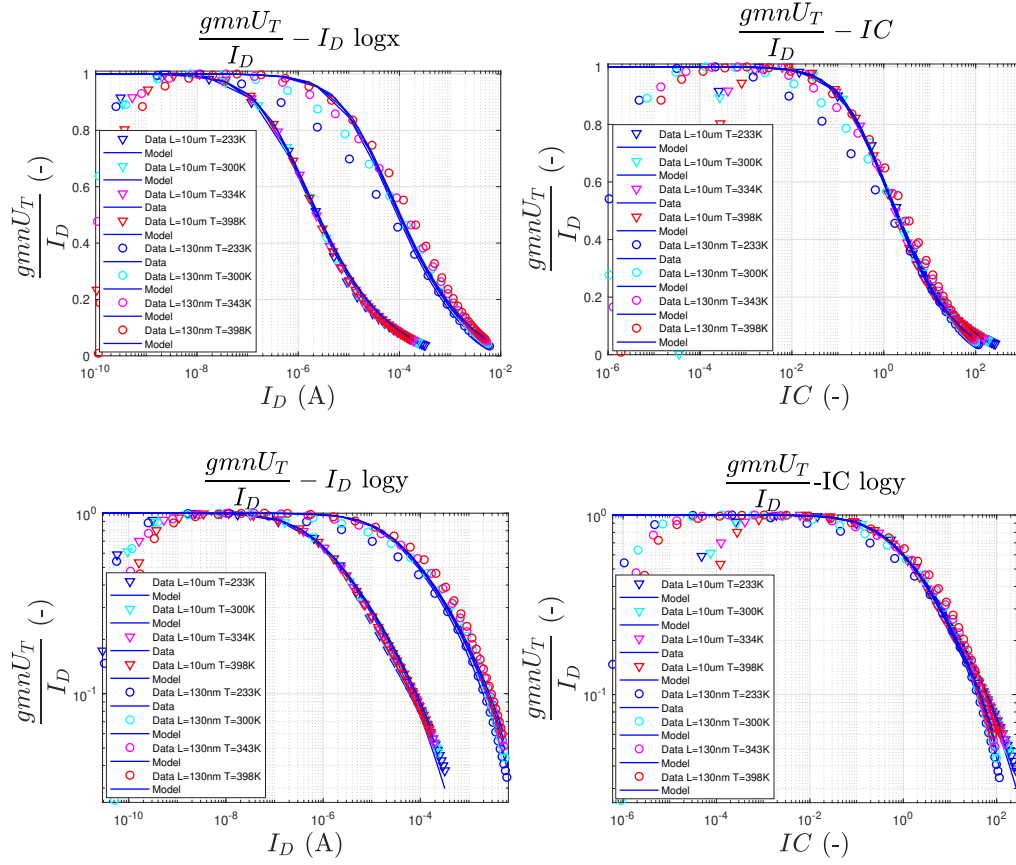


Figure 22: $\frac{g_{mn}U_T}{I_D} - I_D$ γραφήματα για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

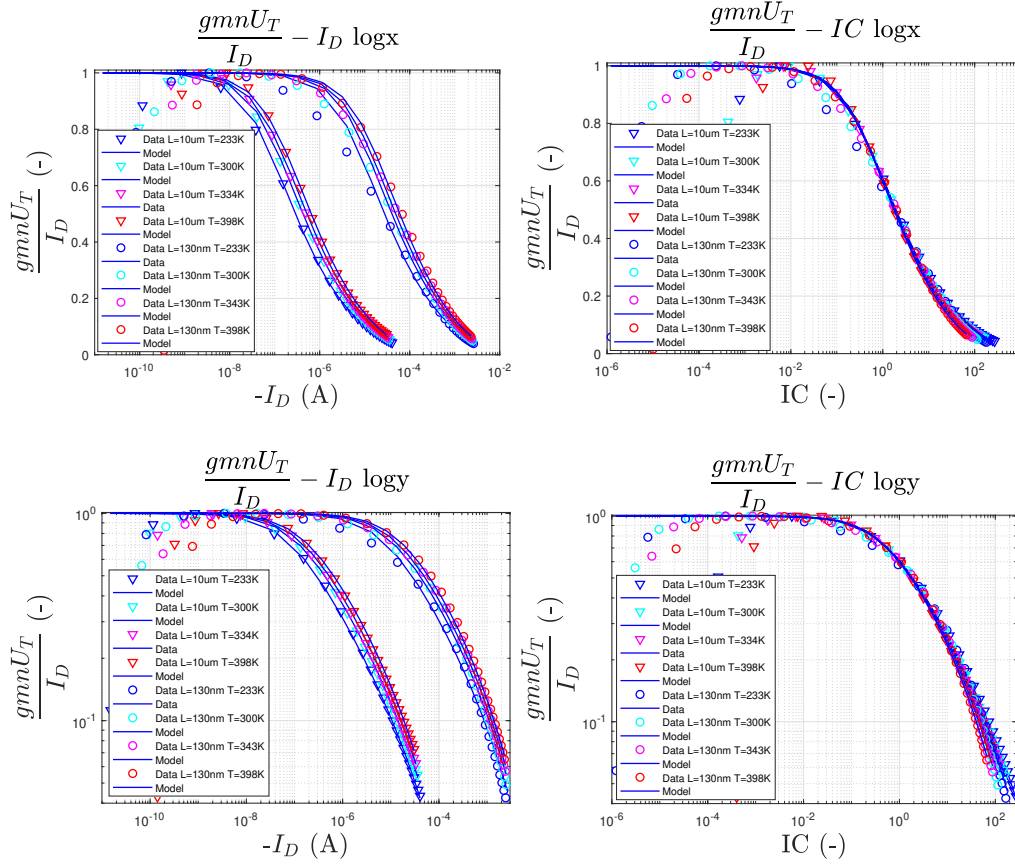


Figure 23: $\frac{gm n U_T}{I_D} - I_D$ γραφήματα για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

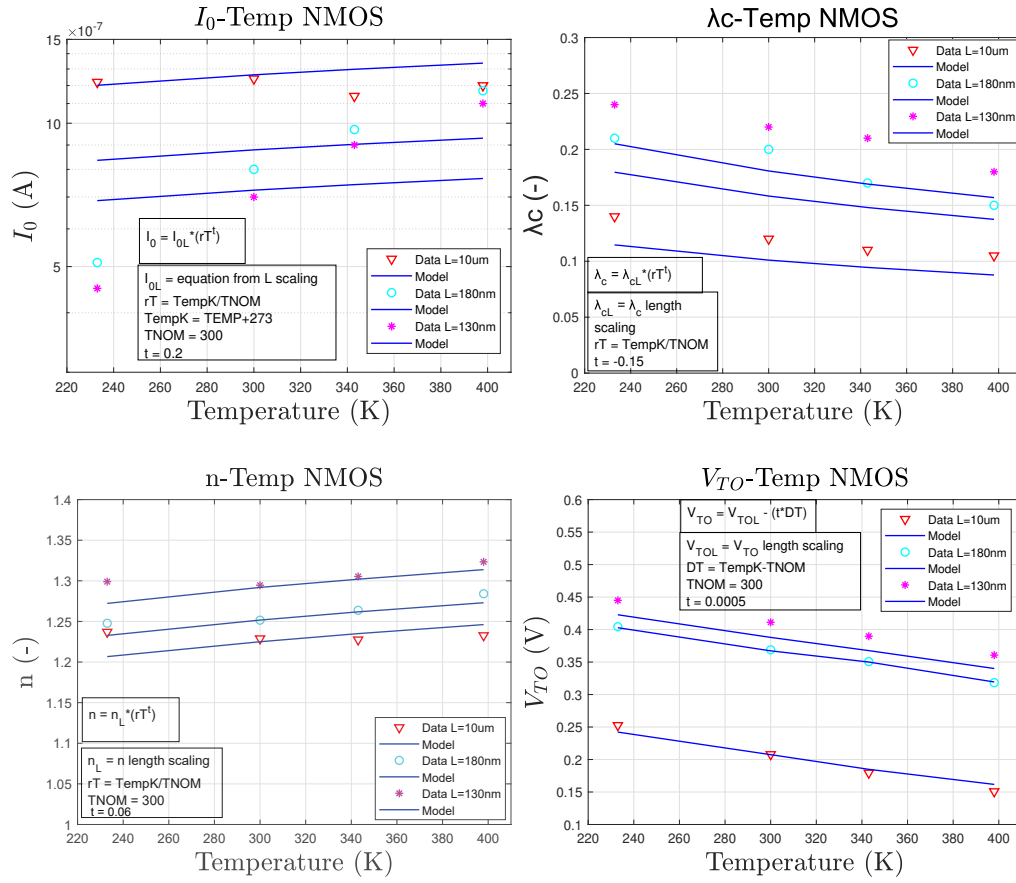


Figure 24: Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λ_c , n , V_{TO} για NMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

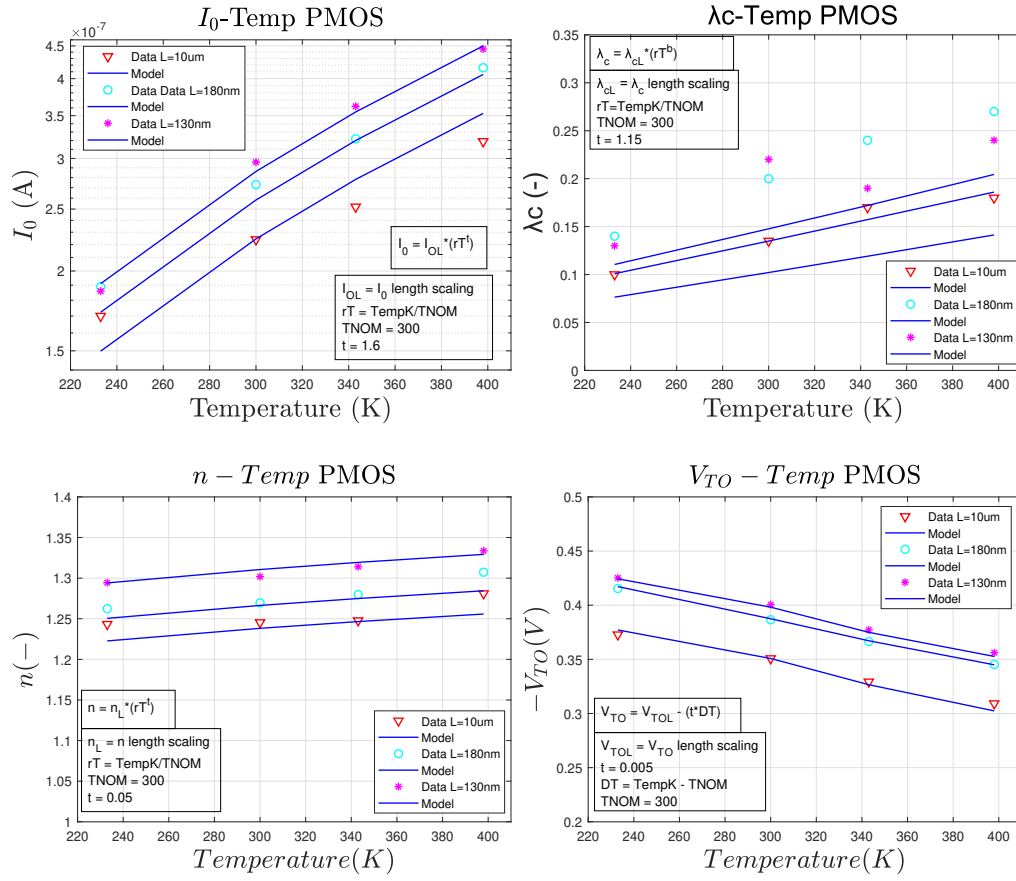


Figure 25: Γράφημα με τις βασικές παραμέτρους του μοντέλου I_0 , λ_c , n , V_{TO} για PMOS τεχνολογία με scaling ως προς την θερμοκρασία T.

11 Συμπεράσματα

Συνοψίζοντας, όπως παρουσιάστηκε στην παρούσα εργασία, το απλουστευμένο μοντέλο φορτίων του τρανζίστορ MOS που δημιουργήθηκε, με ελάχιστες βασικές παραμέτρους και απλές εξισώσεις (πρώτου βαθμού) περιγράφει πλήρως μια πολυσύνθετη τεχνολογία CMOS, σε όλο το φάσμα λειτουργίας των τρανζίστορ από weak έως moderate και strong inversion. Χρησιμοποιήθηκε μια προσέγγιση κανονικοποίησης των διαφορετικών μεγεθών (ιδιαίτερα με τον δείκτη αναστροφής IC) που διέπουν τη λειτουργία των τρανζίστορ MOS, η οποία αποδεικνύεται να είναι ιδιαίτερα ωφέλιμη.

Επιπλέον το μοντέλο που αναπτύχθηκε καλύπτει τόσο το scaling μήκους καναλιού L όσο και το scaling θερμοκρασίας T , για τα δυο είδη τρανζίστορ (NMOS και PMOS). Συγκρίνοντας τα γραφικά αποτελέσματα του μοντέλου με βάση τον συντελεστή αναστροφής IC το μοντέλο αντιδρά σε πολύ καλό βαθμό σε φαινόμενα μικρού διαύλου λόγω κυρίως του φαινομένου κορεσμού της ταχύτητας των φορέων (velocity saturation VS). Έτσι η συνολική προσέγγιση με το αναλυτικό μοντέλο, μαζί με τις καινούργιες σχέσεις κλιμάκωσης της γεωμετρίας και της θερμοκρασίας έχει αποδειχθεί ότι είναι αποτελεσματική. Ως μελλοντική εργασία αυτό το μοντέλο μπορεί να αναφερθούν οι εξής κατευθύνσεις:

- Το μοντέλο μπορεί να επεκταθεί και για κάλυψη γεωμετρικών φαινομένων σχετικών με το πλάτος καναλιού W — αν και αυτά μπορεί να θεωρηθούν δευτερεύουσας τάξης.
- Το μοντέλο μπορεί να επεκταθεί περαιτέρω στο πεδίο των χωρητικότητων και του θορύβου.
- Το μοντέλο θα μπορέσει να προσαρμοστεί για την κάλυψη και άλλων τεχνολογιών CMOS. Προς αυτό, η παρούσα προσέγγιση, με τη χρήση κανονικοποίησης μεγεθών, αναμένεται να είναι ιδιαίτερα χρήσιμη.

Απώτερος στόχος μπορεί να είναι η δημιουργία μιας εφαρμογής ανοιχτής πρόσβασης (Open-Source) με στόχο την σχεδίαση αναλογικών ολοκληρωμένων κυκλωμάτων.

References

- [1] C. Enz, F. Chicco and A. Pezzotta, "Nanoscale MOSFET Modeling: Part 1: The Simplified EKV Model for the Design of Low-Power Analog Circuits," in IEEE Solid-State Circuits Magazine, vol. 9, no. 3, pp. 26-35, Summer 2017, doi: 10.1109/MSSC.2017.2712318
- [2] C. Enz, F. Chicco and A. Pezzotta, "Nanoscale MOSFET Modeling: Part 2: Using the Inversion Coefficient as the Primary Design Parameter," in IEEE Solid-State Circuits Magazine, vol. 9, no. 4, pp. 73-81, Fall 2017, doi: 10.1109/MSSC.2017.2745838
- [3] M. Bucher, N. Makris and L. Chevas, "Generalized Constant Current Method for Determining MOSFET Threshold Voltage," in IEEE Transactions on Electron Devices, vol. 67, no. 11, pp. 4559-4562, Nov. 2020, doi: 10.1109/TED.2020.3019019
- [4] M. Bucher, Analytical MOS transistor modelling for analog circuit simulation, 2000, doi: 10.5075/epfl-thesis-2114
- [5] M. Bucher, A. Bazigos, F. Krummenacher, J-M. Sallese, and C. Enz. EKV3.0: An advanced charge based MOS transistor model. A design-oriented MOS transistor compact model. TRANSISTOR LEVEL MODELING FOR ANALOG/RF IC DESIGN, 67–95, 2006, doi:10.1007/1-4020-4556-5_3
- [6] C. Enz, and E. Vittoz, Charge-Based MOS Transistor Modeling, 2006, doi:10.1002/0470855460